

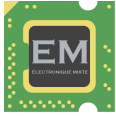


```
1 library IEEE;
2 use IEEE.STD_LOGIC_1164.ALL;
3
4 entity CmdM3 is
5     Port ( Rst      : in  STD_LOGIC;
6           Clk      : in  STD_LOGIC;
7           En       : in  STD_LOGIC_VECTOR (2 downto 0); -- 3 Moteurs
8           Vitesse1 : in  STD_LOGIC_VECTOR (7 downto 0);
9           Vitesse2 : in  STD_LOGIC_VECTOR (7 downto 0);
10          Vitesse3 : in  STD_LOGIC_VECTOR (7 downto 0);
11          ClkOut   : out STD_LOGIC;
12          PWM_out  : out STD_LOGIC_VECTOR (2 downto 0));
13 end CmdM3;
14
15 architecture Behavioral of CmdM3 is
16
17     COMPONENT CmdMaCC
18     PORT (
19         Rst : IN std_logic;
20         Clk : IN std_logic;
21         En  : IN std_logic;
22         RapportCyc : IN std_logic_vector(7 downto 0);
23         ClkOut : OUT std_logic;
24         PWM_out : OUT std_logic
25     );
26
27 END COMPONENT;
```

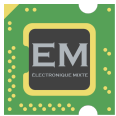
1. **Cours 1 | Introduction | langage VHDL**
2. **Cours 2 | Circuits numériques et synthèse logique**
3. **Cours 3 | Logique programmable | Partie 1 | Introduction**
4. **Cours 4 | Logique programmable | Partie 2 | La structure d'un programme VHDL**
5. **Cours 5 | Logique combinatoire et séquentielle**
6. **Cours 6 | Initiation au langage VHDL**



Cours 7 | Electronique Numérique | 1er tome |



7. **Systemes combinatoires**
8. **Cours 8 | Langage VHDL | Conception de circuits**
9. **Cours 9 | Systemes logiques programmables**
10. **Cours 10 | Specification et conception conjointe des systemes materiel/logiciel Methodologie et outil**
11. **Cours 11 | Cours VHDL - II**
12. **Cours 12 | Introduction à VHDL**
13. **Cours 13 | Methodologie et architecture adaptative pour le placement efficace de tâches matérielles de tailles variables sur des partitions reconfigurables**
14. **Cours 14 | Conception de circuits et langage VHDL modélisation et synthèse**
15. **Cours 15 | Le VHDL pour la synthèse**



Cours 16 | Introduction aux FPGA

17. Cours 17 | VHDL Support de cours



16.