

Première partie

Cours d'électronique



# Chapitre 1

## Simulation des circuits électroniques : SPICE

### 1 – Introduction

La simulation par ordinateur constitue une aide puissante pendant la phase de conception ou pour l'analyse des circuits et des composants semi-conducteurs. Ce chapitre est essentiellement consacré à la simulation des circuits analogiques. Cette technique pourrait bien entendu être appliquée aux circuits numériques (qui sont en fait composés de circuits analogiques) mais la principale limitation provient de la taille des circuits car les méthodes présentées ici fourniraient une analyse trop détaillée du circuit étudié qui coûterait beaucoup trop cher en termes de ressources (mémoire et temps de calcul) pour analyser de manière analogique un système numérique de grande taille.

Le programme de simulation analogique le plus répandu et le plus utilisé actuellement est « SPICE » (*Simulation Program with Integrated Circuit Emphasis* : Programme de Simulation Orienté vers les Circuits Intégrés). Ce programme a été développé au départ à l'Université de Berkeley en Californie par Laurence Nagel en 1975 mais les recherches dans le domaine de la simulation des circuits se poursuivent encore actuellement dans un grand nombre d'universités ou d'entreprises. Des versions gratuites ou commerciales de SPICE ou de programmes similaires sont actuellement disponibles sur un grand nombre de plateformes qui vont du petit ordinateur personnel aux grosses machines centrales en passant par les stations de travail. On peut citer quelques versions telles que SPICE2 ou SPICE3 (Berkeley), *PSpice* (MicroSim/Orcad<sup>1</sup>), *Hspice* (Meta Software), *ISpice* (Intusoft), *Spectre* (Cadence), *Saber* (Analogy), *Smash* (Dolphin Intégration)...

Il est possible de simuler pratiquement n'importe quel circuit avec un programme tel que SPICE. Ce programme comporte des modèles constitutifs pour les résistances, les condensateurs, les inductances, les sources de courant et de tension indépendantes ou commandées, les diodes, les transistors MOS, FET, bipolaires, les lignes de transmission, les transformateurs, certaines versions comportent même des transformateurs à noyau saturé. Les versions commerciales comportent en plus des bibliothèques de composants standard dont les paramètres ont été ajustés pour représenter les spécifications typiques. Ces bibliothèques comportent des éléments tels que : transistors discrets, amplificateurs

---

<sup>1</sup>À présent Cadence Design System distribué en France par ALS Design.

opérationnels, boucles à verrouillage de phase, régulateurs de tension, circuits intégrés logiques et transformateurs à noyau saturé.

La simulation par ordinateur est maintenant considérée comme une phase essentielle dans la conception des circuits intégrés car sans elle le nombre de prototypes d'essai nécessaires pour produire un circuit intégré opérationnel augmenterait considérablement le coût du circuit. La simulation présente également d'autres avantages :

- La possibilité de mesurer des tensions et des courants « inaccessibles ». Le modèle mathématique permet en effet d'accéder à tous les courants et tensions du circuit. Il n'y a pas de risque de rencontrer un problème de charge en plaçant un voltmètre ou un oscilloscope au milieu d'un circuit ou de placer une sonde dans une puce microscopique, de même il est possible de visualiser un court régime transitoire qui serait dans la pratique très difficile à mesurer.
- Le simulateur dispose de « composants » mathématiques idéaux. Créer une source de tension ou de courant idéale avec un simulateur est une opération triviale impossible à réaliser en pratique, de plus toutes les valeurs des composants sont exactes et il n'existe pas d'éléments parasites.
- Il est très facile de changer la valeur d'un composant ou la configuration du circuit sans être obligé de dessouder des connexions ou de redessiner un masque de circuit intégré.

La simulation par ordinateur peut cependant avoir un certain nombre d'inconvénients :

- Les circuits réels sont en fait des circuits à constantes réparties et non les « modèles à constantes localisées » supposés par le simulateur. En effet, les circuits réels comportent des éléments parasites résistifs, capacitifs et inductifs en plus des composants effectifs. Dans les circuits très rapides ces éléments parasites sont les principales causes de limitation des performances et doivent être minutieusement modélisés.
- Les modèles numériques prédéfinis pour certains types de composants ou de phénomènes électriques n'ont pas encore été développés, l'utilisateur du programme peut alors être amené à créer ses propres modèles à partir des modèles disponibles dans le simulateur (par exemple un thyristor peut être créé à partir d'un transistor NPN et d'un transistor PNP).
- Les méthodes numériques utilisées peuvent imposer des contraintes sur la forme des équations représentatives des modèles utilisés<sup>2</sup>.

## 2 – SPICE et ses versions

### 2.1 – Origine

Parmi les très nombreuses versions disponibles, deux versions de SPICE utilisables avec un PC sous Windows<sup>TM</sup> sont disponibles sur les ordinateurs de l'école, toutes deux sont des adaptations de programmes originaux développés à l'Université de Californie à Berkeley (UCB). La première, commerciale, appelée *PSpice*<sup>3</sup> est issue de la version SPICE2G6 de

<sup>2</sup>Ce paragraphe d'introduction est inspirée de la Section 13.1 « Analog Circuit Simulation » du *Electrical Engineering Handbook*, Richard C. Dorf Ed. CRC Press LLC, J. Gregory Rollins (1997).

<sup>3</sup>Distribution en France : ALS Design, 160bis Rue de Paris – 92645 Boulogne Cedex. <http://www.alsdesign.fr>. Voir aussi le site : <http://www.electronics-lab.com/downloads/schematic/013/>.

l'UCB; l'autre « *freeware* » libre d'utilisation et de reproduction, appelée *WinSpice*<sup>4</sup> est une adaptation de SPICE3F5 de l'UCB.

À quelques nuances près, la description des composants et les analyses réalisables avec ces deux simulateurs sont identiques, les différences tiennent principalement à la philosophie d'utilisation des programmes d'origine :

- SPICE2, le plus ancien, fonctionne uniquement en mode « batch » (traitement par lot) le circuit et les commandes sont décrites dans un fichier d'entrée et les résultats produits par le programme sont enregistrés dans un fichier de sortie. Cette philosophie a été conservée dans le mode de fonctionnement de *PSpice*.
- SPICE3 est en fait une version « interactive » de SPICE2, le circuit, toujours décrit par un fichier d'entrée, est chargé dans une fenêtre de commande où sont exécutées les instructions d'analyse et où peuvent être consultés les résultats. Pour des raisons de compatibilité avec SPICE2, les commandes peuvent également être décrites dans le fichier d'entrée.

Les avantages et les inconvénients de ces deux versions tiennent plus à leur mode de diffusion qu'à leur principe de fonctionnement :

- *PSpice* est un produit professionnel commercial très répandu actuellement, à ce titre chaque licence doit être achetée (il existe toutefois une version d'évaluation gratuite mais « bridée »). En contrepartie ce programme robuste et convivial dispose de bibliothèques de composants très complètes, d'une saisie de schéma graphique, d'un post-processeur graphique ainsi que d'autres fonctionnalités, d'une documentation abondante, d'une maintenance de produit et d'une assistance technique suivies.
- *WinSpice* est un programme gratuit (jusqu'à aujourd'hui), libre d'utilisation et de reproduction et n'est limité que par les capacités de la machine utilisée (pas de limitation du nombre de composants ou du nombre de nœuds). Ce programme développé bénévolement est mis sans engagement de responsabilité à la disposition de la communauté des électroniciens, il ne dispose pas encore de saisie de schéma; la sortie graphique, les bibliothèques et la documentation restent relativement limitées. Ces inconvénients sont cependant atténués par l'existence d'une communauté active d'utilisateurs qui échangent volontiers leurs expériences et par l'existence de nombreuses bibliothèques gratuites mises à disposition par les fabricants de composants et de circuits.

Les principales commandes de SPICE seront illustrées à l'aide de *PSpice*, le lecteur intéressé pourra traiter les mêmes exemples avec *WinSpice*.

## 2.2 – PSpice

Le synoptique d'utilisation de *PSpice* est résumé sur la figure 1. La simulation d'un circuit électrique ou électronique commence toujours par la description du circuit. Celle-ci peut être réalisée à l'aide d'un éditeur de texte ou d'un programme de saisie graphique de schéma (préprocesseur) qui convertira le schéma en fichier texte. Ce fichier appelé « fichier-circuit » contient également les instructions concernant les analyses à réaliser. Pour procéder à la simulation, il faut exécuter le programme *PSpice* en précisant le nom du fichier-circuit : *nom.cir* où « *nom* » est un nom de fichier donné par l'utilisateur et l'extension « *.cir* » est réservée. Après exécution du programme, les résultats de la simulation sont enregistrés

<sup>4</sup>Mike Smith, 35 Rampton End – Willingham – Cambridge – Cambridgeshire – England CB4 5JB. [mike@winspice.com](mailto:mike@winspice.com). <http://www.winspice.com>.

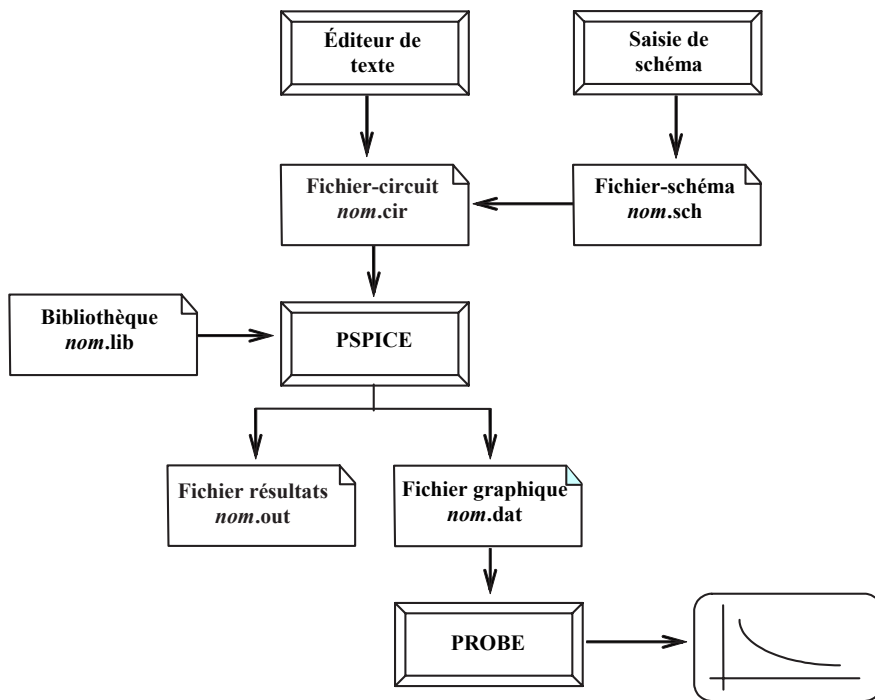


Fig. 1 – Synoptique d'utilisation de PSpice.

dans le fichier texte de sortie *nom.out* et, si la demande en a été faite, les résultats sont également enregistrés dans le fichier binaire *nom.dat* pour pouvoir être traités par le postprocesseur graphique *Probe*.

### 3 – Exemple d'introduction

#### 3.1 – Création du fichier-circuit

Pour illustrer l'utilisation de *PSpice*, prenons le cas du simple circuit RC représenté sur la figure 2. La première opération consiste à créer à l'aide d'un éditeur de texte (*PSpice* dispose d'un éditeur intégré pour la rédaction des fichiers textes) le fichier-circuit qui sera appelé dans ce cas particulier « *rc.cir* » décrivant la nature, la valeur ou les caractéristiques des sources et des composants utilisés ainsi que la connectivité du circuit à l'aide des instructions et en respectant la syntaxe SPICE. Le fichier contient également les commandes nécessaires pour effectuer les analyses, fixer des conditions initiales, structurer le fichier ou éditer les résultats. La figure 2 montre le fichier-circuit constitué par des lignes de description de composant qui commencent toujours par un caractère alphabétique et par des lignes de commande qui commencent toujours par un point.

Chaque ligne constitue une instruction complète, la première ligne est une ligne de titre, le texte de cette ligne est sans importance mais elle est obligatoire (si l'on commençait le fichier avec la première instruction, elle serait ignorée). La dernière ligne de commande *.END*, également obligatoire, marque la fin du circuit. À part la première et la dernière ligne dont l'emplacement est imposé par la syntaxe, les autres lignes d'instructions peuvent

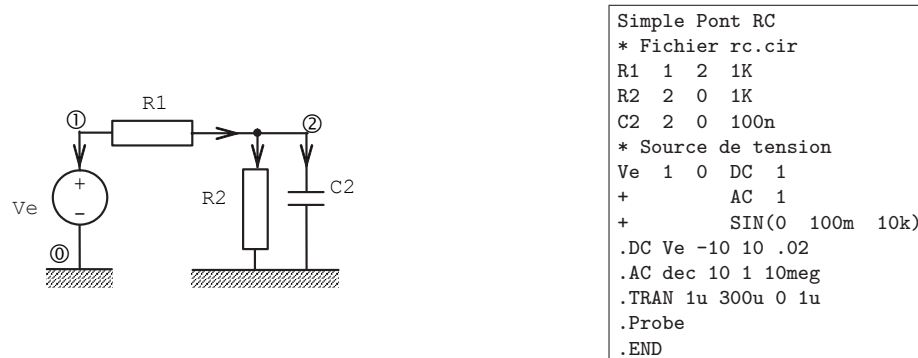


Fig. 2 – Simple circuit montrant le sens conventionnel des courants et fichier-circuit `rc.cir`.

être placées dans n'importe quel ordre et SPICE ne fait pas de différence entre minuscules et majuscules. La cinquième ligne qui commence par un astérisque est une ligne de commentaire : toute ligne commençant par `*` est ignorée par l'interpréteur de commandes.

### 3.2 – Instructions de description des composants

Une ligne de description de composant est constituée de différents champs (mots-clés, nœuds, valeur numérique, nom de modèle...) séparés par un ou plusieurs caractères séparateurs (espace, tabulation, signe =, virgule, parenthèse). La ligne commence par un mot-clé dont la première lettre identifie la nature du composant selon une syntaxe proche des usages en électronique (**R** pour résistance, **C** pour condensateur, **L** pour self, etc.), comme le montre le tableau II page 30. La première lettre peut être suivie d'un ou plusieurs caractères alphanumériques permettant de distinguer les composants, il ne doit pas y avoir de séparateur à l'intérieur d'un mot-clé. Le nom du composant est suivi de la liste des nœuds auxquels le composant est connecté. Chaque nœud est identifié de manière unique par un nombre ou plus généralement par une chaîne de caractères ne contenant pas de séparateur. La ligne se termine par la valeur du composant ou par la description de ses caractéristiques. Lorsqu'une instruction est trop longue elle peut être poursuivie sur une ou plusieurs lignes consécutives, le premier caractère de ces lignes-suite doit être le signe « + », voir figure 2. Sur la figure 2, la résistance **R1** est connectée entre les nœuds 1 et 2 et vaut 1 k $\Omega$ , la résistance **R2** de 1 k $\Omega$ , est connectée en parallèle sur la capacité **C2** de 100 nF entre le nœud 2 et la masse identifiée par le nœud « 0 » réservé pour cet usage. La présence du nœud de masse 0 est obligatoire dans tous les fichiers-circuits, c'est par rapport à ce nœud de référence que sont calculées toutes les tensions du circuit<sup>5</sup>. Enfin le circuit est alimenté entre le nœud 1 et la masse par une source de tension **Ve** dont la composante continue (**DC**) vaut 1 V, l'amplitude de la composante alternative (**AC**) vaut 1 V et la composante temporelle (**SIN**) est une sinusoïde d'amplitude 100 mV et de fréquence 10 kHz. Noter que les valeurs numériques peuvent être écrites avec un suffixe multiplicatif, la liste de ces suffixes est résumée sur le tableau I page 13, il ne doit pas y avoir de séparateur entre le nombre et le suffixe multiplicatif.

L'ordre des nœuds définit la polarité du composant. Dans un dipôle, le courant est positif s'il entre par le 1<sup>er</sup> nœud et sort par le second quel que soit le composant : générateur ou récepteur, ainsi si l'on demande à SPICE de calculer le courant continu fourni par la source

<sup>5</sup> Avec *Pspice*, le mot-clé réservé **GND** (*ground*) peut également être utilisé à la place de « 0 ».

$V_e$ , il indiquera une valeur négative car le courant est compté positivement s'il traverse le composant du 1<sup>er</sup> nœud (nœud 1) vers le second (nœud 0) alors que le sens réel est opposé (Fig. 2).

### 3.3 – Instructions de commandes

Les trois lignes de commande qui suivent la description des composants instruisent le simulateur de réaliser les trois principaux types d'analyse que l'on peut effectuer sur un circuit et sur lesquels nous reviendrons :

- .DC : analyse en courant continu, seules les sources de tension et de courant continus sont prises en compte, les condensateurs sont considérés comme des circuits ouverts, les inductances comme des courts-circuits. Cette analyse tient compte des éventuelles non-linéarités des caractéristiques des composants. Bien que la valeur de la source varie, cette variation doit être considérée comme une succession d'états permanents indépendants du temps. Dans l'exemple traité, la tension  $V_e$  varie de  $-10\text{ V}$  à  $+10\text{ V}$  par pas de  $20\text{ mV}$ .
- .AC : analyse dynamique en petits signaux, elle commence toujours par le **calcul du point de polarisation** en courant continu suivi de la linéarisation des caractéristiques des composants non linéaires (lorsqu'il y en a) pour conduire au schéma équivalent **linéaire** au voisinage du point de polarisation. Cette linéarisation n'a de sens que si l'amplitude des signaux est suffisamment faible pour que les caractéristiques non linéaires des composants puissent être remplacées par un segment de droite (développement limité au premier ordre). Les sources de tension ou de courant comportant le paramètre AC (Fig. 2) sont alors des sources sinusoïdales de fréquence variable. La gamme de fréquence à analyser est indiquée dans les paramètres de la commande .AC, ici la fréquence varie de  $1\text{ Hz}$  à  $10\text{ MHz}$  en échelle logarithmique à raison de 10 points par décade. Noter bien que du fait que l'analyse est réalisée sur un schéma linéaire, l'amplitude de la source AC n'est en réalité qu'un facteur d'échelle, si l'amplitude est multipliée par  $k$  toutes les tensions et tous les courants dans le circuit seront multipliés par le même facteur  $k$  c'est pourquoi on lui attribue très souvent la valeur 1 qui permet d'obtenir plus simplement les fonctions de transfert.
- .TRAN : analyse temporelle (*transient*), c'est l'analyse la plus complète que l'on puisse réaliser puisqu'elle détermine le comportement en fonction du temps d'un circuit généralement non linéaire. Elle commence par la détermination de l'état de polarisation initial qui servira de condition initiale pour le calcul temporel et qui commence donc nécessairement à l'instant  $t = 0$ . Les signaux obtenus au cours de cette analyse sont ceux que l'on obtiendrait sur l'écran d'un oscilloscope branché sur un circuit réel. Les paramètres de la commande .TRAN précisent la façon dont doit s'effectuer la simulation, ici le pas d'édition des résultats est de  $1\ \mu\text{s}$ , la durée totale de simulation est de  $300\ \mu\text{s}$ , les résultats doivent être édités depuis l'instant  $t = 0$  et le pas maximal de calcul autorisé est de  $1\ \mu\text{s}$  (par défaut, *PSpice* utilise un algorithme adaptatif pour accélérer les calculs).

La commande .Probe demande à *PSpice* de créer le fichier `rc.dat` qui sera utilisé par le post-processeur graphique *Probe* pour visualiser les résultats.



### 3.4 – Exécution du programme, fichier de sortie

```

**** 07/28/101 19:27:03 ***** NT Evaluation PSpice (July 1997) *****
Simple Pont RC
****      CIRCUIT DESCRIPTION
*****
R1  1  2  1K
R2  2  0  1K
C2  2  0  100n
* Source de tension
Ve  1  0  DC  1
+      AC  1
+      SIN(0 100m 10k)
.OP
.DC Ve -10 10 .02
.AC dec 10 1 10meg
.TRAN 1u 300u 0 1u
.Probe
.END

**** 07/28/101 19:27:03 ***** NT Evaluation PSpice (July 1997) ****
Simple Pont RC
****      SMALL SIGNAL BIAS SOLUTION      TEMPERATURE =  27.000 DEG C
*****
NODE  VOLTAGE      NODE  VOLTAGE      NODE  VOLTAGE      NODE VOLTAGE
(  1)  1.0000 (  2)  .5000
VOLTAGE SOURCE CURRENTS
NAME      CURRENT
Ve      -5.000E-04
TOTAL POWER DISSIPATION  5.00E-04 WATTS

**** 07/28/101 19:27:03 ***** NT Evaluation PSpice (July 1997) *****
Simple Pont RC
****      INITIAL TRANSIENT SOLUTION      TEMPERATURE =  27.000 DEG C
*****
NODE  VOLTAGE      NODE  VOLTAGE      NODE  VOLTAGE      NODE VOLTAGE
(  1)  0.0000 (  2)  0.0000
VOLTAGE SOURCE CURRENTS
NAME      CURRENT
Ve      0.000E+00
TOTAL POWER DISSIPATION  0.00E+00 WATTS
JOB CONCLUDED
TOTAL JOB TIME      .92

```

Fig. 3 – Fichier de sortie pour le circuit RC de la figure 2.

Il existe plusieurs méthodes pour lancer l'exécution du programme, la plus simple consiste à exécuter le programme *PSpiceAD*, indiquer le chemin d'accès au fichier-circuit par le menu « *File>Open* » et lancer la simulation par la commande « *Simulation>Run* ». S'il n'y a pas d'erreur dans le fichier, les analyses indiquées sont réalisées et une fenêtre indique que la simulation a été exécutée avec succès. Il est alors possible de consulter les résultats en examinant le fichier de sortie « *rc.out* » dont un extrait est représenté sur la figure 3. Pour lire ce fichier on peut utiliser un éditeur de texte tel que le bloc-notes ou l'éditeur *PSpice*. La manière la plus simple de procéder est d'appeler le fichier de sortie dans la fenêtre *PSpiceAD* par le menu « *View>Output File* » (Fig. 3).

Par défaut le fichier d'entrée est restitué dans le fichier de sortie. La suite du fichier comporte deux rubriques, la première appelée **SMALL SIGNAL BIAS SOLUTION** indique l'état de polarisation du circuit en vue d'une analyse petits signaux (commande `.AC`) : les **tensions continues** en chaque nœud du circuit sont indiquées ainsi que les **courants continus**

débités par les sources de tension et la puissance totale fournie par les sources de tension. Dans cet exemple, comme on pouvait s’y attendre, la tension continue au nœud 1 vaut 1 V et celle du nœud 2 vaut 0,5 V. Le courant continu débité par la source  $V_e$  est de  $-0,5$  mA et la puissance totale fournie est de 0,5 mW. La seconde rubrique intitulée `INITIAL TRANSIENT SOLUTION` résulte de la commande `.TRAN` (calcul temporel) elle donne l’état de polarisation du circuit à l’instant initial lorsque la source de tension continue est remplacée par la source de tension sinusoïdale. À l’instant initial toutes les tensions et tous les courants sont nuls dans ce cas. Les informations contenues dans ce fichier de sortie peuvent paraître assez pauvres dans cet exemple simple mais elles peuvent aussi être extrêmement détaillées et précieuses pour l’étude du comportement d’un circuit, de plus si une erreur se produit au cours de l’interprétation ou de l’exécution du fichier-circuit, sa description figure dans le fichier de sortie. Il est donc fortement conseillé de le consulter.

### 3.5 – Visualisation graphique des résultats

La manière la plus simple de visualiser le résultat des différentes analyses à l’aide du post-processeur *Probe* consiste à l’appeler dans la fenêtre *PSpiceAD* par le menu « *View>Simulation Results* » (la plupart du temps, la fenêtre graphique *Probe* s’ouvre automatiquement après la simulation). Lorsque plusieurs analyses ont été réalisées dans le même fichier, comme ici, *Probe* demande quelle analyse il doit représenter (AC, DC, Transient). Si l’option DC a été choisie, une fenêtre graphique s’ouvre (Fig. 4) où l’on peut voir que par défaut l’axe des abscisses porte le nom de la variable  $V_e$  et qu’il est gradué entre les valeurs limites indiquées dans la commande `.DC`. L’utilisation de *Probe* est assez intuitive et sera détaillée en TD et en TP. La figure 4 montre comment représenter par exemple la puissance dissipée dans la résistance  $R_2$  en fonction de la tension d’alimentation, noter que l’axe des ordonnées est dans ce cas gradué dans l’unité convenable.

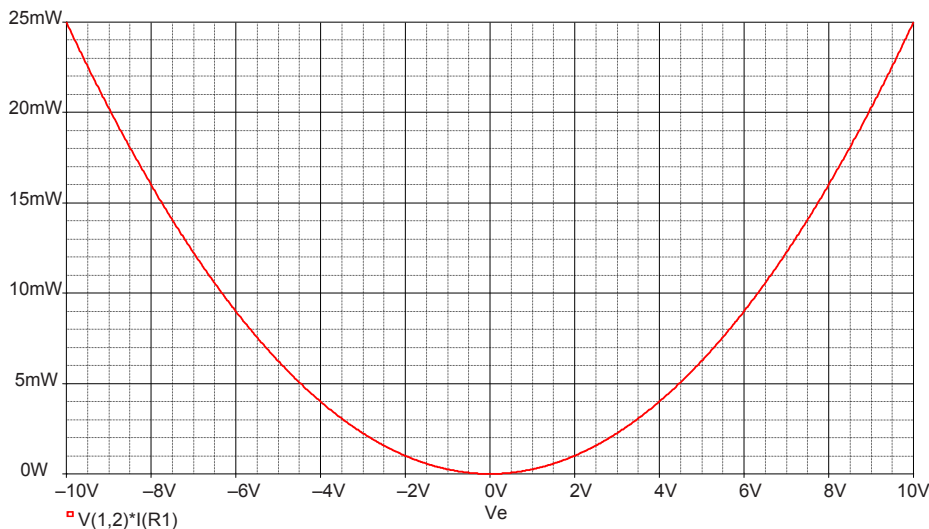
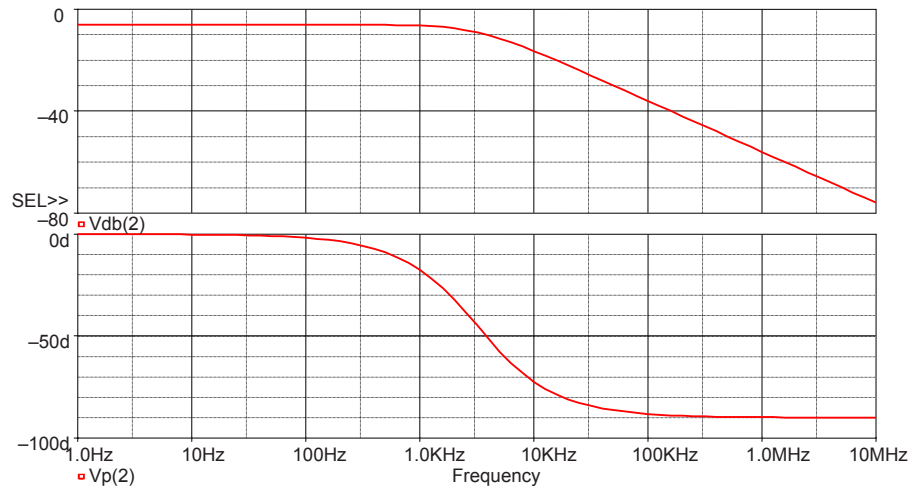


Fig. 4 – Fenêtre graphique « *Probe* » pour l’analyse DC.

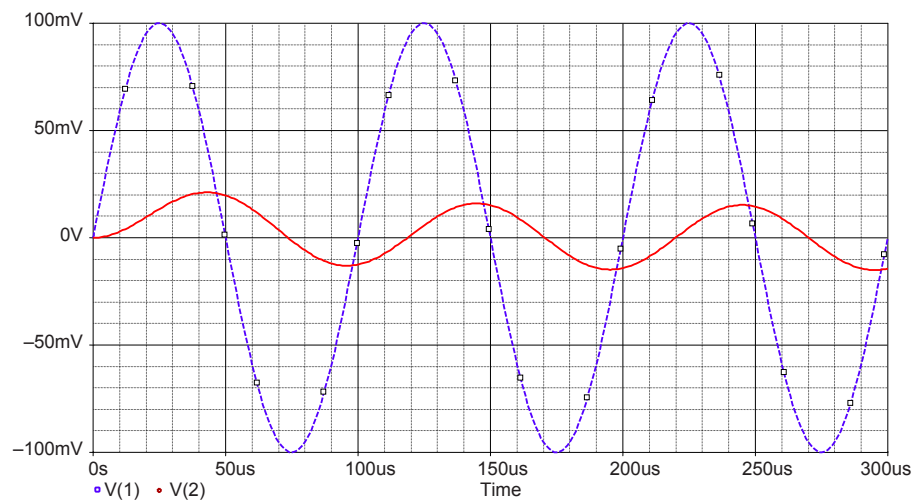
Si l’option AC est choisie au moment de l’appel de *Probe*, la fenêtre graphique représentée sur la figure 5 indique en abscisse l’axe des fréquences gradué en échelle logarithmique entre les limites indiquées dans la commande `.AC`. Il est alors possible de représenter par

exemple la fonction de transfert du filtre dans le plan de Bode en traçant l'amplitude en dB et la phase en degrés de la tension au nœud 2 qui s'écrivent respectivement `vdb(2)` et `vp(2)` (cf. tableau VI page 33 et tableau VII page 34). Noter que pour obtenir la fonction de transfert il n'est pas nécessaire d'effectuer le rapport avec la tension d'entrée puisque celle-ci a une amplitude unité (Fig. 2).



**Fig. 5** – Fenêtre graphique « Probe » pour l'analyse AC.

Enfin si *Probe* est appelé avec l'option `TRAN`, la fenêtre graphique indique automatiquement l'axe des temps gradué dans les limites indiquées par la commande `.TRAN`. Il est alors possible de visualiser la forme des signaux aux différents points du circuit comme le montre la figure 6. Bien que l'axe des abscisses soit par défaut gradué en fonction de la variable principale de l'analyse choisie, il est possible de changer l'échelle ou la nature de la variable utilisée comme le montre la figure 7 qui représente par exemple les tensions d'entrée et de sortie en mode de Lissajous.



**Fig. 6** – Fenêtre graphique « Probe » pour l'analyse TRAN.

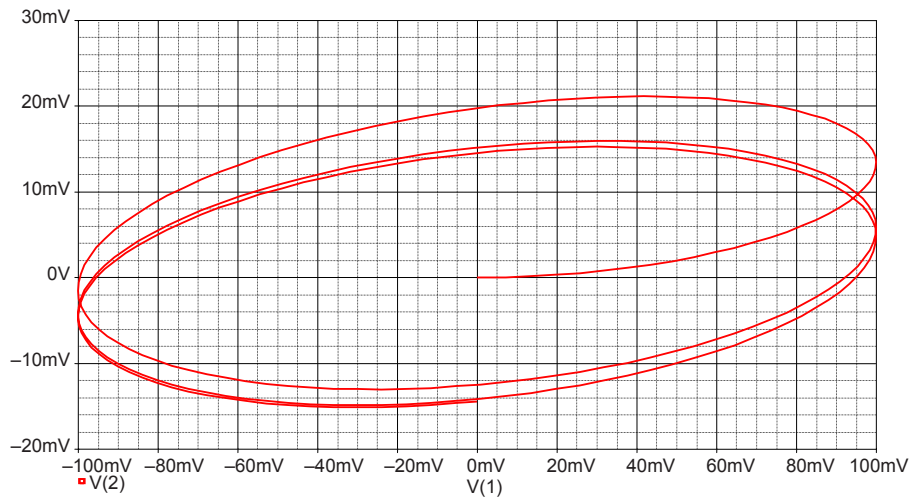


Fig. 7 – Changement d'abscisse dans « Probe ».

## 4 – Constantes, composants et commandes SPICE

Ce paragraphe ne prétend pas constituer un document de référence pour l'utilisation de SPICE mais seulement de donner à l'utilisateur quelques notions de base nécessaires pour une utilisation courante. La documentation complète qui accompagne les différentes versions de SPICE devra être consultée pour plus de détails sur la syntaxe et l'exécution des commandes ou sur la présentation et l'exploitation des résultats d'analyses. En ce qui concerne *PSpice*, une documentation très complète est accessible en ligne.

### 4.1 – Constantes numériques

En plus du format utilisant les suffixes multiplicatifs résumés dans le tableau I page 13, les constantes numériques peuvent être écrites sous la plupart des formats reconnus par les applications informatiques, ainsi : 120 120.00 1.2e2 1.2E2 0.12k 0.12kHz sont tous des formats acceptables. Si une chaîne de caractères suit un suffixe multiplicatif elle est ignorée (dans le dernier exemple Hz qui suit k est ignoré). De même si une chaîne de caractères suivant immédiatement un nombre n'est pas reconnue comme un suffixe multiplicatif elle est ignorée : 100 100V 100volts 100Hz représentent tous la même quantité (les unités sont ignorées).

Exemples :

R1	1	2	1K				
C2	2	0	100nF				
McanalP	2	1	3	3	MOSP	L=10u	W=10u

Pièges à éviter : 1megaHz =  $10^6$  (mais 1MHz =  $10^{-3}$ ), 1pF =  $10^{-12}$  (mais 1F =  $10^{-15}$ ).

### 4.2 – Composants analogiques

Les composants analogiques sont identifiés par la première lettre du mot-clé comme indiqué dans le tableau II page 30.

Exemples :

Ve	1	0	DC	1
Q1	3	10	5	ca3086

**Tableau I** – *Suffixes multiplicatifs reconnus par SPICE.*

Suffixe	Signification	Valeur
F	femto	$10^{-15}$
P	pico	$10^{-12}$
N	nano	$10^{-9}$
U	micro	$10^{-6}$
MIL	milli-inch	$25.4 \cdot 10^{-6}$
M	milli	$10^{-3}$
K	kilo	$10^3$
MEG	mega	$10^6$
G	giga	$10^9$

Noter sur cet exemple que dans le cas des composants actifs (diodes, BJT, FET. . .) la ligne contient un nom de modèle qui renvoie à une description plus détaillée des caractéristiques du composant (voir § 5.10 page 23). Il existe des bibliothèques décrivant les modèles d'un grand nombre de composants tels que diodes, transistors, AOP, etc. Ces modèles peuvent être facilement incorporés dans le fichier-circuit pour compléter la description.

### 4.3 – Commandes d'analyses

Le tableau IV page 31 résume les différentes analyses qui peuvent être réalisées sur un circuit. Comme toutes les commandes, elles sont identifiées par un mot-clé qui commence par un point (.) et suivent une syntaxe propre à chacune d'elle. Ces analyses peuvent être classées en trois catégories principales :

- Analyses en continu : par nature indépendantes du temps, ne concernent que le comportement statique du circuit (les condensateurs sont considérés comme des circuits ouverts, les inductances comme des courts-circuits). Ces analyses tiennent compte des éventuelles non-linéarités statiques des caractéristiques des composants.
- Analyses dynamiques : elles concernent le comportement en fonction de la fréquence de circuits linéaires ou de circuits non linéaires préalablement linéarisés au voisinage d'un point de polarisation statique. Les variables concernées sont des nombres complexes qui peuvent être exprimés sous forme réel et imaginaire ou sous forme module et argument.
- Analyses temporelles : elles décrivent le comportement d'un circuit généralement non linéaire en fonction du temps à partir de l'état de polarisation calculé à l'instant initial  $t = 0$ .

Ces analyses de base peuvent être complétées par la variation de paramètres, une analyse pourra ainsi être répétée pour différentes valeurs d'un composant, d'un paramètre d'analyse ou de la température. De même l'effet de la dispersion des caractéristiques des composants pourra être évalué en donnant à un ou plusieurs composants une série de valeurs tirées au hasard dans l'intervalle de tolérance.

Exemples :

```
.OP
.DC Ve -1 +1 0.1
.AC dec 21 1 1MEG
.TRAN 50u 5m
.STEP param Cvar LIST 100n, 220n, 470n, 680n, 1000n
```

#### 4.4 – Commandes de contrôle

En plus des commandes d'analyse, SPICE dispose d'un certain nombre de commandes permettant de fixer l'état initial des composants, de définir les caractéristiques des composants non linéaires, de structurer le fichier-circuit, de préciser la nature et la forme des variables à éditer, etc. Ces commandes sont résumées dans le tableau V page 32.

Exemples :

```
.OP
.PROBE
.PARAM vmax=10
.IC v(3)=0.1
.MODEL ca3086 NPN BF=175 VAF=50 CJE=5p CJC=3p
.END
```

## 5 – Syntaxe SPICE

### 5.1 – Conventions typographique

Texte	texte tel qu'il doit être tapé,
<argument>	argument obligatoire,
<argument>*	l'astérisque indique que l'argument doit apparaître une ou plusieurs fois,
[argument]	argument optionnel,
[argument]*	aucun, un seul ou plusieurs arguments optionnels.

### 5.2 – Calcul du point de polarisation (.OP)

Forme générale : .OP

L'instruction .OP permet l'édition d'informations détaillées sur le point de polarisation. Le point de polarisation est calculé même s'il n'y a pas d'instruction .OP. Sans l'instruction .OP, la seule information éditée concernant le point de polarisation est une liste des tensions de nœuds. Avec une instruction .OP, les courants et les puissances dissipées par toutes les sources de tension sont édités. De même, l'état de polarisation et les paramètres petits signaux (linéarisés) de toutes les sources commandées et de tous les composants semi-conducteurs sont également édités. L'instruction .OP commande uniquement l'édition des informations du point de polarisation normal. C'est l'instruction .TRAN qui commande l'édition des informations concernant le point de polarisation de l'analyse en transitoire.

### 5.3 – Analyse en continu (.DC)

Formes générales :

```
.DC [LIN] <nom de variable> <valeur de départ> <valeur de fin>
+ <incrément> [spécification de balayage imbriqué]

.DC [OCT] [DEC] <nom de variable> <valeur de départ> <valeur de fin>
+ <nb. de points> [spécification de balayage imbriqué]

.DC <nom de variable> LIST <valeur>* [spécification de balayage imbriqué]
```

Exemples :

```
.DC VIN -.25 .25 .05
.DC LIN I2 5mA -2mA 0.1mA
.DC VCE OV 10V .5V IB 0mA 1mA 50uA
.DC RES RMOD(R) 0.9 1.1 .001
.DC DEC NPN QFAST(IS) 1E-18 1E-14 5
.DC TEMP LIST 0 20 27 50 80 100 -50
.DC PARAM Valim 7.5 15 .5
```

L’instruction `.DC` réalise un balayage pour une analyse en courant continu sur le circuit. Le balayage en courant continu calcule le point de polarisation du circuit sur une gamme donnée de valeurs de *<nom de variable>*. Un balayage imbriqué est disponible. Une seconde variable, type de balayage, valeur de début, valeur de fin et incrément peuvent être placés à la suite du premier balayage. Dans ce cas, le premier balayage constituera la boucle « intérieure » : le balayage complet de la première variable sera réalisé pour chaque valeur du second balayage. Les règles pour les valeurs du second balayage sont identiques à celles du premier.

Le balayage peut être linéaire, logarithmique ou constitué d’une liste de valeurs. Si le balayage est linéaire, le mot-clé `LIN` est optionnel. Le type de balayage peut être :

- `LIN` Balayage linéaire. La variable est balayée linéairement de la valeur de départ à la valeur de fin. *<incrément>* est la valeur du pas utilisé.
- `OCT` Balayage par octaves. La variable est balayée logarithmiquement par octaves. *<nb. de points>* indique le nombre de points par octave.
- `DEC` Balayage par décades. La variable est balayée logarithmiquement par décades. *<nb. de points>* indique le nombre de points par décade.
- `LIST` Utilise une liste de valeurs. Dans ce cas il n’y a pas de valeurs de départ ni de fin. À la place, la variable prendra successivement les valeurs qui suivent le mot-clé `LIST`.

#### 5.4 – Analyse en alternatif petits signaux (`.AC`)

Formes générales :

```
.AC [LIN] [OCT] [DEC] <nb. de points> <fréquence de départ> <fréquence de fin>
```

Exemples :

```
.AC LIN 101 100Hz 200Hz
.AC OCT 10 1KHz 16KHz
.AC DEC 20 1MEG 100MEG
```

L’instruction `.AC` est utilisée pour calculer la réponse en fréquence d’un circuit sur une gamme de fréquences. Les arguments `LIN`, `OCT`, ou `DEC` sont des mots-clés qui spécifient le type de balayage et *<nb. de points>* indique le nombre de points utilisés au cours du balayage :

- `LIN` Balayage linéaire. La fréquence est balayée linéairement entre les fréquences de départ et de fin. *<nb. de points>* est le nombre total de points dans le balayage.
- `OCT` Balayage par octaves. La fréquence est balayée de manière logarithmique par octaves. *<nb. de points>* indique le nombre de points par octave.
- `DEC` Balayage par décades. La fréquence est balayée de manière logarithmique par décades. *<nb. de points>* indique le nombre de points par décade.

## 5.5 – Analyse temporelle (.TRAN)

Forme générale :

```
.TRAN[/OP] <intervalle d'édition> <temps final> [<délai avant édition>
+ [incrément maximal]] [SKIPBP] [UIC]
```

Exemples :

```
.TRAN 1ns 100ns
.TRAN/OP 1ns 100ns 20ns SKIPBP
.TRAN 1ns 100ns 0ns .1ns
```

L'instruction `.TRAN` permet l'exécution d'une analyse en transitoire sur le circuit. L'analyse en transitoire calcule le comportement du circuit au cours du temps en commençant à la valeur `TIME = 0` jusqu'à la valeur *<temps final>*. L'analyse en transitoire utilise un incrément de temps interne qui est ajusté au cours de l'analyse. Sur les intervalles où il y a peu d'activité, l'incrément de temps interne est augmenté, il est au contraire réduit pendant les intervalles actifs. L'*<intervalle d'édition>* est l'intervalle de temps utilisé pour l'édition des résultats de l'analyse transitoire par les instructions `.PRINT` et `.PLOT`. Du fait que les calculs ne sont pas effectués aux mêmes instants que les résultats édités, ces derniers sont obtenus par une interpolation polynomiale du second ordre. L'analyse en transitoire commence toujours à la valeur `TIME = 0`. Cependant il est possible de supprimer l'édition d'une partie de l'analyse. Le [*délai avant édition*] représente la durée d'analyse (depuis `TIME = 0`) qui n'est ni éditée ni donnée à *Probe*. On est quelquefois intéressé par la valeur de l'incrément de temps interne. La valeur maximale de cet incrément est égal à *<temps final>/50* (**ce n'est pas l'*<intervalle d'édition>***). L'[*incrément maximal*] permet d'attribuer à l'incrément de temps interne une valeur maximale différente de celle de l'intervalle d'édition. Avant de réaliser l'analyse en transitoire, *PSpice* calcule un point de polarisation du circuit indépendamment du point de polarisation normal. Il en est ainsi parce que les sources de tension indépendantes peuvent avoir une valeur de départ différente pour l'analyse temporelle et pour l'analyse en courant continu. Normalement, seules les tensions de nœuds sont éditées pour le point de polarisation de l'analyse en transitoire. Cependant le suffixe « /OP » (après `.TRAN`) produira la même édition détaillée du point de polarisation que l'instruction `.OP` pour le point de polarisation normal. Si le mot-clé `SKIPBP` (sauter le calcul de polarisation) ou `UIC` (utiliser les conditions initiales) est ajouté à la fin de l'instruction `.TRAN`, le calcul du point de polarisation n'est pas effectué. Ces arguments sont utilisés avec la spécification `IC=` pour les éléments réactifs (condensateurs et inductances).

## 5.6 – Relations entre instructions

Chaque source de tension ou de courant indépendante comporte des paramètres qui précisent son utilisation avec les différentes analyses. La figure 8 illustre les relations qui existent entre la description de la source **Ve** et les analyses effectuées :

- L'analyse `[.OP]` ne tient compte que de l'argument `[DC=1V]` pour effectuer le calcul du point de polarisation.
- L'analyse `[.AC]` calcule d'abord le point de polarisation à partir de l'argument `[DC=1V]` pour établir le schéma équivalent linéaire puis réalise l'analyse dynamique à partir de l'argument `[AC=1]`.



- L'analyse `.TRAN` ne tient compte que de la spécification temporelle de la source si elle existe, ici : `SIN(0 100V 50Hz)`. Lorsqu'il n'y a pas de spécification temporelle, c'est l'argument `DC=...` qui est utilisé.

<pre> Ve 1 0 DC=1V AC=1 SIN(0 100V 50Hz) ... .OP .AC DEC 10 1Hz 1kHz .TRAN/OP 0.5ms 60ms 0 0.5ms </pre>
<pre> Ve 1 0 DC=1V AC=1 SIN(0 100V 50Hz) ... .OP .AC DEC 10 1Hz 1kHz .TRAN/OP 0.5ms 60ms 0 0.5ms </pre>
<pre> Ve 1 0 DC=1V AC=1 SIN(0 100V 50Hz) ... .OP .AC DEC 10 1Hz 1kHz .TRAN/OP 0.5ms 60ms 0 0.5ms </pre>

Fig. 8 – Relations entre analyses et paramètres de sources.

## 5.7 – Édition des résultats

*PSpice* dispose de trois instructions pour éditer les résultats d'analyse (cf. tableau V page 32) : `.PLOT`, `.PRINT` et `.PROBE`. L'instruction `.PLOT` qui permet l'affichage graphique en caractères alphanumériques dans le fichier de sortie, devenue obsolète avec l'utilisation de *Probe*, ne sera pas décrite ici.

### Forme générale de `.PRINT`

`.PRINT [DC] [AC] [NOISE] [TRAN] [variable de sortie]*`

Exemples :

```

.PRINT DC V(3) V(2,3) V(R1) I(VIN) I(R2) IB(Q13) VBE(Q13)
.PRINT AC VM(2) VM(3,4) VG(5) VDB(5) IR(6) II(7)
.PRINT NOISE INOISE ONOISE DB(INOISE) DB(ONOISE)
.PRINT TRAN V(3) V(2,3) ID(M2) I(VCC)

```

L'instruction `.PRINT` permet l'édition des résultats des analyses en courant continu, dynamique, bruit et transitoire sous la forme de tableaux appelées tableaux de sortie. Seules les analyses de type `.DC`, `.AC`, `.NOISE` et `.TRAN` peuvent être éditées avec l'instruction `.PRINT`. Un et un seul type d'analyse doit être spécifié.

### Formes générales de `.PROBE`

`.PROBE`  
`.PROBE [variable de sortie]*`

Exemples :

```

.PROBE
.PROBE V(3) V(2,3) V(R1) VM(2) VP(2) I(VIN) I(R2) IB(Q13)
+ VBE(Q13) VDB(5)

```

L'instruction `.PROBE` écrit les résultats des analyses en courant continu, dynamique et transitoire dans un fichier appelé *nom.dat* qui sera utilisé par le post-processeur graphique *Probe*.

La première forme (celle qui ne comporte pas de variable de sortie) écrit toutes les tensions de nœuds et tous les courants de composants dans le fichier de sortie. La seconde forme n'écrit que les variables spécifiées dans la liste. Noter que contrairement aux instructions `.PRINT` et `.PLOT`, il n'y a pas à préciser de type d'analyse avant la liste des variables.

### Format des variables de sortie pour les instructions : `.PLOT`, `.PRINT`, `.PROBE`

La nature des variables utilisées dépend du type d'analyse réalisée et du composant étudié. Ainsi, une analyse en courant continu ou temporelle utilise des variables réelles tandis qu'une analyse dynamique traite des variables complexes. Le tableau VI page 33 résume la syntaxe à utiliser pour éditer les résultats selon le composant et le type d'analyse réalisée et le tableau VII page 34 donne quelques exemples d'utilisation (voir également les exemples ci-dessus).

## 5.8 – Expressions et opérateurs

Dans de nombreux cas *PSpice* autorise l'utilisation d'expressions mathématiques qui facilitent la description des circuits ou qui permettent la création de composants « comportementaux » non linéaires par exemple. Lorsqu'une expression est utilisée dans une instruction elle doit être placée entre accolades : { < expression > }.

Une expression peut comporter des constantes, des variables, des opérateurs et des fonctions. Les tableaux VIII page 34 et IX page 35 résument les différents opérateurs et les différentes fonctions reconnus par *PSpice*.

Exemples :

```
.PARAM BandPass = {100kHz/3}
Gpsk 11 6 VALUE = {5mA*SIN(6.28*10kHz*TIME + v(3))}
Erc 5 0 LAPLACE {V(10)} = {1/(1+.001*s)}
Esqrt 4 8 VALUE = {5V*SQRT(V(3,2))}
```

## 5.9 – Sources

SPICE dispose de deux types de source : les sources indépendantes (courant ou tension) et les sources commandées (courant ou tension).

### Sources indépendantes : I source de courant, V source de tension

Formes générales :

I<nom> <nœud+ > <nœud- > [[DC] <valeur>] [AC <amplitude> [phase]]  
+ [spécifications de transitoire]

V<nom> <nœud+ > <nœud- > [[DC] <valeur>] [AC <amplitude> [phase]]  
+ [spécifications de transitoire]

Exemples :

```
Ibias 13 0 2.3mA
IAC 2 3 AC .001
Ipulse 1 0 PULSE(-1mA 1mA 2ns 2ns 2ns 50ns 100ns)
Vbias 13 0 2.3mV
VAC 2 3 AC .001
VACphs 2 3 AC .001 90
V3 26 77 DC .002 AC 1 SIN(.002 .002 1.5MEG)
```

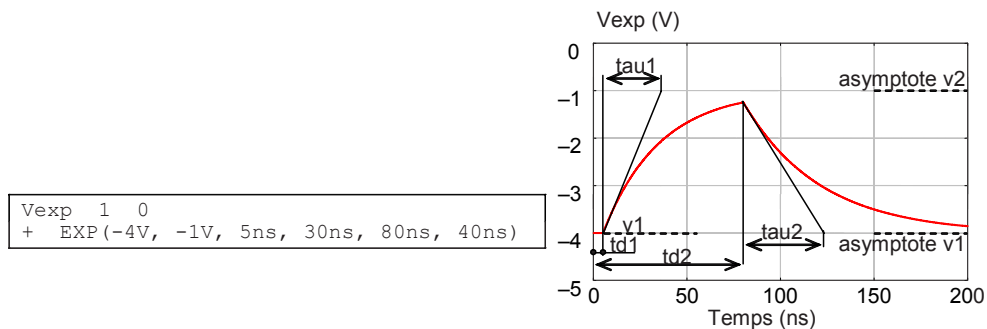
L'élément I est une source de courant, l'élément V est une source de tension. Dans les deux cas le courant positif circule dans la source du nœud (+) vers le nœud (-). La valeur

par défaut est zéro pour les spécifications DC, AC ou transitoire. On peut indiquer une quelconque des trois spécifications ou deux d'entre elles ou toutes ou même aucune. La phase de la spécification AC est exprimée en degrés.

Si l'on spécifie un mode transitoire, ce doit être l'un des mots-clés suivants :

EXP <paramètres> signal de forme exponentielle,  
 PULSE <paramètres> signal de forme impulsionnelle ou carrée,  
 PWL <paramètres> signal de forme linéaire par morceaux,  
 SFFM <paramètres> signal sinusoïdal modulé en fréquence,  
 SIN <paramètres> signal sinusoïdal.

Les différents paramètres des formes de signaux sont décrits dans les tableaux des paragraphes suivants, la colonne *PSpice* indique le mot-clé utilisé par *PSpice* pour définir la variable utilisée dans les relations de définition.



Paramètre	<i>PSpice</i>	Définition	Défaut	Unité
$v_1$	v1	Valeur initiale 1 <sup>ère</sup> phase		V ou A
$v_2$	v2	Valeur asymptotique 1 <sup>ère</sup> phase		V ou A
$t_{d1}$	td1	Délai initial	0	s
$\tau_1$	tau1	Constante de temps 1 <sup>ère</sup> phase	$t_{step}$	s
$t_{d2}$	td2	Délai avant 2 <sup>ème</sup> phase	$t_{d1} + t_{step}$	s
$\tau_2$	tau2	Constante de temps 2 <sup>ème</sup> phase	$t_{step}$	s

Fig. 9 – Exemple de source exponentielle et paramètres de l'instruction EXP.

### Spécifications temporelles de la forme exponentielle (EXP)

EXP( <  $v_1$  > <  $v_2$  > <  $t_{d1}$  > <  $\tau_1$  > <  $t_{d2}$  > <  $\tau_2$  > )

Expressions des différentes phases (Fig. 9) :

$$\begin{aligned}
 0 \leq t \leq t_{d1} & : v(t) = v_1 \\
 t_{d1} \leq t \leq t_{d2} & : v(t) = v_1 + (v_2 - v_1)[1 - \exp(-(t - t_{d1})/\tau_1)] \\
 t \geq t_{d2} & : v(t) = v_1 + (v_2 - v_1)\{[1 - \exp(-(t - t_{d1})/\tau_1)] \\
 & \quad - [1 - \exp(-(t - t_{d1})/\tau_1)]\}
 \end{aligned}$$

### Spécifications temporelles de la forme impulsionnelle (PULSE)

PULSE( <  $v_1$  > <  $v_2$  > <  $t_d$  > <  $t_r$  > <  $t_f$  > <  $w$  > <  $T$  > )

Valeur de la source dans les différentes phases (Fig. 10) :

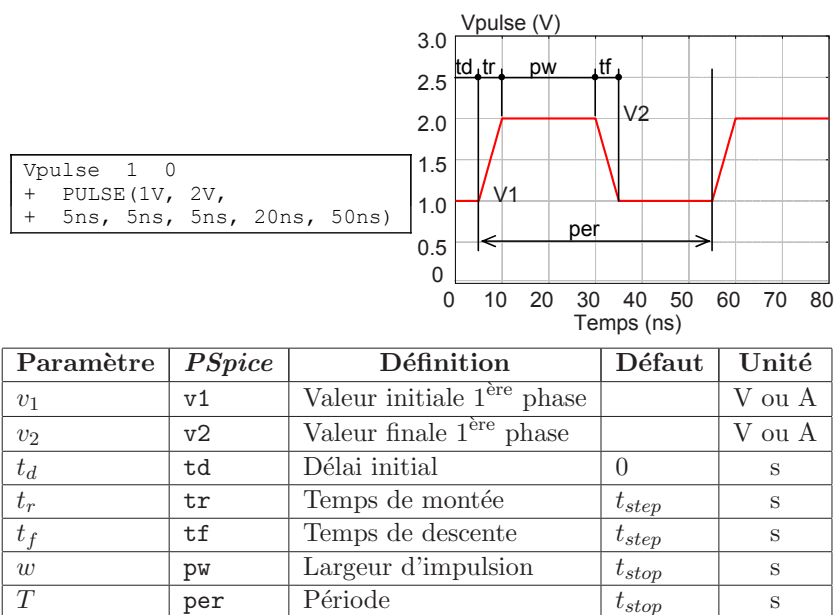


Fig. 10 – Exemple de source impulsionnelle et paramètres de l'instruction PULSE.

$$\begin{aligned}
 t = 0 & & : & v(t) = v_1 \\
 t = t_d & & : & v(t) = v_1 \\
 t = t_d + t_r & & : & v(t) = v_2 \\
 t = t_d + t_r + w & & : & v(t) = v_2 \\
 t = t_d + t_r + w + t_f & & : & v(t) = v_1 \\
 t = t_{stop} & & : & v(t) = v_1
 \end{aligned}$$

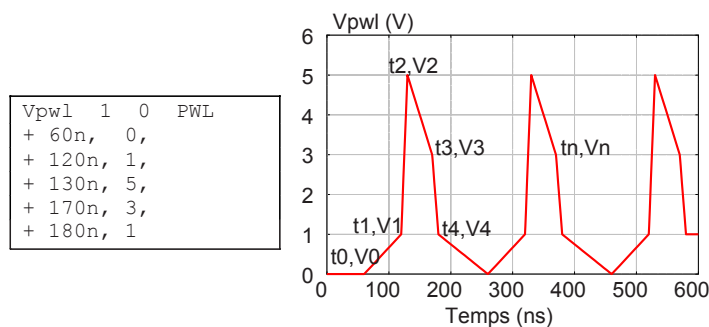


Fig. 11 – Exemple de source linéaire par morceaux.

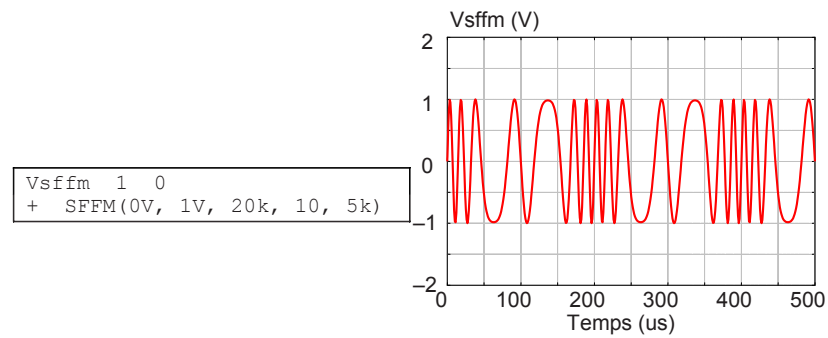
### Spécifications temporelles de la forme linéaire par morceaux (PWL)

$$\text{PWL}(\langle t_0 \rangle \langle v_0 \rangle \langle t_1 \rangle \langle v_1 \rangle \langle t_2 \rangle \langle v_2 \rangle \dots \langle t_n \rangle \langle v_n \rangle)$$

Chaque couple de valeurs  $(t_i, v_i)$  indique qu'à l'instant  $t_i$  la tension ou le courant de la source vaut  $v_i$  (en volt ou ampère). Les valeurs intermédiaires sont déterminées par interpolation linéaire entre les valeurs limites (Fig. 11).

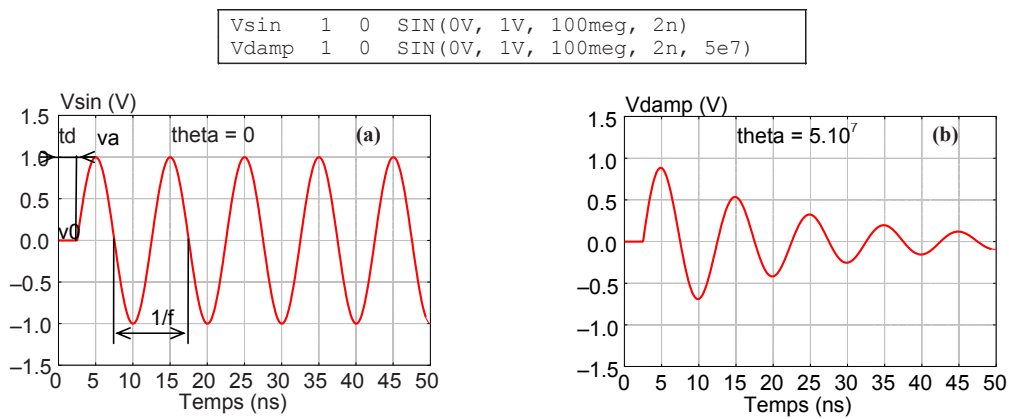
### Spécifications temporelles de la forme sinusoïdale modulée en fréquence (SFFM)

$$\text{SFFM}(\langle v_0 \rangle \langle v_a \rangle \langle m \rangle \langle f_s \rangle)$$



Paramètre	<i>PSpice</i>	Définition	Défaut	Unité
$v_0$	v0	Valeur d'offset		V ou A
$v_a$	va	Amplitude		V ou A
$f_c$	fc	Fréquence porteuse	$1/t_{stop}$	Hz
$m$	mdi	Indice de modulation		
$f_s$	fs	Fréquence de modulation	$1/t_{stop}$	Hz

Fig. 12 – Exemple de source sinusoïdale modulée en fréquence et paramètres de l'instruction SFFM.



Paramètre	<i>PSpice</i>	Définition	Défaut	Unité
$v_0$	v0	Valeur d'offset		V ou A
$v_a$	va	Amplitude		V ou A
$f$	f	Fréquence	$1/t_{stop}$	Hz
$t_d$	td	Délai initial	0	s
$\theta$	theta	Facteur d'amortissement	0	1/s
$\varphi$	phase	Déphasage	0	°

Fig. 13 – Exemple de source sinusoïdale non amortie (a), amortie (b) et paramètres de l'instruction SIN.

Expression analytique (Fig. 12) :

$$v(t) = v_0 + v_a \sin[2\pi f_c t + m \sin(2\pi f_s t)]$$

**Spécifications temporelles de la forme sinusoïdale (SIN)**

$$\text{SIN}(\langle v_0 \rangle \langle v_a \rangle \langle f \rangle \langle t_d \rangle \langle \theta \rangle \langle \varphi \rangle)$$

Expressions des différentes phases (Fig. 13) :

$$\begin{aligned}
 0 \leq t \leq t_d & : v(t) = v_0 \\
 t \geq t_d & : v(t) = v_0 + v_a \sin\{2\pi[f(t - t_d) + \varphi/360]\} \exp[-(t - t_d)\theta]
 \end{aligned}$$

### Sources commandées

Il existe à l'origine quatre types de sources commandées :

- E source de tension commandée en tension,
- F source de courant commandée en courant,
- G source de courant commandée en tension,
- H source de tension commandée en courant.

À cause des extensions de syntaxe pour la modélisation comportementale non linéaire apportées par *PSpice*, il n'est plus nécessaire de différencier le type de commande au niveau de la définition du composant, il suffit de distinguer la nature de la source (tension E ou courant G) et de préciser le type de commande (courant, tension ou autre) dans les arguments, c'est pourquoi les sources F et H sont devenues obsolètes et ne seront pas décrites ici.

Les sources de courant commandées (G) ont la même syntaxe que les sources de tension, substituer simplement la lettre G à la lettre E.

Formes générales :

E<nom> <nœud+> <nœud->  
 + <nœud de commande+> <nœud de commande-> [gain]

E<nom> <nœud+> <nœud-> VALUE={<expression>}

E<nom> <nœud+> <nœud-> TABLE {<expression>}=  
 + <<valeur d'entrée>, <valeur de sortie>>\*

E<nom> <nœud+> <nœud-> LAPLACE {<expression>}={<transformation>}

E<nom> <nœud+> <nœud-> FREQ {<expression>}=[mot-clé]  
 + <<fréquence>, <amplitude>, <phase>>\* [DELAY=<délai>]

E<nom> <nœud+> <nœud-> CHEBISHEV {<expression>}=  
 + < [LP] [HP] [BP] [BR] >, <fréquences de coupures>\*, <atténuation>\*

Exemples :

```

Ebuff 1 2 10 11 1.0
Erac 5 0 VALUE={5V*sqrt(V(3,2))}
Et2 2 0 TABLE {V(4,7)}=(0,0) (30,1)
Erc 5 0 LAPLACE {V(10)}={1./(1+.001*s)}
Epb 5 0 FREQ {V(10)}=(0,0,0)(5kHz,0,0)(6kHz,-60,0) DELAY=3.2ms
Epb 5 0 CHEBISHEV {V(10)}=LP 800 1.2kHz .1dB 50dB
Gbuff 1 2 10 11 1.0
Gpsk 11 6 VALUE={5mA*SIN(6.28*10kHz*TIME+v(3))}
Gt 5 7 VALUE={200E-6*PWR(V(1)*V(2),1.5)}
Gperte 5 0 LAPLACE {V(10)}={EXP(-sqrt(C*s*(R+L*s)))}

```

La première forme et le premier exemple s'appliquent au cas linéaire. Les nœuds (+) et (-) sont les nœuds de sortie. Le courant est compté positivement lorsqu'il circule dans la

source du nœud (+) vers le nœud (-). Les nœuds (commande +) et (commande -) vont par paires et définissent un ensemble de tensions de commande. Un nœud particulier peut apparaître plusieurs fois et il n'est pas nécessaire que les nœuds de sortie et de commande soient différents. Dans le cas linéaire, il y a deux nœuds de commande suivis de la valeur du gain.

La forme TABLE peut comporter jusqu'à 2048 paires de valeurs d'entrée/sortie.

Consulter la documentation pour l'utilisation des sources commandées dans les autres cas.

## 5.10 – Modèles de composants

Les composants passifs sont le plus souvent décrits par une seule valeur numérique (valeur de la résistance, du condensateur, etc.), cette valeur fait alors partie de la description du composant comme le montre la figure 2 page 7 par exemple. Cependant, le comportement d'un composant passif peut nécessiter une description plus complète : coefficient de température, tolérance de fabrication, etc. Ces informations pourraient figurer dans l'instruction de description mais elles l'alourdiraient et surtout il serait nécessaire de les répéter pour tous les composants même si leurs caractéristiques sont identiques. D'où l'intérêt de disposer d'un « modèle » auquel peuvent être référencés un ou plusieurs composants ce qui évite la répétition des caractéristiques. Pour les composants semi-conducteurs (diodes, BJT, FET, MOS... ) ou plus généralement tous les composants ne pouvant pas être décrits par une simple valeur numérique, la référence à un modèle est non seulement utile mais elle est obligatoire. Au lieu d'une valeur numérique, le composant est décrit par un *<nom>* de modèle qui renvoie à la commande .MODEL qui porte le même *<nom>*. Dans l'exemple ci-dessous, le composant D1 est une diode branchée entre les nœuds 1 et 2 décrite par le modèle « diode », ce nom est arbitraire, il peut être formé de n'importe quelle chaîne alphanumérique ne contenant pas de séparateur. Lorsque l'interpréteur de commandes rencontre cette instruction il recherche la commande .MODEL portant la même référence. Cette instruction précise le *<type>* de composant décrit par un mot-clé réservé dont la liste est donnée dans le tableau III page 31 où l'on voit qu'un même composant peut avoir différents *<types>* ce qui explique la nécessité de le préciser dans le modèle. Dans l'exemple ci-dessous, on remarque que plusieurs composants peuvent référencer le même modèle (diodes D1 et D2) et que la description des composants passifs peut également être complétée par un modèle.

Exemples :

Vin 1 0 SIN(0 10V 50Hz)
D1 1 2 <span style="border: 1px solid black; padding: 0 2px;">diode</span>
D2 2 1 <span style="border: 1px solid black; padding: 0 2px;">diode</span>
R 2 0 <span style="border: 1px solid black; padding: 0 2px;">modR</span> 1
C 2 0 <span style="border: 1px solid black; padding: 0 2px;">modC</span> 1
.MODEL <span style="border: 1px solid black; padding: 0 2px;">diode</span> D (IS=1e-12)
.MODEL <span style="border: 1px solid black; padding: 0 2px;">modR</span> RES (R=1k Tc1=.02)
.MODEL <span style="border: 1px solid black; padding: 0 2px;">modC</span> CAP (C=1000u)

Forme générale :

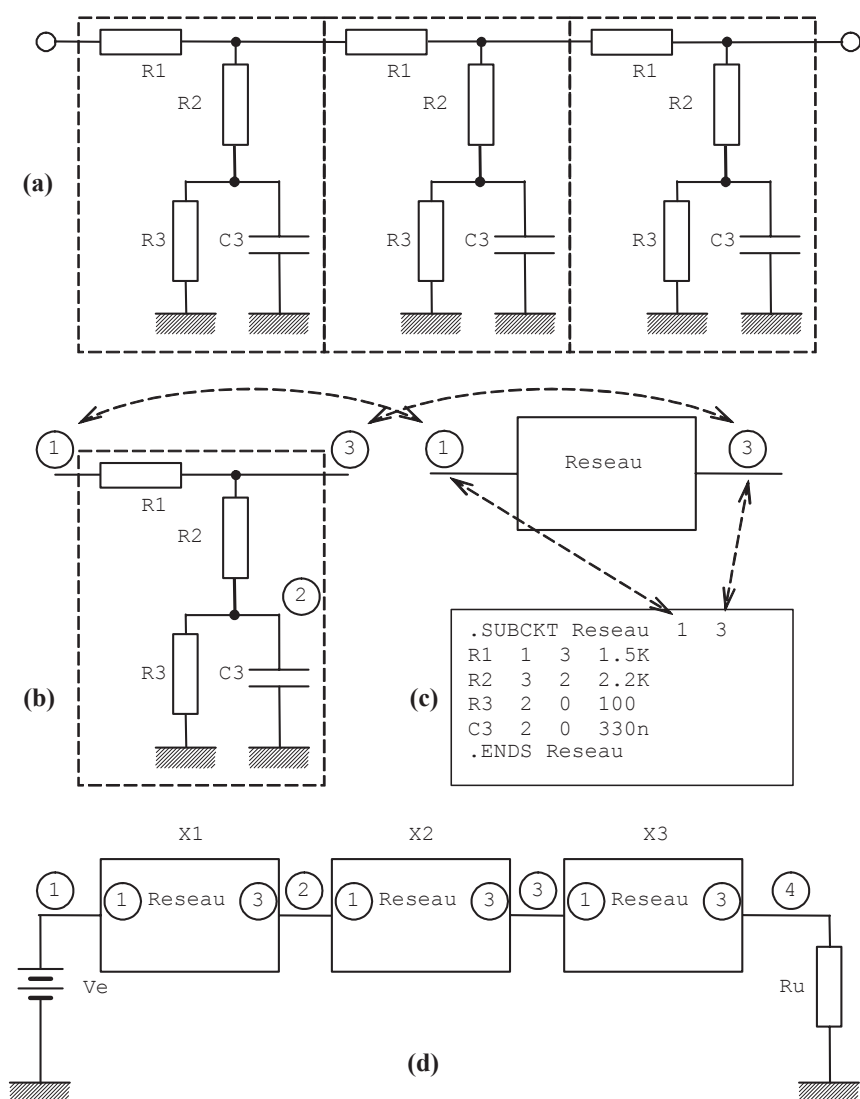
```
.MODEL <nom> <type> ([<nom de paramètre>=<valeur>
+ [spécification de tolérance]]*)
```

Autres exemples :

```
.MODEL RMAX RES (R=1.5 TC1=.02 TC2=.005)
.MODEL DNOM D (IS=1E-9)
.MODEL QDRIV NPN (IS=1E-7 BF=30)
.MODEL MLOAD NMOS (LEVEL=1 VTO=.7 CJ=.02PF)
.MODEL CMOD CAP (C=1 DEV 5%)
.MODEL DLOAD D (IS=1E-9 DEV .5% LOT 10%)
```

Chaque composant dispose d'un nombre parfois important de paramètres de modèle décrits dans la documentation SPICE qui devra être consultée pour en connaître la signification. Les principaux paramètres de modèle des composants semi-conducteurs sont décrits dans les chapitres qui leur sont consacrés.

### 5.11 – Sous-circuits



**Fig. 14** – Utilisation de sous-circuits, circuit initial (a), sous-circuit (b), texte du sous-circuit (c), circuit final (d).



La notion de sous-circuit est analogue à la notion de sous-programme des langages informatiques, elle permet de structurer un fichier-circuit en blocs qui peuvent être réutilisés dans le même fichier-circuit ou réunis dans une bibliothèque de sous-circuits pour être utilisés dans un autre fichier-circuit. Un bloc de sous-circuit est encadré par les commandes `.SUBCKT` et `.ENDS` et il est appelé comme un composant dont l'identificateur commence par la lettre `X`.

Forme générale de définition du sous-circuit :

```
.SUBCKT <nom du sous-circuit> <nœud>*
...<sous-circuit>
.ENDS [nom du sous-circuit]
```

L'instruction `.SUBCKT` commence la définition d'un sous-circuit. Cette définition se termine avec une instruction `.ENDS`. Toutes les instructions comprises entre `.SUBCKT` et `.ENDS` font partie de la définition. Chaque fois qu'un sous-circuit est appelé, par une instruction `X`, toutes les instructions de la définition remplacent l'instruction appelante. *<nom du sous-circuit>* est le nom utilisé par l'instruction `X` pour référencer le sous-circuit. Il doit commencer par une lettre.

*<nœud>\** est une liste de nœuds. Il doit y avoir autant de nœuds dans l'instruction appelant le sous-circuit que dans la définition de celui-ci. Lorsque le sous-circuit est appelé, les nœuds réels (ceux de l'instruction appelante) remplacent les nœuds arguments (ceux de l'instruction de définition).

Les appels de sous-circuits peuvent être imbriqués. C'est-à-dire qu'une instruction `X` peut apparaître entre un `.SUBCKT` et un `.ENDS`. Les définitions de sous-circuits **ne peuvent pas être imbriquées**, une instruction `.SUBCKT` ne peut pas apparaître entre un `.SUBCKT` et un `.ENDS`.

Les définitions de sous-circuits ne devraient contenir que des instructions de description de composants (instructions sans « . » initial) avec toutefois la possibilité d'utiliser des instructions `.MODEL`. Les modèles définis dans une définition de sous-circuit **ne sont accessibles que dans la définition du sous-circuit** dans lequel ils apparaissent. Par contre, si une instruction `.MODEL` apparaît dans le circuit principal, ce modèle est accessible dans le circuit principal et dans tous les sous-circuits. Les noms de nœuds, de composants et de modèles sont locaux au sous-circuit dans lequel ils sont définis. C'est-à-dire qu'il est correct d'utiliser dans un sous-circuit un nom qui a déjà été utilisé dans le circuit principal. Lorsque le sous-circuit est utilisé, tous les noms qui y figurent sont préfixés par le nom du sous-circuit, par exemple : « `Q13` » devient « `X3.Q13` ». Après développement, tous les noms sont uniques.

Forme générale de l'appel de sous-circuit :

```
X<nom> <nœud>* <nom du sous-circuit>
```

Le *<nom du sous-circuit>* est le nom utilisé dans la définition du sous-circuit (voir l'instruction `.SUBCKT`). Il doit y avoir le même nombre de nœuds dans l'appel et dans la définition. Lorsque cette instruction est rencontrée, le sous-circuit référencé est importé dans le circuit et les nœuds indiqués en arguments de la définition sont remplacés par les nœuds réels de l'instruction appelante. Elle permet de définir une seule fois un bloc de circuit et d'utiliser ce bloc à plusieurs endroits.

Les appels de sous-circuits peuvent être imbriqués. C'est-à-dire qu'il est possible de faire un appel à un sous-circuit *A* dont la définition contient un appel à un sous-circuit *B*. Le niveau d'imbrication peut être quelconque mais **pas circulaire**. Par exemple, si la définition du sous-circuit *A* contient un appel au sous-circuit *B*, alors la définition du sous-circuit *B* ne doit pas contenir d'appel au sous-circuit *A*.

Exemple : la figure 14.a page 24 représente un circuit contenant trois cellules identiques. Cette cellule peut être décrite dans un sous-circuit appelé **Reseau** (Fig. 14.b et 14.c) et utilisée en trois exemplaires dans le circuit principal (Fig. 14.d et Fig. 15).

Noter que le sous-circuit **Reseau** comporte 3 nœuds internes dont deux (1 et 3) sont accessibles de l'extérieur, noter également la composition du circuit principal et l'appel aux sous-circuits par l'instruction **X**. Les extensions propres à *PSpice* permettent également le passage de paramètres dans un sous-circuit comme l'illustre la figure 16, cette possibilité permet la constitution de sous-circuits sans que la valeur des composants internes soit connue *a priori*. Pour plus de détail sur l'utilisation des paramètres dans *PSpice*, consulter la documentation.

```
* Sous circuits *
.SUBCKT Reseau 1 3
R1 1 3 1.5K
R2 3 2 2.2K
R3 2 0 100
C3 2 0 330n
.ENDS Reseau
Ve 1 0 1V
X1 1 2 Reseau
X2 2 3 Reseau
X3 3 4 Reseau
Ru 4 0 120
.OP
.DC Ve 0 20 5
.Print DC I(X1.R1) I(X3.R2) I(Ru)
.END
```

Fig. 15 – Fichier-circuit de la figure 14.d.

```
* Sous circuits *
.SUBCKT Reseau 1 3 params: rval1=1k rval2=1k rval3=1k cval3=100n
R1 1 3 {rval1}
R2 3 2 {rval2}
R3 2 0 {rval3}
C3 2 0 {cval3}
.ENDS Reseau
Ve 1 0 1V
X1 1 2 Reseau params: rval1=1.5k rval2=2.2k rval3=100 cval3=330n
X2 2 3 Reseau params: rval1=2.2k rval2=3.3k rval3=220 cval3=100n
X3 3 4 Reseau params: rval1=1k rval2=4.7k rval3=330 cval3=470n
Ru 4 0 120
.OP
.DC Ve 0 20 5
.Print DC I(X1.R1) I(X3.R2) I(Ru)
.END
```

Fig. 16 – Autre fichier-circuit de la figure 14.d.

## 6 – Simulation des circuits logiques

### 6.1 – Fichier-circuit ou saisie de schéma ?

Il est possible de simuler le comportement des circuits numériques avec *PSpice A/D* (A/D signifie *Analog/Digital*). Jusqu'à maintenant les circuits analogiques qui ont été simulés étaient décrits grâce à un fichier-circuit. Comme on l'a vu au § 2.2 page 5, il est également possible de décrire graphiquement le circuit en utilisant l'utilitaire *Schematics* de saisie de schéma disponible dans le logiciel *PSpice*. Très souvent il est beaucoup plus rapide d'utiliser un fichier texte plutôt qu'une représentation graphique pour la description des circuits analogiques, en revanche les circuits numériques nécessitent la description d'un si grand nombre de paramètres et de connexions que la description textuelle devient rapidement fastidieuse et difficile à corriger en cas d'erreur. Dans ce cas, la saisie de schéma s'avère un outil quasi indispensable. L'appel de l'utilitaire *Schematics* ouvre une fenêtre comme le montre la figure 17.

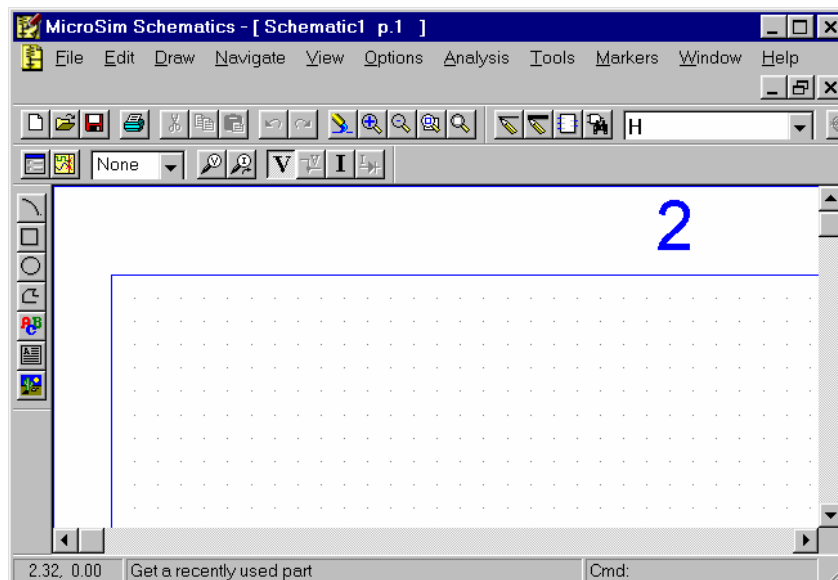




Fig. 17 – Fenêtre de l'utilitaire « Schematics ».

### 6.2 – Porte Nand

Pour illustrer sommairement la simulation numérique, prenons le cas du circuit logique représenté sur la figure 18. Il peut être réalisé en utilisant les commandes successives :

- *Draw* > *Get New Part* > *7400* > *Place & Close* (ou cliquer sur ) pour placer la porte,
- *Draw* > *Get New Part* > *Global* > *Place & Close*, pour placer le port de sortie,
- *Ctrl-R*, pour pivoter le port,
- *Draw* > *Get New Part* > *DigClock* > *Place & Close*, pour placer deux horloges,
- *Draw* > *Wire* (ou cliquer sur ) pour connecter les différents composants.

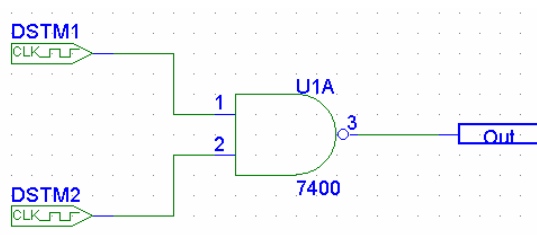





Fig. 18 – Schéma d'un circuit à porte NAND.

La plupart des commandes précédentes peuvent être réalisées grâce aux différents boutons de la barre d'outils affichée en haut de la fenêtre. Le composant appelé 7400 est une porte Nand TTL à deux entrées, Global est un port qui permet d'identifier ou d'accéder à un signal dans un circuit. Pour donner un label à un port, il suffit de double-cliquer sur le symbole (ou d'entrer la commande *Edit>Attributes*) et remplir la boîte de dialogue avec le label choisi (ici le label est out). Les deux composants DigClock produisent les signaux d'entrée nécessaires pour vérifier le comportement de la porte Nand. Pour ajuster les caractéristiques des sources il suffit de double-cliquer sur chaque symbole (ou d'entrer la commande *Edit>Attributes*) et de régler les paramètres *ontime* et *offtime* de chaque horloge dans la boîte de dialogue. Ici ces paramètres valent tous les deux respectivement 200 ns pour DSTM1 et 100 ns pour DSTM2. Pour simuler le circuit il faut tout d'abord sauvegarder le schéma réalisé (commande : *File>Save As* ou cliquer sur  ) sous le nom choisi (*nom.sch*). Les caractéristiques de l'analyse temporelle peuvent alors être décrites grâce à la boîte de dialogue ouverte par la commande *Analysis>Setup* (ou cliquer sur  ). En cliquant sur le bouton **Transient**, il est possible de renseigner les champs **Print Step** et **Final Time**, par exemple 10 ns et 600 ns dans l'exemple donné. Pour lancer l'analyse, entrer simplement la commande : *Analysis>Simulate* (ou appuyer sur la touche F11 ou cliquer sur  ).

Lorsque l'analyse est terminée, la fenêtre du post-processeur graphique *Probe* s'ouvre automatiquement et il est possible de tracer les signaux d'entrée et de sortie comme le montre la figure 19. L'utilisation des curseurs permet de vérifier la table de vérité de la porte et de mettre en évidence les aléas de fonctionnement liés aux retards des signaux dans la porte.

## 7 – Recommandations

Quelles que soient les performances du logiciel, la richesse des bibliothèques et la fidélité des modèles elles ne sauraient en aucun cas *remplacer* le sens critique de l'utilisateur. Pour utiliser efficacement le simulateur il convient de garder en mémoire et d'appliquer un petit nombre de règles simples mais importantes :

- Avant d'exécuter la simulation d'un circuit, effectuer une estimation même grossière des valeurs ou des sens de variation des grandeurs recherchées avec des modèles de comportement simplifiés à l'extrême (le calcul précis avec des modèles plus réalistes sera effectué par le simulateur). Cette phase *essentielle* est la seule méthode pour vérifier

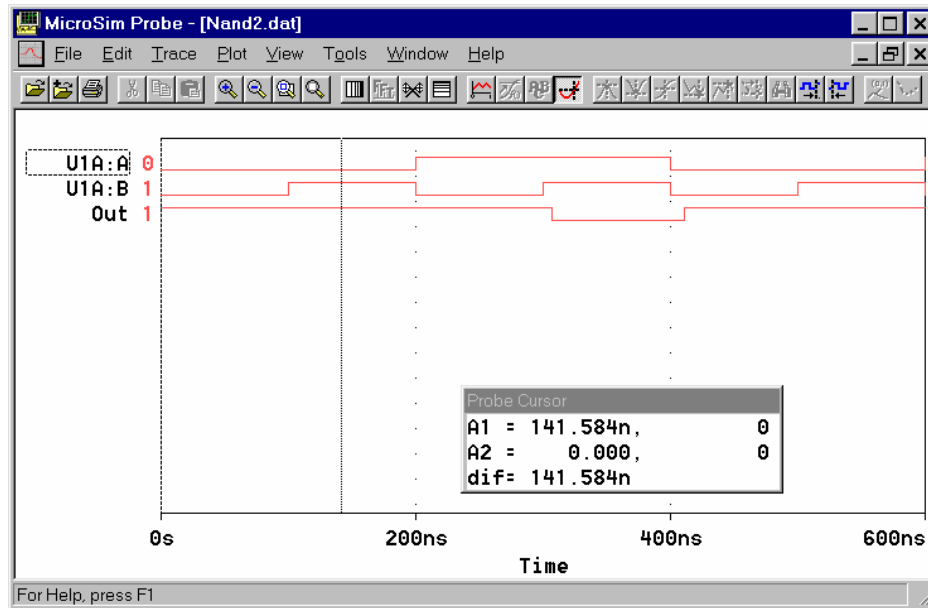


Fig. 19 – Analyse temporelle d’une porte NAND.

que le fichier-circuit ne comporte pas d’erreur de connexion ou que le circuit étudié est fonctionnellement correct.

- Avant de faire appel à des modèles de composant très raffinés pour simuler un circuit, effectuer préalablement une simulation avec des modèles génériques simplifiés ou même des modèles comportementaux. Cette phase permet d’évaluer le comportement *fonctionnel* du circuit c’est-à-dire son aptitude à remplir la fonction pour laquelle il a été conçu. La plupart des modèles de bibliothèque ne sont que des modèles génériques auxquels ont été adjoints des limitations dues à la réalisation physique du composant ou des éléments parasites. Si une modélisation comportementale ne conduit pas au résultat escompté il y a peu de chance de l’atteindre avec des modèles plus sophistiqués.
- Dans un petit nombre de cas, il se peut que des modèles comportementaux trop « idéaux » comportant des gains trop importants, ou des impédances trop grandes ou trop petites, ou des discontinuités trop sévères, entraînent des problèmes de convergence de calcul. Le simulateur arrête alors le calcul et émet un message d’erreur. La documentation propose généralement des solutions pour résoudre le problème soit par des modifications de la valeur des paramètres des composants soit par des ajustements des options de calcul.
- Lorsqu’un circuit comporte un grand nombre de composants, il est généralement constitué de plusieurs sous-systèmes réalisant des fonctions électroniques simples. Avant de simuler le circuit complet il est recommandé de tester séparément les différentes parties, cette précaution permet de localiser plus facilement d’éventuels dysfonctionnements et de gagner du temps.
- Avant de lancer une simulation, vérifier que les paramètres de l’analyse ne vont pas produire une quantité colossale de données. Une simulation temporelle de 1 s avec un pas de 10 ns d’un circuit comportant 10 nœuds produira un milliard de valeurs rien que pour les tensions nodales !

- Observer que même lorsqu'aucun paramètre de modèle n'est indiqué dans le fichier-circuit, le simulateur utilise des valeurs par défaut qui lui permettent d'effectuer un calcul « réaliste ». Les valeurs par défaut sont précisées dans la documentation.

**Tableau II** – *Identificateurs des composants.*

<b>COMPOSANTS PASSIFS</b>	
C	Condensateur
K	Mutuelle inductance
L	Inductance
R	Résistance
<b>COMPOSANTS ACTIFS</b>	
D	Diode
J	Transistor à effet de champ
M	Transistor MOS
Q	Transistor bipolaire
B	Transistor MESFET
<b>SOURCES INDÉPENDANTES</b>	
I	Source indépendante de courant
V	Source indépendante de tension
<b>SOURCES COMMANDÉES</b>	
E	Source de tension commandée en tension
F	Source de courant commandée en courant
G	Source de courant commandée en tension
H	Source de tension commandée en courant
<b>INTERRUPTEURS COMMANDÉS</b>	
S	Interrupteur commandé en tension
W	Interrupteur commandé en courant
<b>AUTRES COMPOSANTS</b>	
T	Ligne de transmission
X	Sous-circuit

**Tableau III** – *Types des modèles de SPICE.*

Type	Composant	Nature
CAP	C	Condensateur
IND	L	Inductance
RES	R	Résistance
D	D	Diode
NPN	Q	Transistor bipolaire NPN
PNP	Q	Transistor bipolaire PNP
LPNP	Q	Transistor PNP latéral
NJF	J	FET à jonction canal N
PJF	J	FET à jonction canal P
NMOS	M	MOSFET canal N
PMOS	M	MOSFET canal P
GASFET	B	MESFET AsGa canal N
CORE	K	Noyau magnétique non linéaire (transfo.)
VSWITCH	S	Interrupteur commandé en tension
ISWITCH	W	Interrupteur commandé en courant
TRN	T	Ligne de transmission à pertes

**Tableau IV** – *Commandes d'analyse de PSpice.*

<b>ANALYSES EN CONTINU (NON LINÉAIRES, INDÉPENDANTES DU TEMPS)</b>	
.DC	Calcul de polarisation
.OP	Édition des résultats d'un calcul de polarisation
.SENS	Calcul de sensibilité
.TF	Fonction de transfert en continu
<b>ANALYSES DYNAMIQUES (LINÉAIRES, FONCTIONS DE LA FRÉQUENCE)</b>	
.AC	Analyse en petits signaux
.NOISE	Analyse du bruit
<b>ANALYSES TEMPORELLES (NON LINÉAIRES FONCTIONS DU TEMPS)</b>	
.TRAN	Réponse temporelle
.FOUR	Transformée de Fourier
<b>ANALYSES MULTIPLES</b>	
.STEP	Paramétrique
.TEMP	Température
<b>ANALYSES STATISTIQUES (DC, AC OU TRAN)</b>	
.MC	Monte Carlo
.WCASE	Analyse de pire cas

**Tableau V** – *Commandes de contrôle de PSpice.*

<b>CONDITIONS INITIALES</b>	
.IC	Fixe la tension de nœud pour le calcul de polarisation
.NODESET	Suggère la tension de nœud pour le calcul de polarisation
<b>MODÉLISATION DES COMPOSANTS</b>	
.ENDS	Fin de sous-circuit
.MODEL	Description d'un modèle de composant
.SUBCKT	Début de sous-circuit
<b>ÉDITION DES RÉSULTATS</b>	
.PLOT	Tracé en mode texte
.PRINT	Édition dans le fichier de sortie
.PROBE	Création du fichier de données pour le post processeur graphique
<b>GESTION DES FICHIERS</b>	
.END	Marque la fin du fichier-circuit
.INC	Inclusion d'un fichier
.LIB	Référence à une bibliothèque
.PARAM	Définition de paramètre
<b>OPTIONS</b>	
.OPTIONS	Fixe différentes limites, paramètres de commande et d'édition



**Tableau VI** – *Format des variables de sortie.*

<b>ANALYSES .DC ET .TRAN</b>													
<i>&lt;nom&gt;</i> peut être un composant dipolaire (C, D,E, F, G, H, I, L, R, S, V, W) ou tripolaire (B, J, M, Q, T, Z)													
I( <i>&lt;nom&gt;</i> )	Courant dans un composant dipolaire												
I <i>x</i> ( <i>&lt;nom&gt;</i> )	Courant entrant dans une borne d'un tripôle, <i>x</i> peut prendre les valeurs suivantes : <table style="margin-left: 40px; border: none;"> <tr> <td>B (MESFET AsGa)</td> <td>D, G, S</td> </tr> <tr> <td>J (FET à jonction)</td> <td>D, G, S</td> </tr> <tr> <td>M (MOSFET)</td> <td>D, G, S, B</td> </tr> <tr> <td>Q (Transistor bipolaire)</td> <td>C, B, E, S</td> </tr> <tr> <td>T (Ligne de transmission)</td> <td>A, B</td> </tr> <tr> <td>Z (IGBT)</td> <td>C, G, E</td> </tr> </table>	B (MESFET AsGa)	D, G, S	J (FET à jonction)	D, G, S	M (MOSFET)	D, G, S, B	Q (Transistor bipolaire)	C, B, E, S	T (Ligne de transmission)	A, B	Z (IGBT)	C, G, E
B (MESFET AsGa)	D, G, S												
J (FET à jonction)	D, G, S												
M (MOSFET)	D, G, S, B												
Q (Transistor bipolaire)	C, B, E, S												
T (Ligne de transmission)	A, B												
Z (IGBT)	C, G, E												
V( <i>&lt;nœud&gt;</i> )	Tension en un nœud												
V( <i>&lt;n+, n- &gt;</i> )	Tension entre deux nœuds												
V( <i>&lt;nom&gt;</i> )	Tension aux bornes d'un composant dipolaire												
V <i>x</i> ( <i>&lt;nom&gt;</i> )	Tension à une borne d'un composant tripolaire (cf. I <i>x</i> )												
V <i>xy</i> ( <i>&lt;nom&gt;</i> )	Tension entre deux bornes d'un composant tripolaire ( <i>y</i> prend les mêmes valeurs que <i>x</i> )												
<b>ANALYSE .AC</b>													
Les variables, analogues aux précédentes, peuvent être précisées en ajoutant l'un des suffixes suivants :													
M (ou rien)	Amplitude												
P	Phase												
DB	Amplitude en dB												
R	Partie réelle												
I	Partie imaginaire												
G	Temps de groupe ( $-d\varphi/df$ )												
<b>ANALYSE DU BRUIT : .NOISE</b>													
INOISE	Somme quadratique du bruit ramené au nœud d'entrée												
ONOISE	Équivalent de INOISE ramené au nœud de sortie												
DB(INOISE)	INOISE en dB												
DB(ONOISE)	ONOISE en dB												

**Tableau VII** – Exemples de formats des variables de sortie.

EXEMPLES (.DC, .TRAN)	
I(D5)	Courant dans la diode D5
IG(J10)	Courant entrant dans la grille de J10
V(3)	Tension entre le nœud 3 et la masse
V(3,2)	Tension entre le nœud 3 et le nœud 2
V(R1)	Tension aux bornes de la résistance R1
VB(Q3)	Tension entre la base de Q3 et la masse
VGS(M13)	Tension grille-source de M13
EXEMPLES (.AC)	
II(R13)	Partie imaginaire du courant dans R13
IGG(M3)	Temps de groupe du courant de grille de M3
IR(Vin)	Partie réelle du courant entrant dans la source Vin
V(2,3)	Module de la tension complexe entre les nœuds 2 et 3
VDB(R1)	Module en dB de la tension aux bornes de R1
VBEP(Q3)	Phase de la tension base-émetteur de Q3
VM(2)	Module de la tension au nœud 2

**Tableau VIII** – Opérateurs de PSpice.

OPÉRATEURS ARITHMÉTIQUES	
Opérateur	Définition
+	Addition
-	Soustraction
*	Multiplication
/	Division
**	Exponentiation (élévation à la puissance. . .)
OPÉRATEURS LOGIQUES	
~	Opérateur logique unaire NON
	Opérateur logique OU
^	Opérateur logique OU exclusif
&	Opérateur logique ET
OPÉRATEURS RELATIONNELS (AVEC LA FONCTION IF())	
==	Test d'égalité
!=	Test « différent de »
>	Test « strictement supérieur à »
>=	Test « supérieur ou égal à »
<	Test « strictement inférieur à »
<=	Test « inférieur ou égal à »

Tableau IX – Fonctions de PSpice.

Fonction	Définition	Commentaire
ABS( $x$ )	$ x $	
ACOS( $x$ )	Arc cosinus	$-1 \leq x \leq 1$
ARCTAN( $x$ ) ou ATAN( $x$ )	Arc tangente	Résultat en radian
ASIN( $x$ )	Arc sinus	$-1 \leq x \leq 1$
ATAN2( $x, y$ )	Arc tangente de $x/y$	Résultat en radian
COS( $x$ )	Cosinus	$x$ en radian
COSH( $x$ )	Cosinus hyperbolique	$x$ en radian
DDT( $x$ )	Dérivée de $x$ par rapport au temps	Analyse .TRAN seulement
EXP( $x$ )	Exponentielle	
IF( $t, x, y$ )	$x$ si $t = \text{vrai}$ $y$ si $t = \text{faux}$	$t$ : expression booléenne
IMG( $x$ )	Partie imaginaire	Renvoie 0 si $x$ réel
LIMIT( $x, min, max$ )	$min$ si $x < min$ $max$ si $x > max$ $x$ dans les autres cas	
LOG( $x$ )	$\ln(x)$	Logarithme népérien
LOG10( $x$ )	$\log(x)$	Logarithme décimal
M( $x$ )	Module de $x$	Idem ABS( $x$ )
MAX( $x, y$ )	Maximum de $x$ et de $y$	
MIN( $x, y$ )	Minimum de $x$ et de $y$	
P( $x$ )	Phase de $x$	Renvoie 0 si $x$ réel
PWR( $x, y$ )	$ x ^y$	Idem opérateur **
PWRS( $x, y$ )	$+ x ^y$ si $x > 0$ $- x ^y$ si $x < 0$	
R( $x$ )	Partie réelle de $x$	
SDT( $x$ )	Primitive de $x$ par rapport au temps	Analyse .TRAN seulement
SGN( $x$ )	Signe de $x$	
SIN( $x$ )	Sinus	$x$ en radian
SINH( $x$ )	Sinus hyperbolique	$x$ en radian
STP( $x$ )	1 si $x \geq 0$ 0 si $x \leq 0$	Fonction échelon
SQRT( $x$ )	$\sqrt{x}$	
TAN( $x$ )	Tangente	$x$ en radian
TANH( $x$ )	Tangente hyperbolique	$x$ en radian
TABLE( $x,$ $+ x_1, y_1,$ $+ x_2, y_2,$ $\dots$ $+ x_n, y_n$ )	Renvoie la valeur $y_n$ quand la variable $x$ prend la valeur $x_n$	



## Chapitre 2

# Exemples de simulation de circuits avec SPICE

### 1 – Composant non linéaire

#### 1.1 – Circuit d'étude

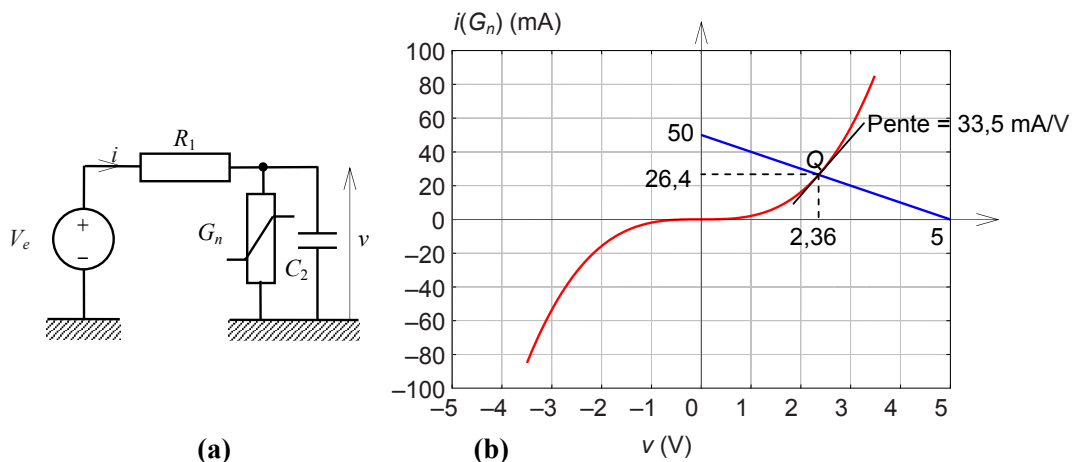


Fig. 1 – Circuit avec composant non linéaire.

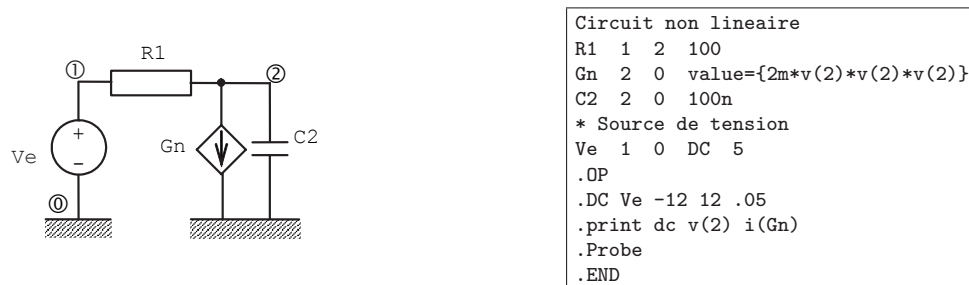


Fig. 2 – Modélisation PSpice.

La figure 1.a représente un circuit comportant une source de tension continue  $V_e$  de 5 V, une résistance  $R_1$  de  $100 \Omega$  et un composant non linéaire  $G_n$  dont la caractéristique statique (courant en fonction de la tension aux bornes) représentée sur la figure 1.b est donnée par la relation :  $i = k \cdot v^3$  avec  $k = 2 \text{ mA/V}^3$ . Comme il n'existe pas d'élément SPICE pour simuler ce composant on fait appel à une source de courant commandée comme indiqué sur la figure 2. Noter la façon de représenter le comportement du composant non linéaire, le courant circulant dans la source de courant commandée  $G_n$  est fonction de la tension aux bornes de la source.

## 1.2 – Point de polarisation et caractéristiques statiques

```

**** 07/31/101 16:24:45 ***** NT Evaluation PSpice (July 1997) *****
Circuit non lineaire
****      CIRCUIT DESCRIPTION
*****
R1  1  2  100
Gn  2  0  value={2m*v(2)*v(2)*v(2)}
C2  2  0  100n
* Source de tension
Ve  1  0  DC  5
.OP
.DC Ve -12 12 .05
.print dc v(2) i(Gn)
.Probe
.END
**** 07/31/101 16:24:45 ***** NT Evaluation PSpice (July 1997) *****
Circuit non lineaire
****      DC TRANSFER CURVES          TEMPERATURE =  27.000 DEG C
*****
      Ve          V(2)          I(Gn)
-1.200E+01  -3.491E+00  -8.509E-02
-1.195E+01  -3.485E+00  -8.465E-02
-1.190E+01  -3.479E+00  -8.421E-02
...
  1.190E+01   3.479E+00   8.421E-02
  1.195E+01   3.485E+00   8.465E-02
  1.200E+01   3.491E+00   8.509E-02
**** 07/31/101 16:24:45 ***** NT Evaluation PSpice (July 1997) *****
Circuit non lineaire
****      SMALL SIGNAL BIAS SOLUTION    TEMPERATURE =  27.000 DEG C
*****
NODE  VOLTAGE  NODE  VOLTAGE  NODE  VOLTAGE  NODE  VOLTAGE
(  1)  5.0000  (  2)  2.3626
      VOLTAGE SOURCE CURRENTS
      NAME          CURRENT
      Ve            -2.637E-02
      TOTAL POWER DISSIPATION  1.32E-01  WATTS
**** 07/31/101 16:24:45 ***** NT Evaluation PSpice (July 1997) *****
Circuit non lineaire
****      OPERATING POINT INFORMATION    TEMPERATURE =  27.000 DEG C
*****
****      VOLTAGE-CONTROLLED CURRENT SOURCES
NAME          Gn
I-SOURCE      2.637E-02
JOB CONCLUDED
TOTAL JOB TIME          .76

```

Fig. 3 – Fichier de sortie PSpice.

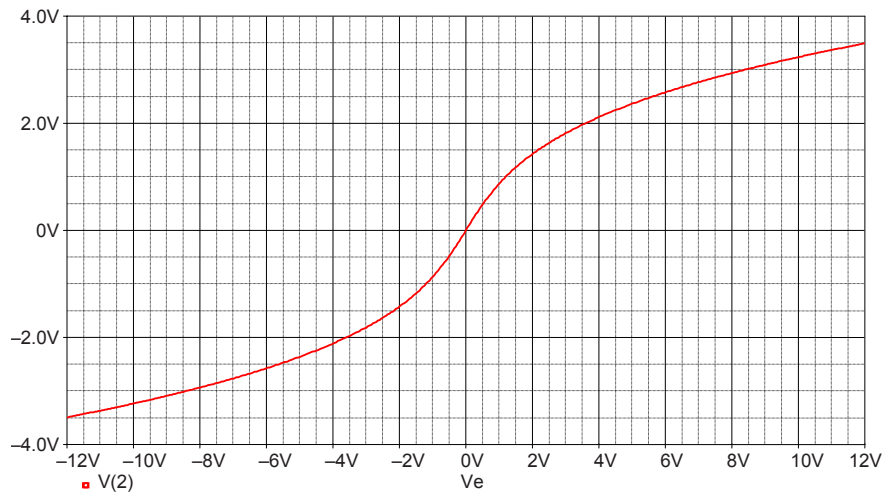


Fig. 4 – Caractéristique de transfert du circuit de la figure 1.

Le fichier-circuit de la figure 2 permet le calcul du point de polarisation c'est-à-dire la valeur des tensions et des courants continus circulant dans le circuit, la figure 3 montre le fichier de sortie obtenu après exécution de la simulation (une partie seulement de l'instruction `.PRINT` a été représentée). Sous la rubrique `SMALL SIGNAL BIAS SOLUTION` on note que la tension continue au nœud 2 vaut 2,3626 V et sous la rubrique `OPERATING POINT INFORMATION` que le courant dans `Gn` vaut 26,37 mA. Le tableau intitulé `DC TRANSFER CURVES` a servi à tracer la caractéristique statique de la figure 1.b. Il est toujours important de vérifier que le résultat d'une simulation est, sinon exact, au moins vraisemblable, en effet une erreur de « câblage » dans un fichier-circuit ou une valeur de composant erronée ne sera pas forcément détectée par l'interpréteur et, bien que la simulation puisse s'exécuter sans erreur, le résultat obtenu ne sera pas celui du circuit imaginé au départ. Pour calculer le point de polarisation du circuit, il suffit de résoudre le système constitué par la loi de maille statique (le condensateur n'intervient pas ici) et par la loi de comportement du composant non linéaire :

$$\begin{cases} i = \frac{V_e - v}{R_1} \\ i = k \cdot v^3 \end{cases}$$

Dans le plan  $(i, v)$  la première relation, appelée droite de charge, coupe la caractéristique cubique au point de polarisation  $Q$ , une résolution graphique est souvent suffisante pour déterminer le point de polarisation (Fig. 1.b). On peut obtenir un résultat plus précis en résolvant l'équation :  $k \cdot R_1 v^3 + v - V_e = 0$  dont la solution numérique vaut :  $v_Q = 2,362$  V, en reportant dans l'une ou l'autre des relations donnant le courant, on obtient  $i_Q = 26,37$  mA conformément aux résultats de simulation.

L'analyse `.DC` de la figure 2 peut également servir à tracer par exemple la caractéristique de transfert du circuit c'est-à-dire la fonction  $v(V_e)$  comme le montre la figure 4 obtenue avec `Probe`.

### 1.3 – Analyse dynamique

```

Circuit non lineaire
R1 1 2 100
Gn 2 0 value={2m*v(2)*v(2)*v(2)}
C2 2 0 100n
* Source de tension
Ve 1 0 DC=5 AC=1
.ac dec 20 1 10meg
.Probe
.END

```

Fig. 5 – Fichier-circuit pour une analyse petits signaux.

Le fichier-circuit de la figure 2 est modifié comme sur la figure 5. Après exécution de l'analyse dynamique `.AC`, on obtient avec `Probe` la fonction de transfert en petits signaux dont l'amplitude est représentée dans le plan de Bode sur la figure 6. La courbe montre que le circuit se comporte comme un filtre passe-bas du 1<sup>er</sup> ordre avec un gain basse fréquence de  $-12,8$  dB et une fréquence de coupure à  $-3$  dB de  $68,8$  kHz. Comment peut-on expliquer ce résultat ? Lorsqu'une analyse `.AC` doit être réalisée, SPICE calcule d'abord le point de polarisation du circuit qui est ici le même que précédemment (on peut le vérifier dans le fichier de sortie), après quoi il linéarise tous les composants au voisinage de ce point, c'est-à-dire qu'il effectue un développement limité au 1<sup>er</sup> ordre des caractéristiques non linéaires des composants. Ici, il calculera la pente  $g$  de la tangente de la courbe  $i(v)$  du composant  $G_n$  au voisinage du point de polarisation soit :

$$g = \left[ \frac{\partial i(G_n)}{\partial v} \right]_{v=v_Q} = 3k \cdot v_Q^2 = 33,49 \text{ mA/V.}$$

Ainsi, pour les petits signaux, la loi de comportement du dipôle  $G_n$  sera une loi linéaire :  $i = g \cdot v$  c'est-à-dire une conductance linéaire de valeur  $g$  et le circuit utilisé pour l'analyse `.AC` sera celui de la figure 7.

La fonction de transfert dynamique de ce circuit est donnée par :

$$\frac{v}{e} = \frac{1}{1 + R_1 g + j R_1 C_2 \omega},$$

dont le module s'écrit :

$$\left| \frac{v}{e} \right| = \frac{1}{\sqrt{(1 + R_1 g)^2 + R_1^2 C_2^2 \omega^2}} \quad \text{ou en dB} \quad \left| \frac{v}{e} \right|_{dB} = -10 \log \left[ (1 + R_1 g)^2 + R_1^2 C_2^2 \omega^2 \right].$$

Les asymptotes basse fréquence et haute fréquence s'écrivent donc<sup>1</sup> :

$$\left| \frac{v}{e} \right|_{dB} \underset{\omega \rightarrow 0}{\asymp} -20 \log(1 + R_1 g) \quad \text{et} \quad \left| \frac{v}{e} \right|_{dB} \underset{\omega \rightarrow \infty}{\asymp} -20 \log(R_1 C_2 \omega).$$

Cette forme indique une pente d'atténuation HF de  $-20$  dB/décade caractéristique d'un filtre passe-bas du 1<sup>er</sup> ordre, l'ordonnée de l'asymptote BF vaut  $-12,77$  dB et les deux asymptotes se coupent à la fréquence :

$$\omega_c = \frac{1 + R_1 g}{R_1 C_2} \quad \text{soit} \quad f_c = \frac{\omega_c}{2\pi} = 69,22 \text{ kHz.}$$

Les valeurs obtenues ainsi sont identiques à celles de la simulation (les écarts qui peuvent subsister sont dûs à la position du point de calcul).

<sup>1</sup>Le symbole  $\asymp$  signifie « asymptotiquement égal ».



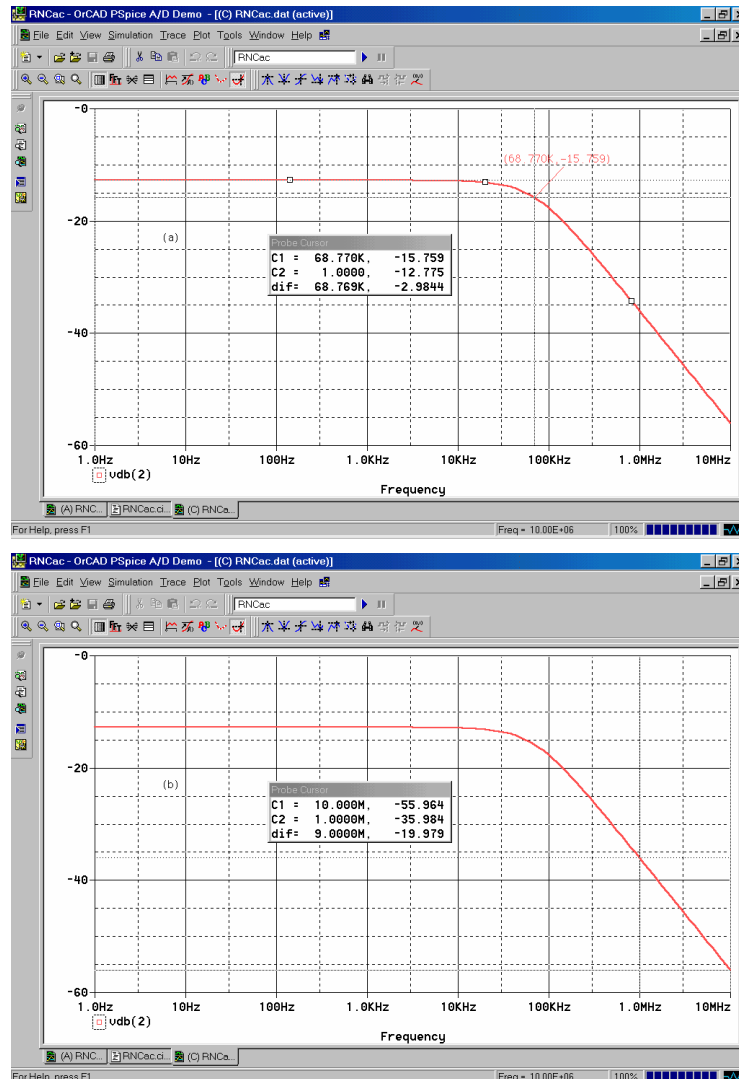


Fig. 6 – Fonction de transfert en petits signaux avec curseurs pour la détermination de la fréquence de coupure (a) et de la pente d'atténuation (b).

#### 1.4 – Analyse temporelle

Le fichier-circuit est à nouveau modifié comme le montre la figure 8. La source  $V_e$  est à présent une tension sinusoïdale de composante continue 5 V, d'amplitude 3 V et de fréquence 100 Hz. Après simulation, *Probe* permet de représenter par exemple la tension d'entrée et la tension de sortie du circuit (tension aux nœuds 1 et 2) comme sur la figure 9.

Noter que la caractéristique non linéaire de  $G_n$  se traduit par une distorsion de la tension de sortie qui n'est plus tout-à-fait sinusoïdale et qui contient par conséquent des harmoniques. *Probe* permet très facilement d'effectuer la transformée de Fourier des signaux temporels (FFT) pour évaluer la distorsion harmonique, la figure 10 montre la décomposition harmonique de la tension de sortie où l'on peut mesurer la composante continue ( $\approx 2,3$  V), l'amplitude fondamentale à 100 Hz ( $\approx 740$  mV), l'amplitude de l'harmonique 2 ( $\approx 91$  mV)

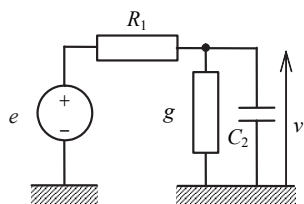


Fig. 7 – Schéma équivalent en petits signaux.

```
Circuit non lineaire
R1 1 2 100
Gn 2 0 value={2m*v(2)*v(2)*v(2)}
C2 2 0 100n
* Source de tension
Ve 1 0 sin(5 3 100)
.tran 0.1m 50m 0 0.1m
.Probe
.END
```

Fig. 8 – Fichier-circuit pour une analyse temporelle.

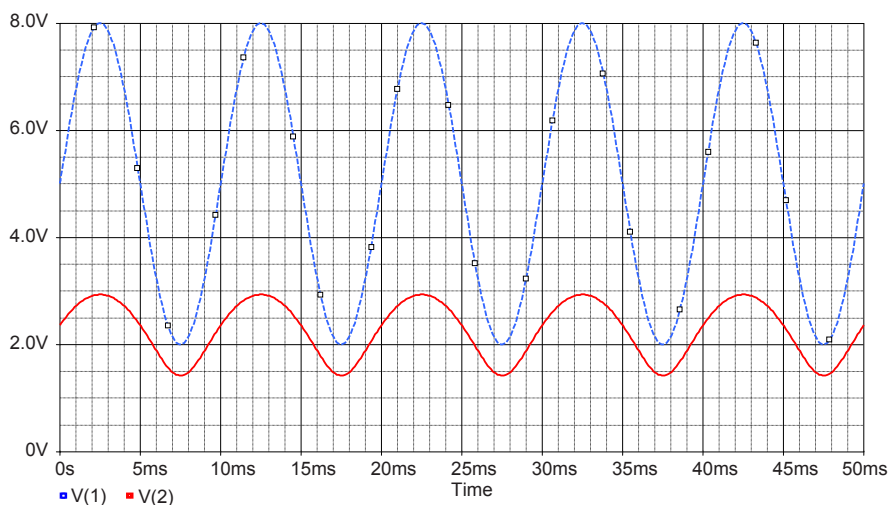


Fig. 9 – Tensions d'entrée et de sortie.

et de l'harmonique 3 ( $\approx 18$  mV). Il est également possible de faire appel à la commande SPICE : `.FOUR` pour obtenir ces résultats (consulter la documentation).

Bien qu'il soit encore possible de réaliser le calcul du comportement temporel à la main, cette tâche peut devenir vite assez compliquée. Pour s'assurer de la vraisemblance des résultats de simulation on peut se contenter de quelques vérifications élémentaires :

- La composante continue de la tension d'entrée étant de 5 V, la composante continue de la tension de sortie devrait être proche de la tension de polarisation  $v_Q$  calculée précédemment pour cette même valeur, ce qui est le cas (2,36 V).
- La fréquence du signal d'entrée étant assez basse par rapport à la fréquence de coupure du filtre, le condensateur  $C_2$  influe très peu sur l'amplitude du signal de sortie et, bien que l'on ne puisse plus considérer que le circuit se comporte de façon linéaire à cause de l'amplitude du signal d'entrée (3 V) on devrait obtenir au moins l'ordre de grandeur du signal de sortie en utilisant le schéma équivalent linéaire de la figure 7 dans laquelle on aurait supprimé le condensateur. L'amplitude du signal de sortie devrait donc être approximativement :

$$v \approx \frac{e}{1 + R_1 g} \approx 690 \text{ mV}, \text{ qui est du même ordre de grandeur que les 740 mV obtenus par la simulation.}$$

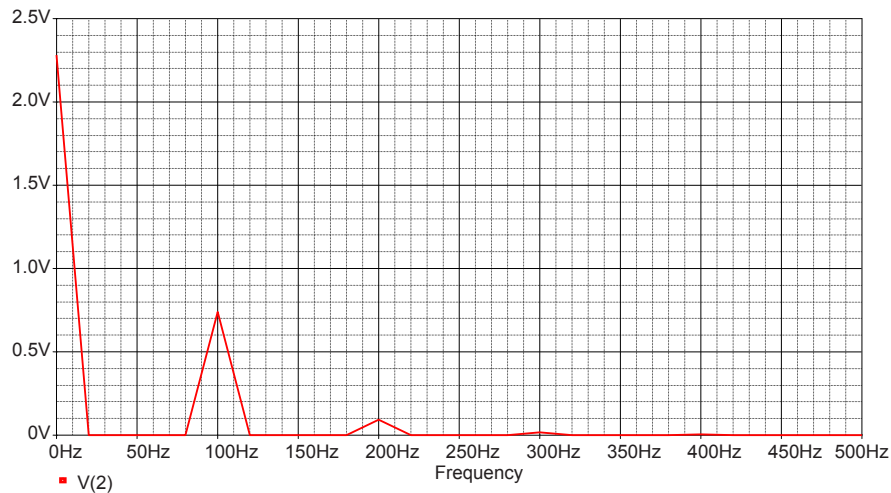


Fig. 10 – Décomposition harmonique de la tension de sortie.

## 2 – Amplificateur opérationnel idéal

### 2.1 – Modélisation

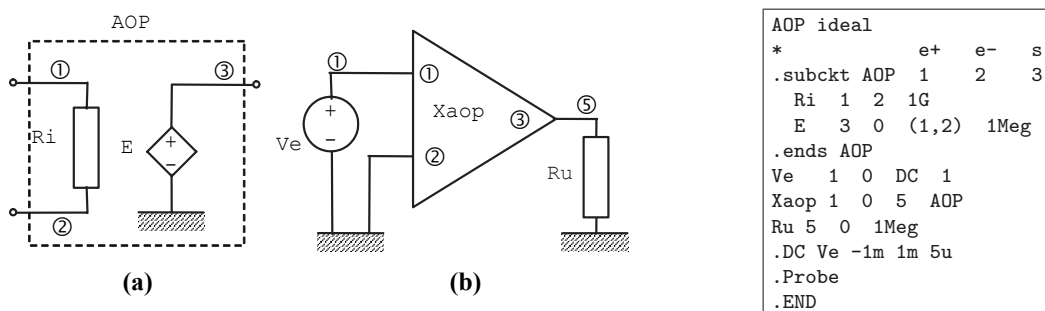


Fig. 11 – Simulation d'un AOP idéal.

Un amplificateur opérationnel (AOP) idéal n'est autre qu'une source de tension linéaire commandée en tension avec un gain très élevé. Il est donc très simple de simuler le comportement de ce composant comme le montre la figure 11.a. La tension différentielle d'entrée est appliquée sur une résistance  $R_i$  de  $1\text{ G}\Omega$  représentant l'impédance d'entrée (très élevée) de l'AOP et la tension de sortie est fournie par la source commandée linéaire  $E$  de gain  $10^6$ . L'ensemble est constitué en sous-circuit pour être utilisé plus facilement par la suite. Comme sur la figure 11.b où le sous-circuit est utilisé pour vérifier la fonction de transfert de l'AOP, le fichier-circuit correspondant est représenté figure 11. Noter la nécessité de placer une résistance d'utilisation  $R_u$  pour éviter que le nœud 5 reste « en l'air ».

Le lecteur pourra vérifier avec *PSpice* le fonctionnement de ce circuit et constater qu'une tension d'entrée de  $1\text{ V}$  produit une tension de  $1\text{ MV}$  en sortie ce qui, bien entendu, est tout-à-fait irréaliste. Pour obtenir un comportement plus proche de la réalité tenant compte des tensions de saturation, on peut remplacer la source commandée  $E$  linéaire par

```

AOP ideal
*          e+  e-  s
.subckt AOP 1 2 3
  Ri 1 2 1G
  E 3 0 TABLE {v(1,2)}=(-20u,-20) (20u,20)
.ends AOP
Ve 1 0 DC 1
Xaop 1 0 5 AOP
Ru 5 0 1Meg
.DC Ve -200u 200u 5u
.Probe
.END

```

Fig. 12 – Simulation d'un AOP idéal avec tensions de saturation.

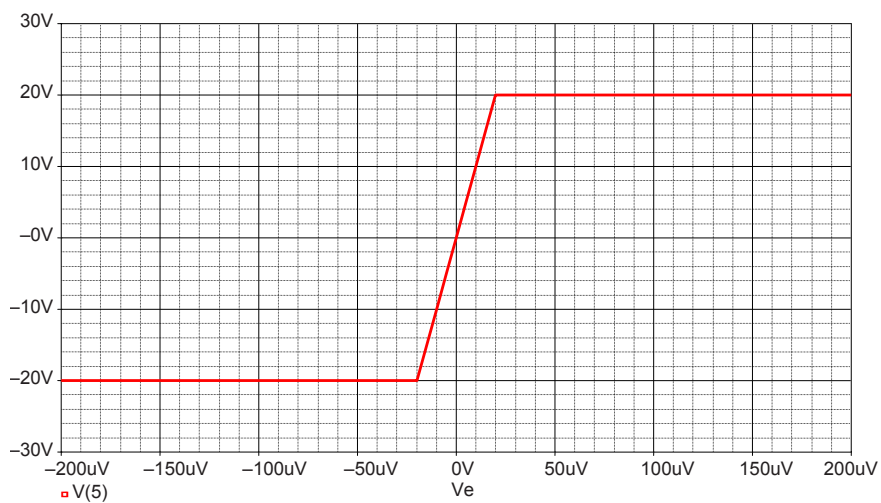
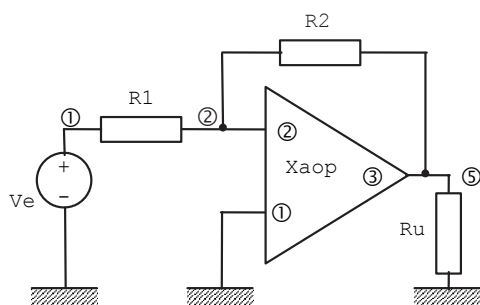


Fig. 13 – Fonction de transfert d'un AOP idéal avec tensions de saturation.

une source E non linéaire de type `table` comme le montre le fichier-circuit de la figure 12. La fonction de transfert est alors celle de la figure 13.

## 2.2 – Amplificateur inverseur



```

Inverseur avec AOP ideal
*          e+  e-  s
.subckt AOP 1 2 3
  Ri 1 2 1G
  E 3 0 TABLE {v(1,2)}=
+ (-20u,-20) (20u,20)
.ends AOP
Ve 1 0 DC 1
R1 1 2 1k
R2 2 5 10k
Xaop 0 2 5 AOP
Ru 5 0 1Meg
.DC Ve -5 5 50m
.Probe
.END

```

Fig. 14 – Amplificateur inverseur simulé avec un AOP idéal.

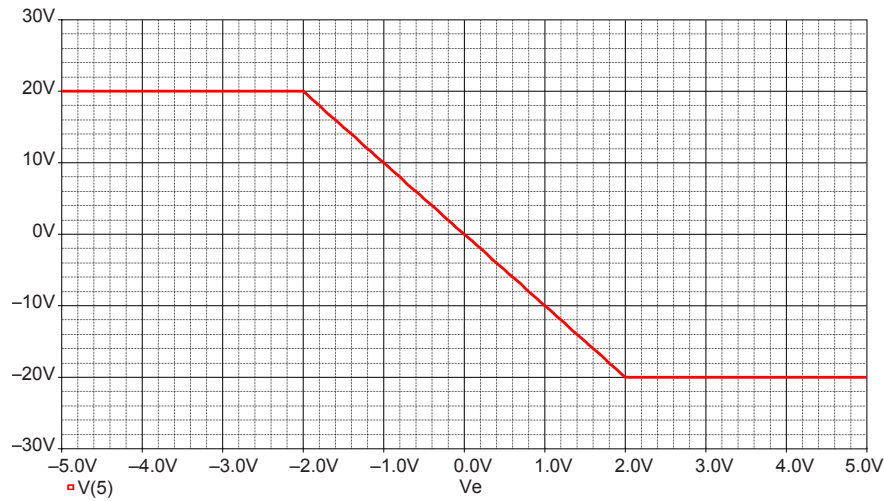


Fig. 15 – Fonction de transfert de l'amplificateur inverseur.

```

* Ampli inverseur
.subckt AOP 1 2 3
  Ri 1 2 1G
  E 3 0 TABLE {v(1,2)}=(-20u,-20) (20u,20)
.ends AOP
.param amp=1
Ve 1 0 sin(0 {amp} 1k)
R1 1 2 1k
R2 2 5 10k
Xaop 0 2 5 AOP
Ru 5 0 1Meg
.tran 10u 5m 0 10u
.step param amp list 1 3
.Probe
.END

```

Fig. 16 – Fichier-circuit pour la simulation temporelle de l'amplificateur inverseur.

Le composant AOP ainsi réalisé peut être utilisé pour simuler le comportement d'un grand nombre de circuits comme celui de l'amplificateur inverseur de la figure 14.

Noter sur cet exemple que l'entrée non inverseuse de l'AOP est à la masse et que l'on obtient bien une amplification de gain  $G = -\frac{R_2}{R_1} = -10$  (Fig. 15).

On peut mettre en évidence l'inversion de phase entre les tensions d'entrée et de sortie par une simulation temporelle comme le montre le fichier-circuit de la figure 16. Noter la façon de paramétrer l'amplitude du signal d'entrée pour réaliser plusieurs simulations identiques en utilisant les commandes `.PARAM` et `.STEP` (consulter la documentation pour plus de détails sur la syntaxe de ces commandes).

On obtient alors le résultat de la figure 17 qui montre l'opposition de phase entre les tensions d'entrée et de sortie ainsi que la saturation de la tension de sortie lorsque l'amplitude du signal d'entrée devient trop importante.

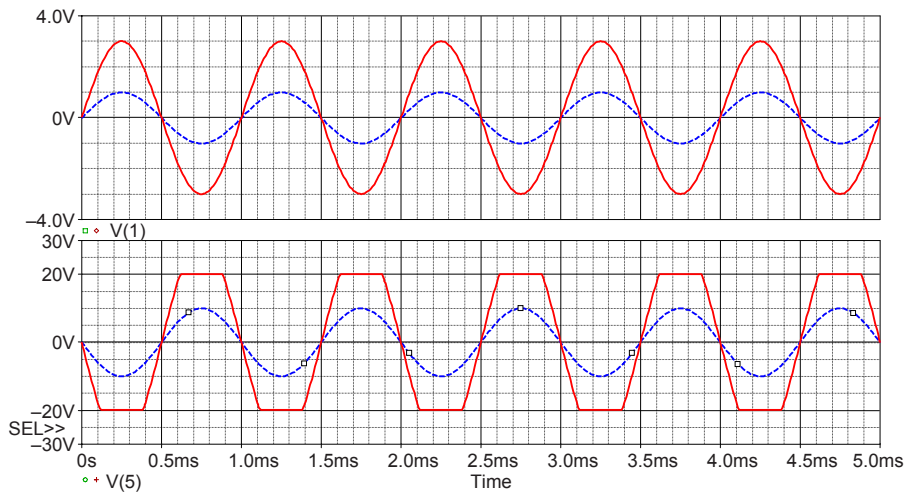


Fig. 17 – Simulation temporelle de l'amplificateur inverseur.

### 2.3 – Intégrateur

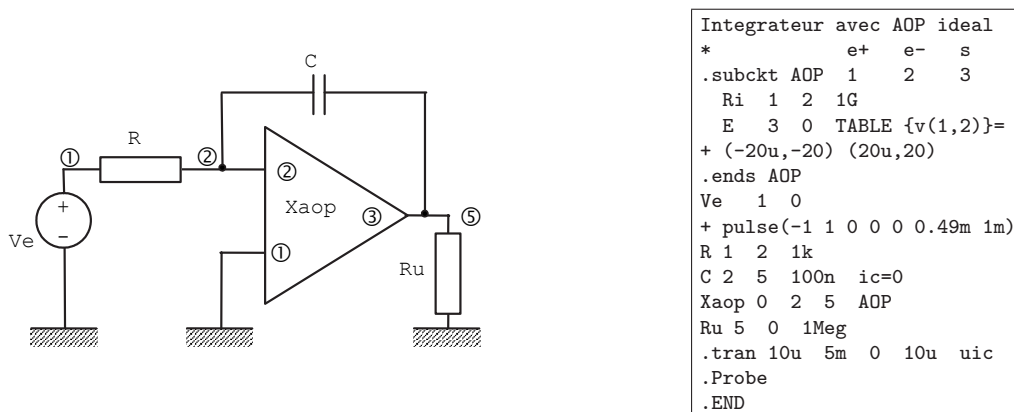


Fig. 18 – Intégrateur simulé avec un AOP idéal.

La figure 18 représente le montage d'un AOP en intégrateur et le fichier-circuit pour simuler son comportement temporel. La tension d'entrée est un signal carré de rapport cyclique unité : la largeur de la partie positive est égale à la moitié de la période moins le temps de montée qui, par défaut, est égal au pas de calcul.

À l'instant initial, le condensateur est déchargé (argument IC=0) ce que le simulateur prend en compte grâce à l'option UIC de la commande<sup>2</sup> .TRAN. Le résultat de la simulation est représenté figure 19 où l'on observe que la tension de sortie est bien proportionnelle à l'intégrale de la tension d'entrée. Ce résultat tient au fait que le courant dans la résistance  $R$  est le même que celui du condensateur  $C$ , donc :  $\frac{V_e}{R} = -C \frac{dV_s}{dt}$  d'où  $V_s = -\frac{1}{RC} \int V_e dt$ . Si  $V_e$  est constante on obtient  $V_s = -\frac{1}{RC} V_e \cdot t + V_s(0)$ . Pour  $V_e = 1$  V,  $RC = 100 \mu s$

<sup>2</sup>L'option UIC peut être remplacée par l'option équivalente SKIPBP (*Skip Bias Point*).

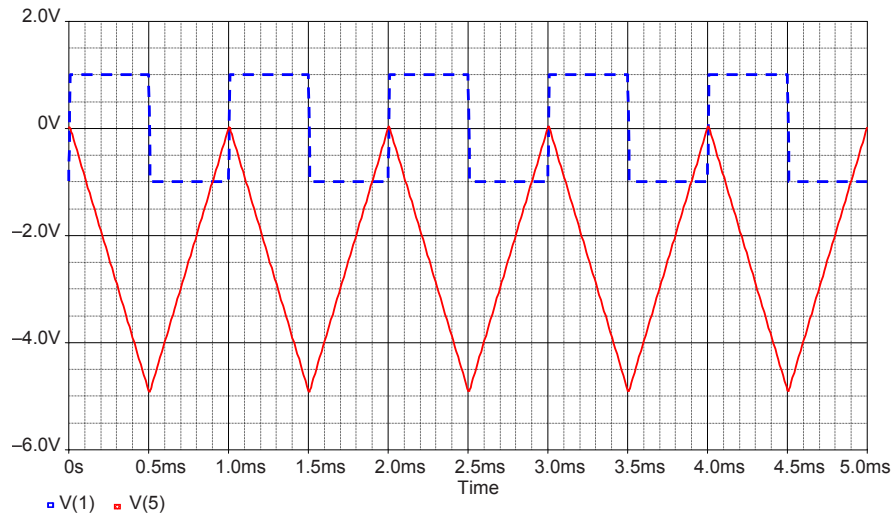
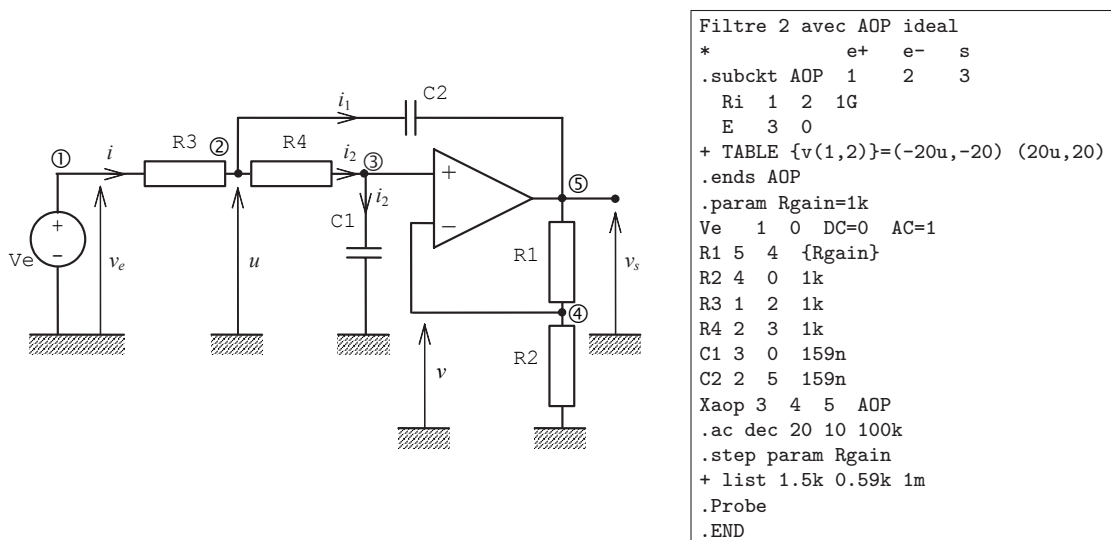


Fig. 19 – Simulation temporelle de l'intégrateur.

et  $V_s(0) = 0$  on doit avoir  $V_s = -10^4 t$ , on vérifie sur la figure 19 que  $V_s = -5$  V pour  $t = 0,5$  ms.

#### 2.4 – Analyse petits signaux d'un filtre actif du 2<sup>ème</sup> ordre

Fig. 20 – Schéma et fichier-circuit pour un filtre actif du 2<sup>ème</sup> ordre.

La figure 20 représente un filtre du 2<sup>ème</sup> ordre dans lequel on suppose l'AOP idéal avec en outre  $R_3 = R_4 = R$  et  $C_1 = C_2 = C$ . La fonction de transfert de Laplace du filtre peut se mettre sous la forme :

$$H(p) = \frac{v_s}{v_e} = \frac{G_0}{1 + pRC(3 - G_0) + p^2 R^2 C^2} \quad \text{avec} \quad G_0 = 1 + \frac{R_1}{R_2}.$$

Dans le domaine fréquentiel ( $p = j\omega$ ), la fonction de transfert devient :

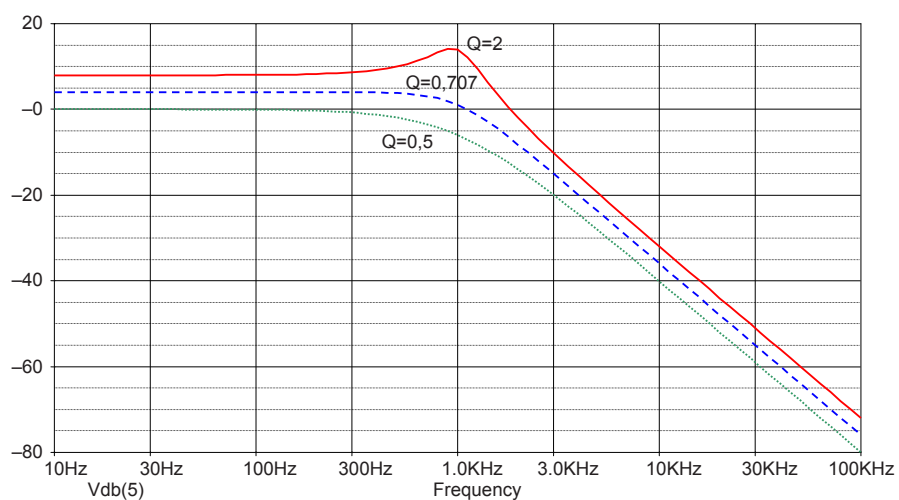


Fig. 21 – Réponses en amplitude du filtre actif du 2<sup>ème</sup> ordre.

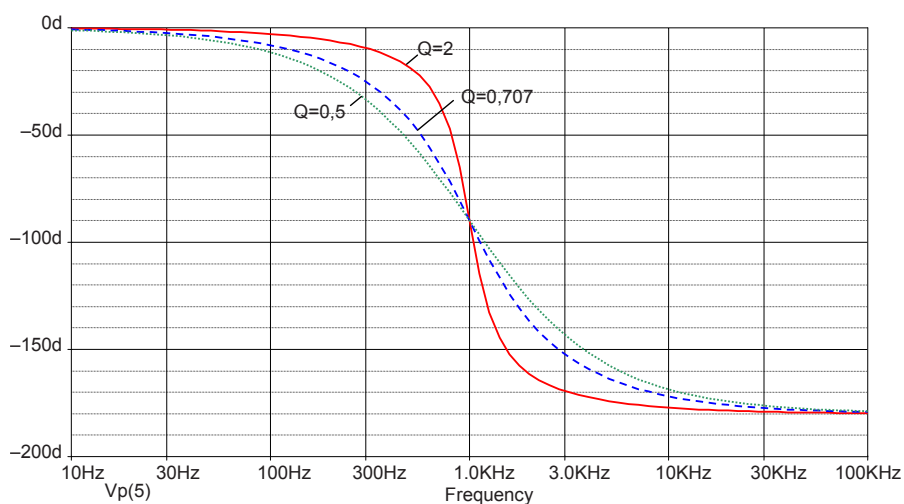


Fig. 22 – Réponses en phase du filtre actif du 2<sup>ème</sup> ordre.

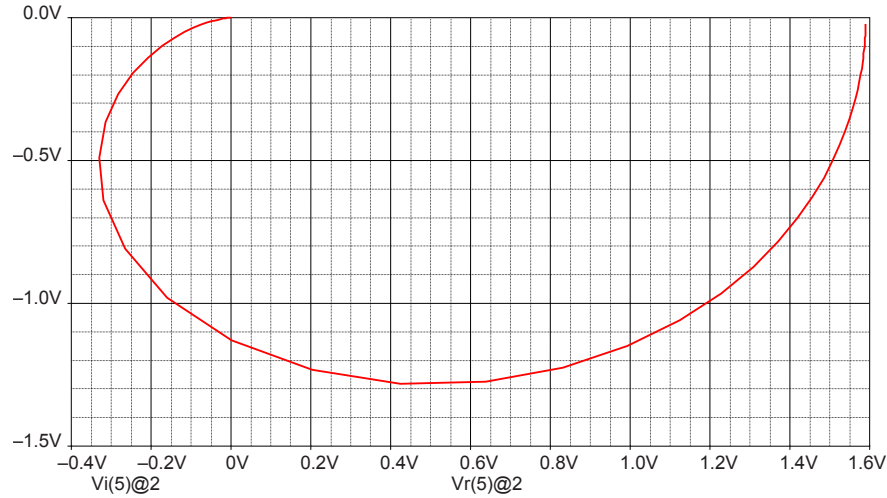
$$H(j\omega) = \frac{v_s}{v_e} = \frac{G_0}{1 + j\omega RC (3 - G_0) - \omega^2 R^2 C^2}$$

Cette fonction de transfert peut encore s'écrire :

$$H(x) = \frac{G_0}{1 + jx/Q - x^2} \quad \text{avec} \quad \begin{cases} \omega_0 = \frac{1}{RC} \\ Q = \frac{1}{3 - G_0} \\ x = \frac{\omega}{\omega_0} \end{cases}$$

D'où le module de la fonction de transfert :





**Fig. 23** – Réponse du filtre actif du 2<sup>ème</sup> ordre dans le plan de Nyquist pour  $Q = 1/\sqrt{2}$ .

$$|H| = \frac{G_0}{\sqrt{(1-x^2)^2 + x^2/Q^2}} \quad \text{soit} \quad |H|_{dB} = 20 \log G_0 - 10 \log \left[ (1-x^2)^2 + x^2/Q^2 \right].$$

La fonction de transfert présente deux comportements asymptotiques principaux :

$$|H|_{dB} \underset{\omega \rightarrow 0}{\sim} A_0 = 20 \log G_0 : \text{gain basse fréquence,}$$

$$|H|_{dB} \underset{\omega \rightarrow \infty}{\sim} A_\infty = 20 \log G_0 - 40 \log x : \text{pente d'atténuation à } -40 \text{ dB/décade.}$$

L'intersection de  $A_0$  et de  $A_\infty$  a lieu pour  $x = 1$  c'est-à-dire pour  $\omega = \omega_0$ . Pour cette valeur particulière de la fréquence on a :  $|H(x=1)|_{dB} = 20 \log G_0 + 20 \log Q$ .

On peut par ailleurs distinguer différents types de réponse selon la valeur du coefficient de qualité  $Q$  :

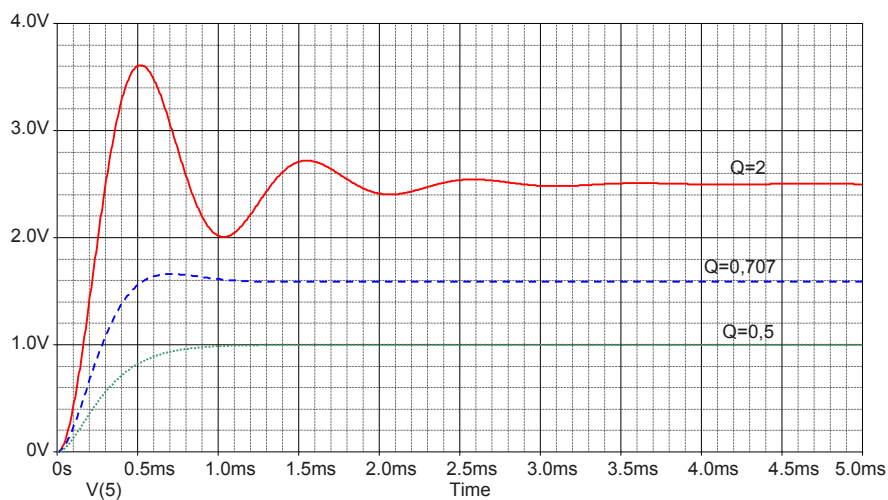
- si  $Q > 1/\sqrt{2}$  la réponse présente une surtension d'amplitude  $20 \log Q$  en  $x = 1$ ,
- si  $Q < 1/\sqrt{2}$  la réponse présente une petite région de pente  $-20$  dB/décade entre  $x = Q$  et  $x = 1/Q$ ,
- si  $Q = 1/\sqrt{2}$  on obtient la réponse la plus « plate » possible, la courbe passe à  $-3$  dB sous l'asymptote horizontale en  $x = 1$  (réponse de type *Butterworth*).

Le fichier-circuit permettant de simuler le filtre est représenté Fig. 20. Comme précédemment, les différentes valeurs de  $Q$  sont obtenues en faisant varier la résistance  $R_1$  à l'aide des commandes `.PARAM` et `.STEP`. Les valeurs représentées sont :

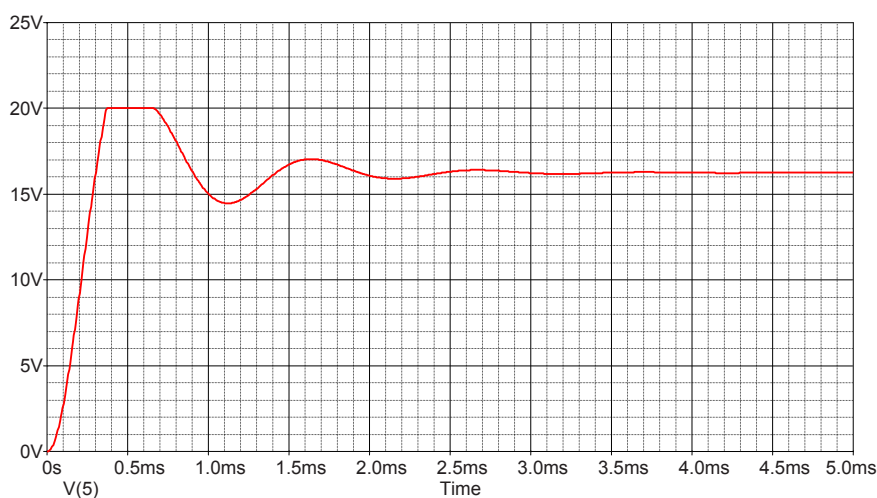
- pour  $Q = 2$   $\Rightarrow G_0 = 2,5 \Rightarrow R_1 = 1,5 R_2$
- pour  $Q = 1/\sqrt{2}$   $\Rightarrow G_0 = 1,59 \Rightarrow R_1 = 0,59 R_2$
- pour  $Q = 1/2$   $\Rightarrow G_0 = 1 \Rightarrow R_1 = 0$

Remarquer que  $Q = 1/2$  nécessiterait une valeur nulle de  $R_1$  que SPICE n'accepte pas et qui est remplacée par la valeur approchée de  $1/1000^e \Omega$ . Les figures 21 et 22 montrent les réponses du filtre en amplitude et en phase dans le diagramme de Bode pour les différentes valeurs de  $Q$ . La figure 23 représente la réponse du filtre *Butterworth* dans le plan de Nyquist.

## 2.5 – Analyse temporelle d'un filtre actif du 2<sup>ème</sup> ordre



**Fig. 24** – Réponses en amplitude du filtre actif du 2<sup>ème</sup> ordre.



**Fig. 25** – Réponse en amplitude du filtre actif du 2<sup>ème</sup> ordre avec saturation.

On se propose de déterminer à présent la réponse indicielle du filtre de la figure 20, c'est-à-dire la réponse à un échelon de tension appliqué sur l'entrée du filtre. Cet échelon est défini par :

$$\begin{cases} t < 0, & v_e = 0 \\ t \geq 0, & v_e = V_E \end{cases}$$

Dans le domaine temporel ( $p = \frac{d}{dt}$ ), avec les mêmes notations, la fonction de transfert de Laplace  $H(p)$  devient une équation différentielle du 2<sup>ème</sup> ordre qui s'écrit :

$$\ddot{v}_s + \frac{\omega_0}{Q} \dot{v}_s + \omega_0^2 v_s = G_0 \omega_0^2 V_E.$$

La solution particulière de l'équation complète (régime permanent) est simplement :

$v_s = G_0 V_E$  et le régime transitoire est défini par le discriminant du polynôme caractéristique

de l'équation sans second membre :  $\Delta = \left(\frac{1}{Q^2} - 4\right) \omega_0^2$ ,

- si  $\Delta > 0 \Rightarrow Q < 1/2$ , le régime est exponentiel,
- si  $\Delta = 0 \Rightarrow Q = 1/2$ , le régime est critique,
- si  $\Delta < 0 \Rightarrow Q > 1/2$ , le régime est sinusoïdal amorti.

Le fichier-circuit pour l'étude de la réponse temporelle est identique à celui de la figure 20, seules la définition de la source de tension et la commande d'analyse sont modifiées :

```

Ve 1 0 DC=0 Pulse(0 1)
...
.tran 5u 5m 0 5u

```

On peut vérifier que les réponses temporelles représentées sur la figure 24 sont conformes aux calculs (type de réponse, régime permanent et période des oscillations).

Contrairement à l'analyse dynamique petits signaux, l'analyse temporelle prend en compte les non linéarités du circuit. On voit par exemple sur la figure 25 que si l'amplitude de l'échelon de tension d'entrée est suffisante, l'amplificateur sature et l'amplitude de la première suroscillation est limitée à 20 V.

## 2.6 – Comparateur à hystérésis (trigger de Schmitt)

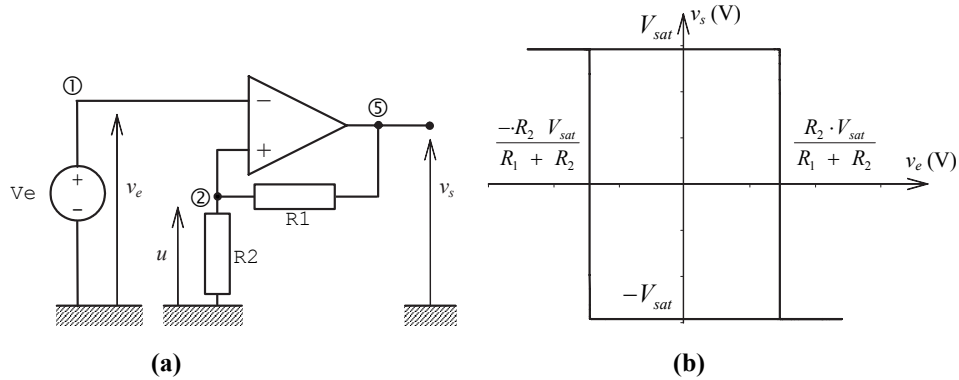


Fig. 26 – Comparateur à hystérésis.

Dans le montage de la figure 26.a, la réaction se fait sur l'entrée non inverseuse de l'AOP, la sortie ne peut alors prendre que deux états :  $+V_{sat}$  ou  $-V_{sat}$ . Pour analyser le comportement de ce dispositif on procède par hypothèses successives :

- supposons

$$v_e < 0 \quad \text{et} \quad v_s = +V_{sat} \quad \Rightarrow \quad u = \frac{R_2 V_{sat}}{R_1 + R_2} \quad \Rightarrow \quad v_s = +V_{sat}$$

il s'agit par conséquent d'un état stable,

- lorsque  $v_e$  augmente,  $v_s$  reste à  $+V_{sat}$  jusqu'au moment où la tension sur l'entrée « - » devient supérieure à la tension sur l'entrée « + » :

$$v_e \geq \frac{R_2 V_{sat}}{R_1 + R_2} = u \quad \Rightarrow \quad v_s = -V_{sat} \quad \Rightarrow \quad u = \frac{-R_2 V_{sat}}{R_1 + R_2} < v_e \quad \Rightarrow \quad v_s = -V_{sat}$$

c'est également un état stable,

```

Trigger avec AOP ideal
*           e+  e-  s
.subckt AOP 1  2  3
  Ri  1  2  1G
  E   3  0  TABLE {v(1,2)}=(-20u,-20) (20u,20)
.ends AOP
Ve  1  0  pwl(0 -20 1 20 2 -20)
R1  2  5  1k
R2  2  0  1k
Xaop 2  1  5  AOP
.tran 2m 2  0  2m skipbp
.Probe
.END

```

Fig. 27 – Fichier-circuit pour la simulation du comparateur à hystérésis.

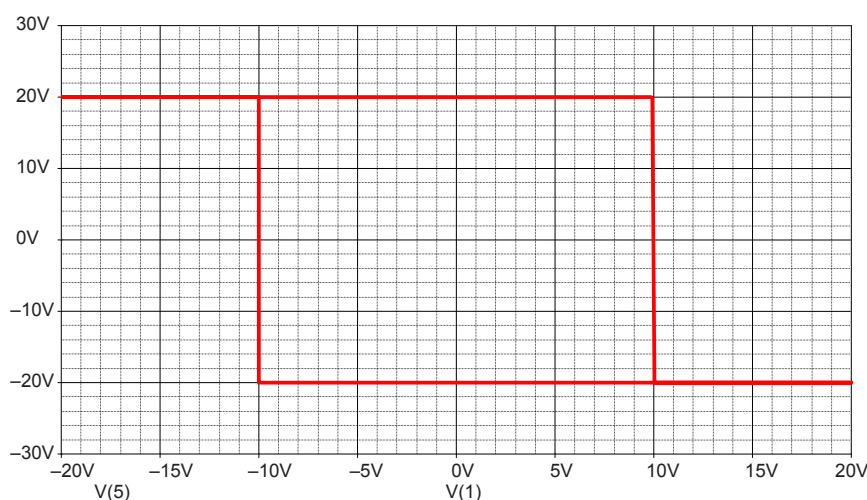


Fig. 28 – Caractéristique simulée du comparateur à hystérésis.

– lorsque  $v_e$  diminue,  $v_s$  reste à  $-V_{sat}$  jusqu'au moment où :

$$v_e \leq \frac{-R_2 V_{sat}}{R_1 + R_2} = u \Rightarrow v_s = +V_{sat} \Rightarrow u = \frac{R_2 V_{sat}}{R_1 + R_2} > v_e \Rightarrow v_s = +V_{sat}$$

on retrouve la situation de départ. La fonction de transfert  $v_s(v_e)$  présente alors un cycle d'hystérésis illustré par la figure 26.b, d'où le nom du dispositif.

Le fichier-circuit permettant la simulation du circuit est donné figure 27. Bien qu'il s'agisse de la détermination d'une fonction de transfert statique, l'utilisation d'une analyse .DC cause des problèmes de convergence lors du calcul du point de polarisation, c'est donc une analyse temporelle qui est utilisée à la place avec une tension triangulaire à l'entrée qui permet en outre d'obtenir avec une seule analyse les deux sens de parcours de la tension d'entrée. Noter que l'option SKIPBP est utilisée pour éviter le calcul du point de polarisation initial de la commande .TRAN. Le résultat de la simulation est représenté figure 28.

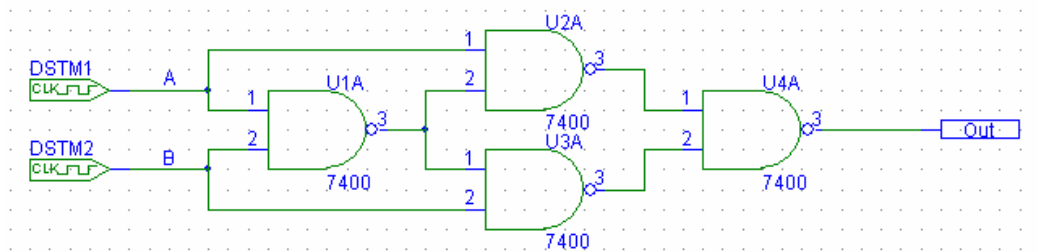


Fig. 29 – Circuit logique combinatoire.

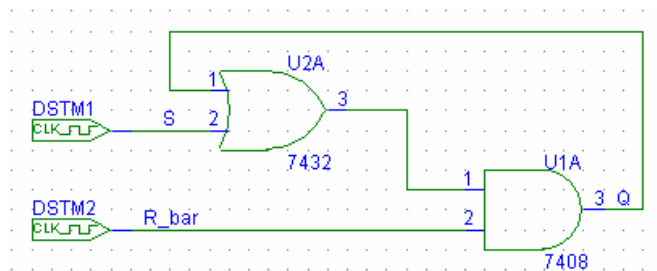


Fig. 30 – Circuit logique séquentiel.

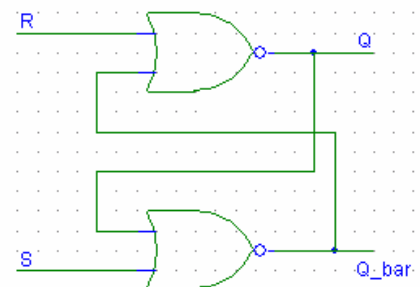


Fig. 31 – Bascule RS.

### 3 – Circuits numériques

#### 3.1 – Circuit logique combinatoire

La figure 29 représente un circuit de logique combinatoire. L'utilitaire *Schematics* de *PSpice* permet de saisir le schéma. Après simulation (voir § 6 page 27), *Probe* peut être utilisé pour déterminer la table de vérité du circuit. Comparer les résultats obtenus avec ceux de l'analyse manuelle. Quelle est la fonction logique réalisée par ce circuit ? Observer sur les signaux de sortie l'influence des temps de propagation dans les portes et localiser les zones où apparaissent des aléas de fonctionnement.

#### 3.2 – Circuit logique séquentiel

Le processus précédent peut être utilisé pour simuler le circuit de la figure 30. Déterminer la table de vérité du circuit à la main et comparer avec le résultat obtenu avec *Probe*. Montrer en particulier que le circuit possède une fonction de mémoire. Indication : donner à l'horloge connectée sur le port *R\_bar* une période quatre fois plus longue que celle de l'horloge connectée en *S*).

#### 3.3 – Bascule RS

Étudier le comportement de la bascule RS représentée sur la figure 31.

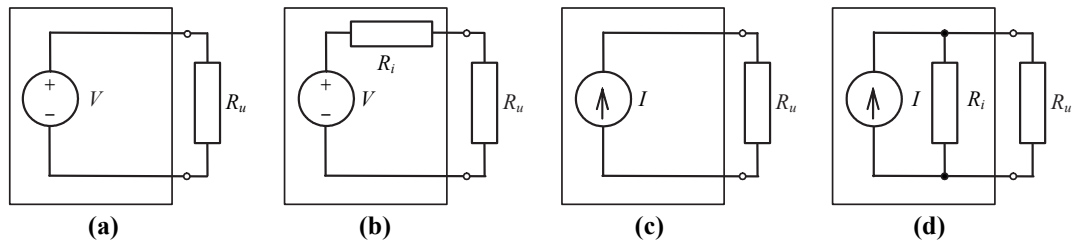


# Chapitre 3

## Sources et circuits

### 1 – Sources indépendantes

#### 1.1 – Sources idéales et sources réelles

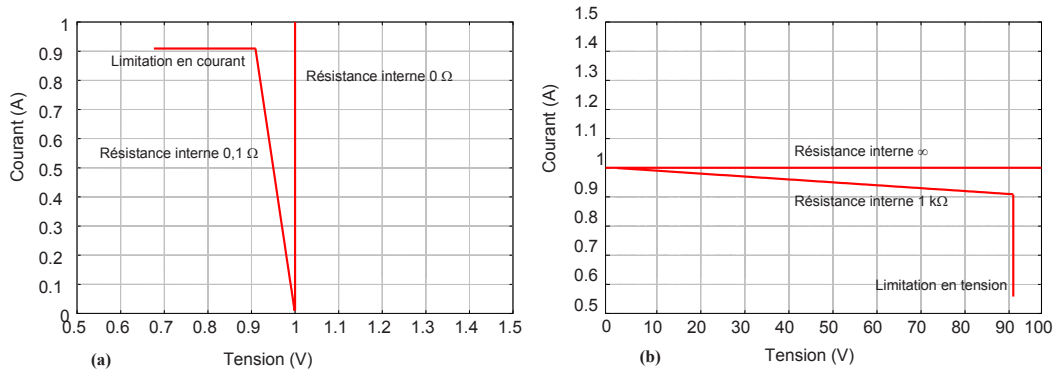


**Fig. 1** – Représentation des sources indépendantes : idéale de tension (a), imparfaite de tension (b), idéale de courant (c) et imparfaite de courant (d).

Une source idéale de tension (ou de courant) est un dispositif qui fournit une tension (ou un courant) dont la valeur et la forme sont indépendantes du circuit sur lequel cette source est branchée. Il s'agit bien sûr d'une abstraction qui ne peut être qu'imparfaitement réalisée puisqu'elle devrait être capable de fournir une puissance infinie (imaginer une source de tension idéale qui serait court-circuitée ou une source de courant idéale qui serait laissée en circuit ouvert). Dans la pratique, une source réelle comporte toujours une résistance interne dont la valeur peut affecter le comportement du montage si elle n'est pas suffisamment petite (ou suffisamment grande) devant l'impédance de charge sur laquelle elle est branchée. La figure 1 donne une représentation de ces différentes sources.

#### 1.2 – Sources continues

Une source continue fournit une tension (ou un courant) dont la valeur est indépendante du temps. La figure 2 montre les caractéristiques courant-tension  $I(V)$  d'une source de tension continue et d'une source de courant continu dans le cas où elles sont idéales et dans le cas où elles sont imparfaites. La résistance interne ne constitue pas la seule différence entre une source idéale et une source réelle, très souvent les alimentations de tension



**Fig. 2** – Caractéristiques courant-tension de sources de tension idéale et imparfaite (a) et de sources de courant idéale et imparfaite (b).

sont protégées contre les courts-circuits par un dispositif de sécurité qui limite le courant débité à une valeur fixée par construction et quelquefois réglable par l'utilisateur (voir figure 2.a). Les sources continues sont le plus souvent des sources de tension qui peuvent être autonomes (piles, batteries d'accumulateurs, piles à combustible) ou alimentées par le secteur (alimentations stabilisées à redresseurs ou à découpage). Les sources de courant continu sont beaucoup moins répandues et il est souvent nécessaire de les réaliser à partir des propriétés des transistors (à jonctions ou à effet de champ). Comme pour les sources de tension, un dispositif de sécurité limite la tension fournie par une source de courant à une valeur fixée par construction et quelquefois réglable par l'utilisateur (voir figure 2.b).

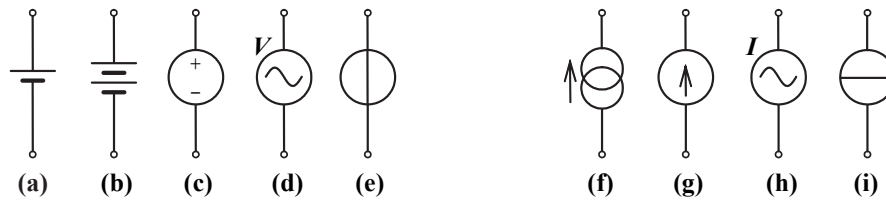
### 1.3 – Sources variables

Lorsqu'une source indépendante délivre une tension (ou un courant) dont la valeur dépend du temps on l'appelle plus couramment « générateur de signaux » ou « générateur de fonctions ». Comme pour les sources continues, les générateurs de signaux sont le plus souvent des générateurs de tension dont la forme peut être très variée bien qu'elle soit le plus souvent périodique (quelques exemples sont donnés au § 5.9 page 18). Selon les cas, la gamme des fréquences peut s'étendre de quelques mHz à plusieurs GHz, elle peut être fixe ou réglable. On appelle « oscillateur » une source délivrant un signal périodique de fréquence fixe et très stable et « synthétiseur » un générateur périodique dont la fréquence est réglable mais construite (on dit *synthétisée*) à partir de celle d'un pilote très stable. La gamme des amplitudes des signaux fournis par les sources variables s'étend généralement de quelques mV à quelques dizaines de V dans les cas les plus courants. Comme pour les sources continues, les sources variables sont non seulement caractérisées par la forme, l'amplitude et la fréquence du signal délivré mais aussi par leur impédance interne.

### 1.4 – Symboles

Il existe de nombreux symboles pour représenter les sources indépendantes, la figure 3 en donne quelques-uns, les symboles (a) et (b) sont réservés aux sources indépendantes de tension continue, (c) représente une source indépendante de tension qui peut être continue ou variable, (d) est une source de tension dynamique (caractérisée par sa fréquence) et (e)





**Fig. 3** – Symboles des sources indépendantes de tension (a-e) et de courant (f-i).

est le symbole recommandé par la norme pour la représentation des sources indépendantes de tension (continue ou variable). Les symboles (f) et (g) sont utilisés pour la représentation des sources de courant continu ou variable selon le contexte, (h) est une source de courant dynamique (caractérisée par sa fréquence) et (i) est recommandé par la norme pour la représentation des sources indépendantes de courant (continu ou variable). À cause de leur usage très répandu dans les ouvrages anglo-saxons et par les logiciels de saisie de schéma des programmes de simulation, les symboles (c) et (g) seront le plus souvent employés dans ce document.

## 2 – Sources commandées

### 2.1 – Sources linéaires et non linéaires

Comme leur nom l'indique, les sources de tension ou de courant commandées délivrent une grandeur qui dépend d'une ou de plusieurs autres grandeurs présentes dans le circuit. On appelle source commandée linéaire, une source dont le signal est proportionnel à une seule autre grandeur. On distingue alors :

- les sources de tension commandées en tension ou gains en tension,
- les sources de tension commandées en courant ou transrésistances,
- les sources de courant commandées en tension ou transconductances,
- les sources de courant commandées en courant ou gains en courant.

Les sources commandées non linéaires sont des sources dont le signal peut être une fonction quelconque d'une ou de plusieurs autres grandeurs présentes dans le circuit. Les sources de tension et de courant commandées non linéaires délivrent respectivement un signal du type :  $V = f(V_i, V_j \dots I_m, I_n \dots)$  et  $I = f(V_i, V_j \dots I_m, I_n \dots)$  où  $V_i, V_j \dots$  sont des tensions entre deux nœuds quelconques du circuit et  $I_m, I_n \dots$  sont des courants dans des branches quelconques du circuit. Des exemples de sources commandées linéaires et non linéaires ont déjà été donnés (voir par exemple § 1 page 37).

### 2.2 – Propriétés

Dans la plupart des cas, les sources commandées sont utilisées pour modéliser le comportement d'un composant ou d'un circuit et n'ont de ce fait pas d'existence physique car elles sous-entendent presque toujours une conversion ou un apport d'énergie extérieur qui n'apparaît pas explicitement dans le circuit. Reprenons par exemple le modèle d'AOP traité au § 2 page 43 rappelé sur la figure 4.

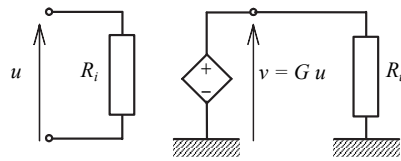


Fig. 4 – Modèle simplifié d'AOP.

Dans sa forme la plus simple, l'AOP est modélisé par une source linéaire de tension commandée en tension de gain  $G$ . La puissance d'entrée est déterminée par la tension  $u$  appliquée sur la résistance  $R_i$  :  $P_i = \frac{u^2}{R_i}$ , en sortie la puissance fournie est fixée par la tension  $v$  appliquée sur la résistance d'utilisation  $R_u$  :  $P_u = \frac{v^2}{R_u} = \frac{G^2 u^2}{R_u}$  de sorte que le gain en puissance vaut :  $G_p = \frac{P_u}{P_i} = \frac{G^2 R_i}{R_u}$ . La plupart du temps on a  $G \gg 1$  et  $\frac{R_i}{R_u} \gg 1$  de sorte que le gain en puissance est très supérieur à l'unité et nécessite par conséquent un apport d'énergie extérieur. Dans la réalisation effective, l'énergie nécessaire est apportée à l'AOP par les sources d'alimentation continues.

La notion de source commandée peut parfois être utilisée pour modéliser le comportement des composants les plus simples, par exemple une résistance pourrait être modélisée par une source linéaire de courant commandée par la tension à ses bornes ou, de façon équivalente, par une source linéaire de tension commandée par le courant qui la traverse.

### 2.3 – Symboles

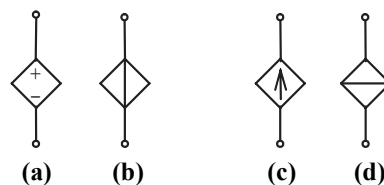


Fig. 5 – Symboles des sources commandées de tension (a, b) et de courant (c, d).

Comme pour les sources indépendantes, il existe de nombreux symboles pour représenter les sources commandées, les plus couramment utilisés sont représentés sur la figure 5. Certains auteurs ne font pas de distinction entre les symboles des sources indépendantes et commandées et utilisent par exemple les symboles de la figure 3 en précisant simplement la loi de commande.

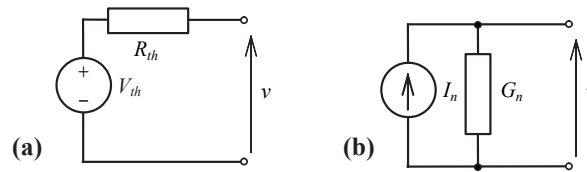


Fig. 6 – Générateurs de Thévenin (a) et de Norton (b).

### 3 – Générateurs de Thévenin et de Norton

#### 3.1 – Théorème de Thévenin

Tout circuit (ou partie de circuit) linéaire peut être remplacé par un générateur de tension et une impédance interne équivalents. La force électromotrice du générateur équivalent est la tension mesurée aux bornes du circuit isolé et l'impédance interne est l'impédance mesurée aux bornes du circuit isolé lorsque toutes les sources de tension et de courant indépendantes ont été éteintes (seulement les sources indépendantes, pas les sources commandées). Par « éteindre » une source indépendante il faut entendre qu'une source de tension est remplacée par un court-circuit et qu'une source de courant est remplacée par un circuit ouvert. Le générateur équivalent de Thévenin se comporte alors comme une source indépendante de tension  $V_{th}$  présentant une impédance interne  $R_{th}$  comme le représente la figure 6.a.

Noter que l'application du Théorème de Thévenin au schéma équivalent obtenu est cohérente avec la définition initiale : la tension mesurée aux bornes du circuit isolé est bien égale à  $V_{th}$  et l'impédance mesurée aux bornes du circuit lorsque les sources indépendantes ont été éteintes (ici  $V_{th}$ ) est bien égale à  $R_{th}$ . L'application du théorème de Thévenin n'est pas limitée aux circuits comportant uniquement des résistances, elle concerne tout circuit comportant des impédances linéaires (résistances, inductances, capacités). Dans le cas le plus général, la f. e. m. du générateur de Thévenin et son impédance interne sont des quantités complexes.

#### 3.2 – Générateur de Norton

Tout générateur de tension présentant une impédance interne en série est équivalent à un générateur de courant présentant une conductance interne en parallèle de sorte que tout générateur de Thévenin ( $V_{th}$ ,  $R_{th}$ ) est équivalent à un générateur de Norton ( $I_n$ ,  $G_n$ ) (Fig. 6.b). Les deux dipôles étant équivalents, la tension mesurée à vide en sortie doit être la même :  $V_{th} = \frac{I_n}{G_n}$ , de même le courant fourni par la source lorsque la sortie est en court-

circuit doit être le même :  $I_n = \frac{V_{th}}{R_{th}}$ . De ces deux relations on déduit les caractéristiques

du générateur de Norton équivalent :  $I_n = \frac{V_{th}}{R_{th}}$  et  $G_n = \frac{1}{R_{th}}$ .

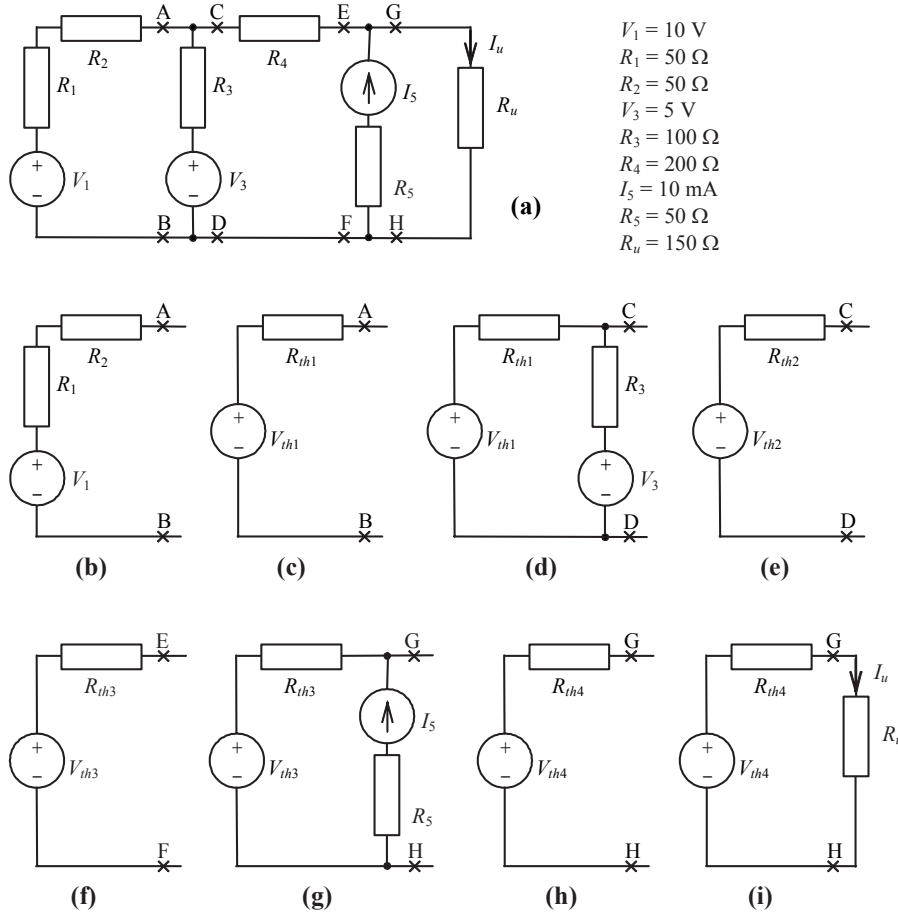


Fig. 7 – Transformations successives par application du théorème de Thévenin.

### 3.3 – Exemple

Pour déterminer le courant dans la résistance  $R_u$  de la figure 7.a on procède par étapes successives :

- Le circuit est coupé en A et B et la partie gauche est isolée (Fig. 7.b), son générateur équivalent de Thévenin ( $V_{th1}$ ,  $R_{th1}$ ) est immédiat (Fig. 7.c) : 
$$\begin{cases} V_{th1} = V_1, \\ R_{th1} = R_1 + R_2. \end{cases}$$
- La partie isolée précédemment est remplacée par son générateur de Thévenin dans le circuit initial qui est alors coupé en C et D et la partie gauche isolée (Fig. 7.d). La f. e. m.  $V_{th2}$  du générateur de Thévenin équivalent est égale à la tension mesurée aux bornes C et D du circuit isolé et la résistance équivalente  $R_{th2}$  est égale à la résistance mesurée entre C et D quand  $V_{th1}$  et  $V_3$  sont éteintes (Fig. 7.e) : 
$$\begin{cases} V_{th2} = \frac{R_3 V_{th1} + R_{th1} V_3}{R_{th1} + R_3}, \\ R_{th2} = R_{th1} // R_3 = \frac{R_{th1} R_3}{R_{th1} + R_3}. \end{cases}$$
- On ajoute  $R_4$  et on coupe le circuit en E et F, le circuit obtenu est analogue à celui de la figure 7.b et le générateur de Thévenin ( $V_{th3}$ ,  $R_{th3}$ ) est immédiat (Fig. 7.f) : 
$$\begin{cases} V_{th3} = V_{th2}, \\ R_{th3} = R_{th2} + R_4. \end{cases}$$

- Au schéma équivalent obtenu on ajoute la branche  $(I_5, R_5)$  et on coupe le circuit en G et H (Fig. 7.g). La f. e. m.  $V_{th4}$  du générateur de Thévenin équivalent est égale à la tension mesurée aux bornes G et H du circuit isolé et la résistance équivalente  $R_{th4}$  est égale à la résistance mesurée entre G et H quand  $V_{th3}$  et  $I_5$  sont éteintes :
 
$$\begin{cases} V_{th4} = V_{th3} + R_{th3}I_5, \\ R_{th4} = R_{th3}. \end{cases}$$
- On peut maintenant terminer le calcul du courant en ajoutant la résistance  $R_u$  au schéma équivalent obtenu (Fig. 7.i) :  $I_u = \frac{V_{th4}}{R_{th4} + R_u}$ .

Avec les valeurs numériques de la figure 7 on trouve  $I_u = 25$  mA. À titre d'exercice on pourra vérifier cette valeur par une simulation avec *PSpice*.

## 4 – Circuits quadripolaires linéaires

### 4.1 – Définition

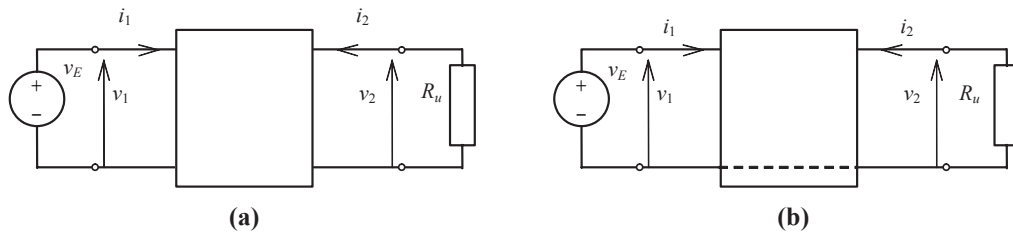


Fig. 8 – Circuit quadripolaire (a) ou tripolaire (b).

De nombreuses fonctions électroniques peuvent être représentées sous forme d'un dispositif à quatre bornes (quadripôle), deux des bornes constituent l'entrée du quadripôle et la sortie est prélevée sur les deux autres bornes. Les filtres et les amplificateurs sont des exemples de telles fonctions. La figure 8.a représente un amplificateur, la grandeur à amplifier, ici une tension, est appliquée sur l'entrée et la sortie est connectée sur le circuit d'utilisation, ici une résistance. Dans le cas présent la source d'entrée est supposée idéale mais si elle avait une impédance interne non négligeable il faudrait la placer en série avec  $v_E$ . Le plus fréquemment, les tensions d'entrée et de sortie sont référencées à une borne commune, pour cette raison le circuit est quelquefois appelé « tripôle » (Fig. 8.b).

### 4.2 – Paramètres quadripolaires

Il existe plusieurs façon de caractériser un quadripôle sans entrer dans le détail de sa constitution électronique. La représentation en « paramètres » a la particularité de décrire le comportement du circuit indépendamment des conditions d'utilisation c'est-à-dire sans connaître *a priori* les caractéristiques de la source ou de la charge. Pour cela, le fonctionnement du quadripôle est décrit par deux relations liant les variables d'entrée et de sortie qui sont au nombre de quatre :

- tensions d'entrée et de sortie  $(v_1, v_2)$ ,
- courants d'entrée et de sortie  $(i_1, i_2)$ .

Le quadripôle est dit linéaire lorsque les relations en question sont elles-mêmes linéaires. Selon le choix des deux variables indépendantes on distingue plusieurs types de représentation :

#### Impédances (courants indépendants)

$$\begin{cases} v_1 = z_{11} \cdot i_1 + z_{12} \cdot i_2 \\ v_2 = z_{21} \cdot i_1 + z_{22} \cdot i_2 \end{cases} \text{ ou : } \begin{bmatrix} v_1 \\ v_2 \end{bmatrix} = \begin{bmatrix} z_{11} & z_{12} \\ z_{21} & z_{22} \end{bmatrix} \cdot \begin{bmatrix} i_1 \\ i_2 \end{bmatrix} \text{ ou : } v = [\mathbf{z}] \cdot i.$$

#### Admittances (tensions indépendantes)

$$\begin{cases} i_1 = y_{11} \cdot v_1 + y_{12} \cdot v_2 \\ i_2 = y_{21} \cdot v_1 + y_{22} \cdot v_2 \end{cases} \text{ ou : } \begin{bmatrix} i_1 \\ i_2 \end{bmatrix} = \begin{bmatrix} y_{11} & y_{12} \\ y_{21} & y_{22} \end{bmatrix} \cdot \begin{bmatrix} v_1 \\ v_2 \end{bmatrix} \text{ ou : } i = [\mathbf{y}] \cdot v.$$

#### Hybrides

C'est une représentation fréquemment utilisée pour décrire le comportement en petits signaux des transistors bipolaires :

$$\begin{cases} v_1 = h_{11} \cdot i_1 + h_{12} \cdot v_2 \\ i_2 = h_{21} \cdot i_1 + h_{22} \cdot v_2 \end{cases} \text{ ou : } \begin{bmatrix} v_1 \\ i_2 \end{bmatrix} = \begin{bmatrix} h_{11} & h_{12} \\ h_{21} & h_{22} \end{bmatrix} \cdot \begin{bmatrix} i_1 \\ v_2 \end{bmatrix} \text{ ou : } \begin{bmatrix} v_1 \\ i_2 \end{bmatrix} = [\mathbf{h}] \cdot \begin{bmatrix} i_1 \\ v_2 \end{bmatrix}.$$

#### Chaîne

Cette représentation est généralement destinée à l'analyse des systèmes car elle facilite le calcul des matrices de quadripôles associés en série.

$$\begin{cases} v_1 = A \cdot v_2 + B \cdot (-i_2) \\ i_1 = C \cdot v_2 + D \cdot (-i_2) \end{cases} \text{ ou : } \begin{bmatrix} v_1 \\ i_1 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \cdot \begin{bmatrix} v_2 \\ -i_2 \end{bmatrix} \text{ ou : } \begin{bmatrix} v_1 \\ i_1 \end{bmatrix} = [\mathbf{a}] \cdot \begin{bmatrix} v_2 \\ -i_2 \end{bmatrix}.$$

Les signes « moins » viennent de la convention adoptée pour le sens des courants dans les quadripôles (Fig 8).

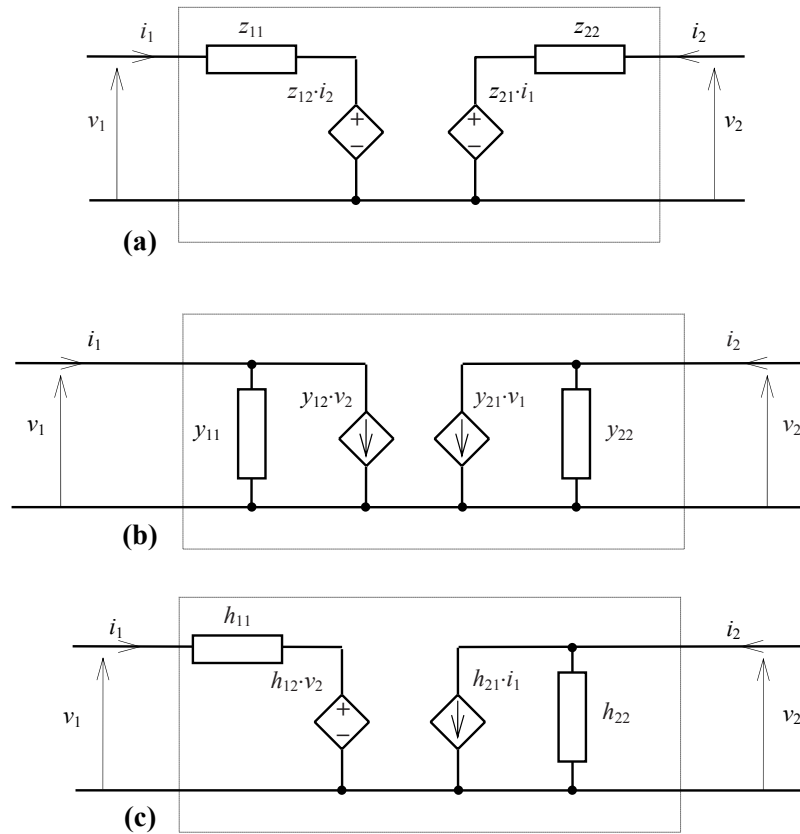
### 4.3 – Schémas équivalents

Chacune des relations précédentes peut être représentée par un schéma électrique équivalent constitué de composants passifs et/ou de sources commandées, ces éléments n'ont pas d'existence physique, il s'agit seulement d'une représentation commode destinée à faciliter la compréhension ou le calcul du circuit qui peut en réalité être très compliqué.

Pour construire le schéma équivalent du quadripôle en paramètres impédances par exemple, observons que la première relation exprime la tension d'entrée sous forme d'une somme de deux termes qui seront donc représentés par deux éléments en série : le premier,  $z_{11} \cdot i_1$ , exprime la tension aux bornes d'une résistance  $z_{11}$  parcourue par le courant  $i_1$  ; le second,  $z_{12} \cdot i_2$ , exprime la façon dont les variations du courant de sortie se répercutent à l'entrée, il n'existe pas de composant passif susceptible de représenter ce comportement, on utilise alors une *source de tension commandée en courant* de f. e. m.  $z_{12} \cdot i_2$ .

La seconde relation a la même forme, la tension de sortie est la somme de deux termes en série : le second terme représente la tension aux bornes d'une résistance  $z_{22}$  parcourue par le courant  $i_2$  tandis que le premier terme  $z_{21} \cdot i_1$  exprime la façon dont les variations du courant d'entrée sont répercutées à la sortie, ici encore seule une source de tension commandée en courant peut représenter ce comportement. Le schéma équivalent en paramètres impédances est représenté Fig. 9.a.

Dans le cas du quadripôle en paramètres admittances, la première relation exprime le courant d'entrée sous forme d'une somme de deux termes qui seront donc deux branches en parallèle : le premier terme représente le courant circulant dans une admittance  $y_{11}$  (ou



**Fig. 9** – Schémas équivalents quadripolaire en paramètres impédances (a), admittances (b) et hybrides (c).

une impédance  $1/y_{11}$ ) soumise à la tension  $v_1$ . Le second terme  $y_{12} \cdot v_2$ , exprime la façon dont les variations du courant de sortie sont répercutées à l'entrée, ici encore seule une *source de courant commandée en tension* peut représenter ce comportement. De même, la seconde relation exprime le courant de sortie sous forme d'une somme de deux termes qui seront donc également deux branches en parallèle : le second terme représente le courant circulant dans une admittance  $y_{22}$  (ou une impédance  $1/y_{22}$ ) soumise à la tension  $v_2$  et le premier terme  $y_{21} \cdot v_1$  exprime la façon dont les variations du courant d'entrée sont répercutées à la sortie, ici encore seule une source de courant commandée en tension peut représenter ce comportement. Le schéma équivalent en paramètres admittances est représenté Fig. 9.b.

La représentation en paramètres hybrides illustrée par la figure 9.c se construit de manière analogue aux deux précédentes.

À partir des combinaisons des variables  $(v_1, v_2)$  et  $(i_1, i_2)$  on peut définir 2 autres types de paramètres (paramètres hybrides  $g$  et paramètres chaînes inverses) qui sont d'usage moins fréquent en électronique et qui ne seront pas développés ici.

Au lieu d'utiliser les variables tensions et courants il est possible d'utiliser d'autres grandeurs électriques telles que les puissances d'entrée et de sortie incidentes et réfléchies. On peut alors établir entre ces variables le même type de relations linéaires qu'entre tensions

et courants. Les paramètres de dispersion (paramètres  $s$ ) permettent d'exprimer la puissance réfléchiée à l'entrée et à la sortie d'un quadripôle en fonction des puissances incidentes à l'entrée et à la sortie du quadripôle. Ces paramètres très utilisés en électronique haute fréquence (RF, micro-ondes) ne seront pas abordés dans ce document.

Dans la plupart des cas, les paramètres du quadripôle dépendent de la fréquence à laquelle il fonctionne et comme très souvent les circuits constitutifs de ce quadripôle comportent des éléments réactifs (inductances ou capacités) les paramètres sont des quantités complexes qui peuvent s'exprimer sous forme (*partie réelle, partie imaginaire*) ou sous forme (*module, argument*).

#### 4.4 – Caractérisation d'un quadripôle

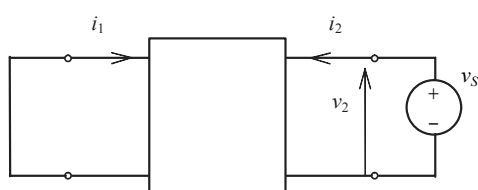


Fig. 10 – Détermination de l'impédance de sortie d'un quadripôle.

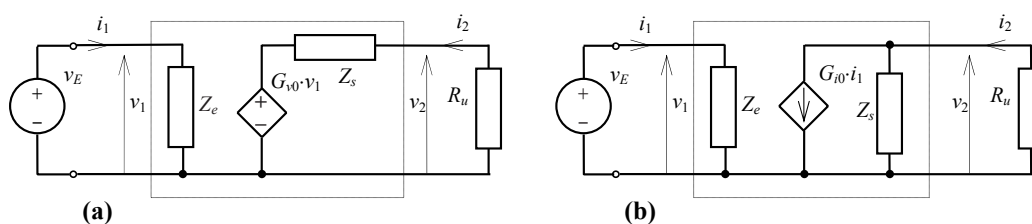


Fig. 11 – Schéma équivalent d'un quadripôle exprimé à partir des impédances et du gain à vide en tension (a) ou en courant (b).

Du point de vue de l'utilisateur, le comportement du circuit dépend non seulement des paramètres du quadripôle mais également de la façon dont il est utilisé c'est-à-dire de la nature et de l'impédance de la source et de la charge. Il y a typiquement quatre grandeurs caractéristiques pour un quadripôle (voir Fig. 8) :

- le gain en tension :  $G_v = \frac{v_2}{v_1}$ ,
- le gain en courant :  $G_i = \frac{i_2}{i_1}$ ,
- l'impédance d'entrée :  $Z_e = \frac{v_1}{i_1}$ ,
- l'impédance de sortie :  $Z_s = \left[ \frac{v_2}{i_2} \right]_{\text{Thévenin}}$ .

Les gains et les impédances dépendent en général de la fréquence et sont donc le plus souvent, comme les paramètres, des quantités complexes. Les gains et l'impédance d'entrée dépendent en outre de la résistance d'utilisation. Par contre, l'impédance de sortie est à comprendre comme l'impédance du générateur de Thévenin équivalent au quadripôle :



pour la déterminer on doit isoler le quadripôle vu de la sortie ce qui revient à remplacer la résistance d'utilisation  $R_u$  par un générateur idéal  $v_S$  et à déterminer le rapport de la tension  $v_2$  et du courant  $i_2$  lorsque toutes les sources indépendantes de tension et de courant ont été éteintes en particulier la source d'entrée  $v_E$  (Fig. 10).

La valeur maximale du gain en tension est obtenue lorsque le quadripôle n'est pas chargé ( $R_u = \infty$ ), on dit aussi gain en tension à vide ou en circuit ouvert :  $G_{v0} = G_v(R_u = \infty)$ . De même la valeur maximale du gain en courant est obtenue lorsque la sortie du quadripôle est en court-circuit ( $R_u = 0$ ) :  $G_{i0} = G_i(R_u = 0)$ .  $G_{v0}$  et  $G_{i0}$  permettent en particulier de construire le schéma équivalent du quadripôle, en effet, tout quadripôle linéaire est équivalent à l'un des deux schémas représentés sur la figure 11.

Remarquer que le second schéma (Fig. 11.b) se déduit du premier par une transformation Thévenin–Norton du générateur équivalent de sortie.

## 5 – Fonction de transfert

### 5.1 – Rappel sur les unités

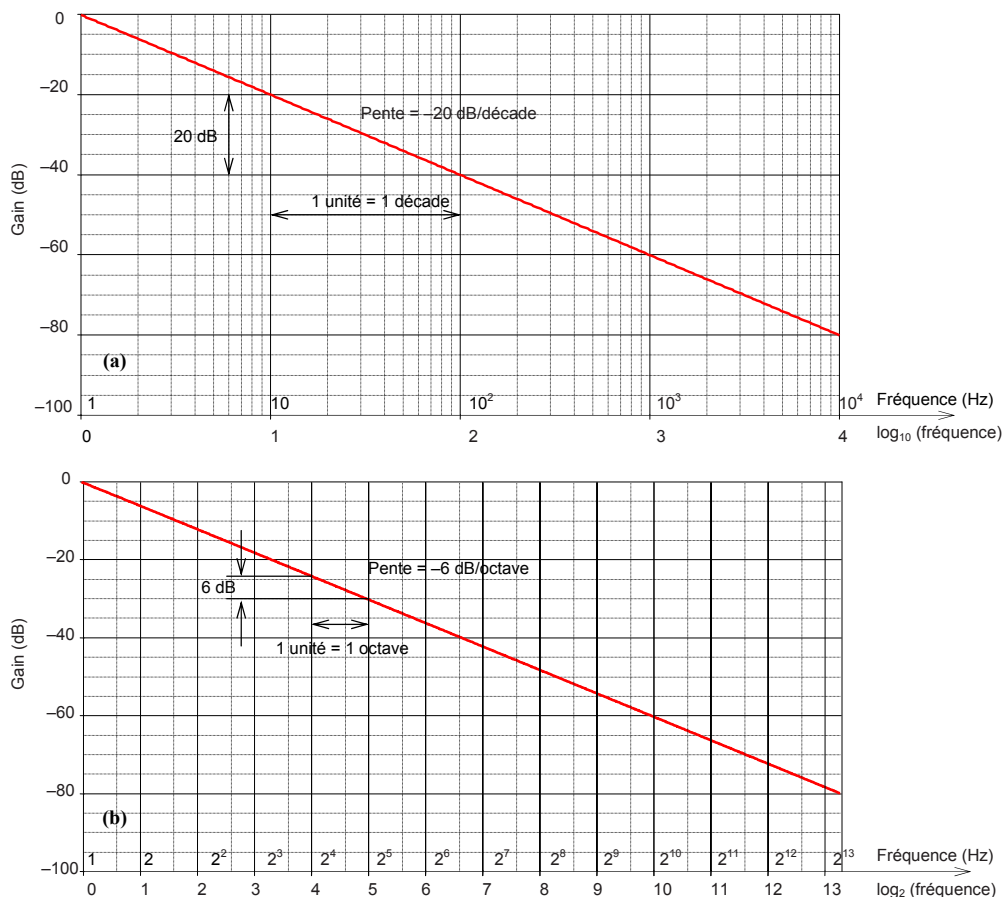


Fig. 12 – Échelle logarithmique par décades (a) et par octaves (b).

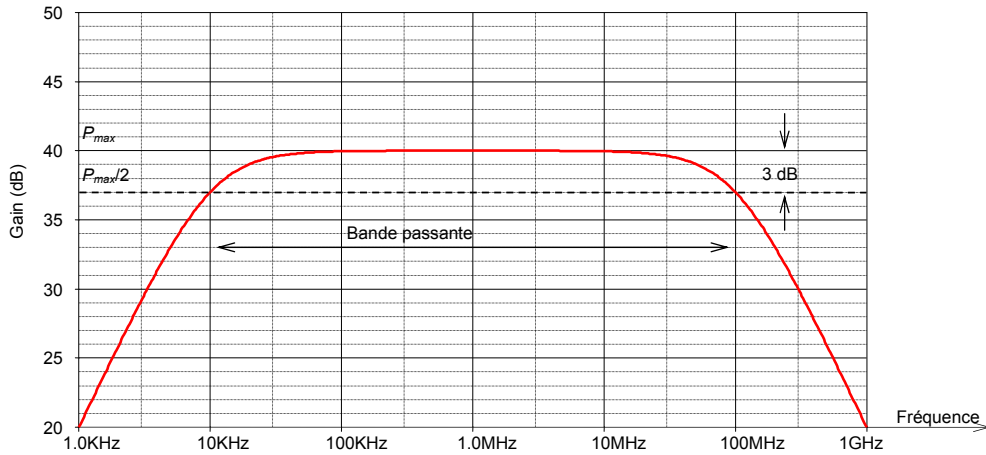


Fig. 13 – Bande passante à  $-3$  dB.

Avant d'aborder les fonctions de transfert, rappelons d'abord quelques définitions utiles à propos de la représentation en décibels. La représentation linéaire est mal adaptée pour représenter des grandeurs variant dans de grandes proportions, souvent sur plusieurs ordres de grandeurs. Une représentation en échelle logarithmique est plus appropriée et, pour que l'argument du logarithme soit sans dimension, les grandeurs en question sont divisées par une grandeur de référence de même dimension. Le « bel » a ainsi été défini pour exprimer le rapport de deux puissances en échelle logarithmique. Par exemple une puissance  $P$  exprimée en bels s'écrit :  $[P]_B = \log \frac{P}{P_0}$ ,

où  $P_0$  est la puissance de référence qui peut être choisie arbitrairement ou normalisée dans certains cas. Mais le bel est une unité trop grande et, pour éviter l'utilisation de nombres décimaux, on lui préfère son premier sous-multiple le « décibel » (dB). Une puissance  $P$  exprimée en dB est donc égale à :  $[P]_{dB} = 10 \log \frac{P}{P_0}$ .

Noter bien que le bel ou le décibel concerne l'expression des *puissances*, ils peuvent toutefois être utilisés pour exprimer d'autres grandeurs comme les courants ou les tensions, en effet si les puissances  $P$  et  $P_0$  sont dissipées dans une même résistance  $R$  elles peuvent s'écrire :

$$P = \frac{V^2}{R} = R \cdot I^2 \quad \text{et} \quad P_0 = \frac{V_0^2}{R} = R \cdot I_0^2, \text{ donc :}$$

$$[P]_{dB} = 10 \log \frac{V^2}{V_0^2} = 20 \log \frac{V}{V_0} \quad \text{ou encore} \quad [P]_{dB} = 10 \log \frac{I^2}{I_0^2} = 20 \log \frac{I}{I_0}.$$

Par extension on dira que la tension  $V$  ou le courant  $I$  sont exprimés en dB. Dans certains cas la puissance de référence  $P_0$  est choisie par convention. La puissance  $P$  peut alors être déterminée en valeur absolue. Par exemple en électronique on réfère souvent les puissances à la valeur normalisée  $P_0 = 1$  mW, pour préciser cette convention on dit que la puissance  $P$  est exprimée en dBm :  $[P]_{dBm} = 10 \log \frac{P}{P_0 = 1 \text{ mW}}$ .

Une puissance 20 dBm correspond donc à une puissance  $P = 100$  mW. Le dB n'est pas seulement utilisé pour exprimer les puissances électriques. Par exemple chacun sait que les puissances acoustiques sont également exprimées en décibels, la puissance de référence

est dans ce cas normalisée à  $P_0 = 10^{-12} \text{ W/m}^2$ , qui est le seuil d'audibilité de l'oreille humaine à 1 kHz. Le seuil de douleur est d'environ 120 dB soit  $1 \text{ W/m}^2$ . On peut apprécier ici l'extraordinaire étendue (on dit aussi la « dynamique ») de la sensibilité de l'oreille humaine puisqu'elle couvre environ 12 ordres de grandeur.

Comme on l'a vu au § 4.4 page 64, les grandeurs caractéristiques d'un quadripôle dépendent en général de la fréquence et sont le plus souvent des quantités complexes (sauf peut-être à très basse fréquence où les composants réactifs du circuit ont encore peu d'influence). On appelle *fonction de transfert* du quadripôle le gain en tension exprimé en fonction de la fréquence. Cette fonction complexe est généralement représentée sous forme (*module, argument*) le module est exprimé en décibels (dB) en fonction de la fréquence également exprimée en échelle logarithmique (plan de Bode) et l'argument est le plus souvent exprimé en degrés. L'axe logarithmique des fréquences peut être gradué soit en décades (logarithme décimal), l'échelle augmente d'une unité lorsque la fréquence est multipliée par 10 (Fig. 12.a) soit en octaves (logarithme à base 2), l'échelle augmente alors d'une unité lorsque la fréquence est multipliée par 2 (Fig. 12.b).

En général on se contente de représenter approximativement la fonction de transfert sous forme d'une succession de segments de droite caractérisés par les coordonnées des extrémités et par la pente exprimée en dB par décade ou en dB par octave. La figure 12 montre qu'une pente de  $-20 \text{ dB/décade}$  équivaut à une pente de  $-6 \text{ dB/octave}$ . Par ailleurs, la bande passante des filtres est définie par l'intervalle de fréquence où la puissance du signal est supérieure à la moitié de sa valeur maximale c'est-à-dire par l'ensemble des fréquences telles que  $\frac{P}{P_{max}} > \frac{1}{2}$ , ou encore dans le plan de Bode (Fig. 13) :

$$10 \log \frac{P}{P_{max}} > 10 \log \frac{1}{2} = -3,01 \text{ dB} \approx -3 \text{ dB}.$$

Si la fonction de transfert concerne des tensions ou des courants, la bande passante est déterminée par l'ensemble des fréquences telles que  $\frac{V}{V_{max}} > \frac{1}{\sqrt{2}}$ , ou ce qui revient au même :  $20 \log \frac{V}{V_{max}} > 20 \log \frac{1}{\sqrt{2}} \approx -3 \text{ dB}$ .

Un exemple de fonction de transfert a été donné au § 2 page 43.

## 5.2 – Filtre passe-bas du premier ordre

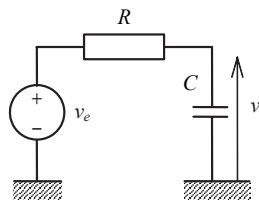


Fig. 14 – Filtre RC du premier ordre.

À titre d'illustration, prenons l'exemple du filtre RC représenté sur la figure 14.

### – Fonction de transfert

La fonction de transfert<sup>1</sup> complexe s'écrit :  $H(j\omega) = \frac{v_s}{v_e} = \frac{1}{1 + RY_C} = \frac{1}{1 + jRC\omega}$ ,

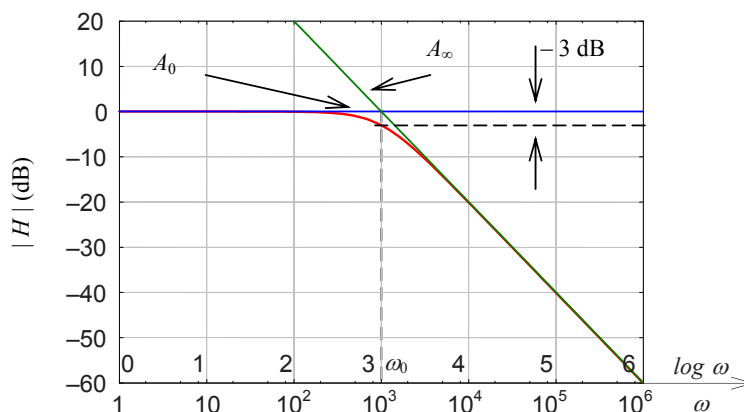
où  $Y_C$  représente l'admittance du condensateur :  $Y_C = jC\omega$ . Pour faciliter l'étude de cette fonction on utilise la variable réduite (sans dimension)  $x = RC\omega$ , la fonction de transfert s'écrit alors :  $H(jx) = \frac{1}{1 + jx}$ .

Cette expression est caractéristique d'un filtre du premier ordre qui n'admet qu'un seul pôle c'est-à-dire que le dénominateur n'admet qu'une seule racine. Le module, appelé également « atténuation » ou « gain » (bien qu'il soit inférieur à l'unité), et l'argument, appelé également « déphasage », de la fonction de transfert s'écrivent :

$$\begin{cases} |H(jx)| = \frac{1}{\sqrt{1+x^2}}, \\ \angle H(jx) = -\arctan x. \end{cases}$$

Le gain exprimé en dB devient :  $|H|_{dB} = 20 \log \left( \frac{1}{\sqrt{1+x^2}} \right) = -10 \log (1+x^2)$ .

### – Comportement asymptotique du gain



**Fig. 15** – Fonction de transfert et comportement asymptotique d'un filtre du premier ordre.

Le comportement asymptotique du gain est caractérisé par deux demi-droites :

$$|H|_{dB} \underset{\omega \rightarrow 0}{\approx} A_0 = 10 \log(1) = 0 \text{ dB} \quad \text{et} \quad |H|_{dB} \underset{\omega \rightarrow \infty}{\approx} A_\infty = -20 \log x.$$

L'asymptote  $A_0$  exprime le comportement basse fréquence et  $A_\infty$  le comportement haute fréquence. Dans le plan de Bode ( $|H|_{dB}$ ,  $\log x$ ) l'asymptote  $A_\infty$  est une droite de pente  $-20$  dB/décade caractéristique d'un filtre du 1<sup>er</sup> ordre (Fig. 15).

<sup>1</sup>Dans ce paragraphe comme dans d'autres chapitres le terme « fréquence » désigne indifféremment la fréquence  $f$ , la pulsation  $\omega = 2\pi f$  ou la fréquence réduite  $x = RC\omega$ .

### – Propriétés

Les deux asymptotes se coupent à l'abscisse  $x_0$  telle que  $A_\infty(x_0) = A_0$ , c'est-à-dire  $20 \log x_0 = 0$  d'où  $x_0 = 1$ , en revenant à la définition de  $x$  on a  $x_0 = RC\omega_0 = 1$  soit  $\omega_0 = \frac{1}{RC}$ . Cette valeur particulière appelée « fréquence de coupure » du filtre est également une propriété caractéristique des filtres du 1<sup>er</sup> ordre.

La valeur exacte du gain à la fréquence de coupure vaut :

$$|H(x_0)|_{dB} = -10 \log(1 + x_0^2) = -10 \log(2) \approx -3 \text{ dB},$$

par conséquent  $x_0$  (ou  $\omega_0$ ) est également la bande passante du filtre (cf. § 5.1 page 65).

La fonction de transfert peut s'écrire  $H(j\omega) = \frac{1}{1 + jRC\omega} = \frac{1}{1 + j\omega/\omega_0}$ ,

$$\text{et le gain : } |H(j\omega)| = \frac{1}{\sqrt{1 + \omega^2/\omega_0^2}} \underset{\omega \rightarrow \infty}{\approx} \frac{\omega_0}{\omega},$$

on en déduit que  $|H(j\omega)| \times \omega = \omega_0$  et donc que le produit du gain par la fréquence est constant. Cette propriété spécifique des filtres du 1<sup>er</sup> ordre est à l'origine de la propriété des amplificateurs opérationnels compensés en fréquence qui se comportent également comme des filtres du 1<sup>er</sup> ordre.

### – Comportement asymptotique du déphasage

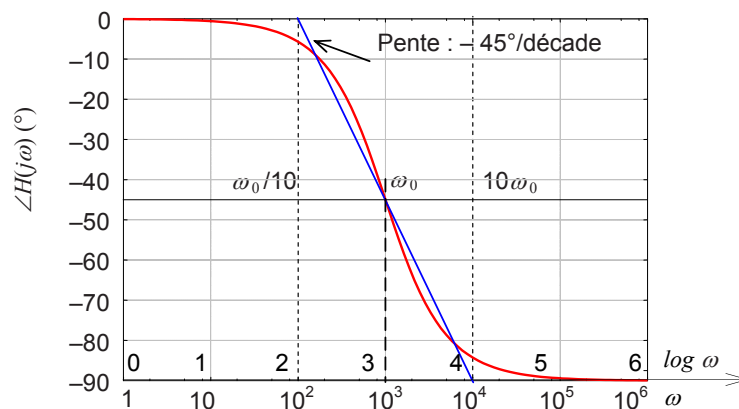


Fig. 16 – Déphasage et comportement asymptotique d'un filtre du premier ordre.

La figure 16 montre le déphasage d'un filtre du 1<sup>er</sup> ordre où l'on remarque que le déphasage à la fréquence de coupure est de  $-\arctan x_0 = -\arctan(1) = -45^\circ$ . La courbe est souvent représentée asymptotiquement par trois segments de droite :

- déphasage nul de 0 à  $\omega_0/10$ ,
- droite de pente  $-45^\circ/\text{décade}$  de  $\omega_0/10$  à  $10\omega_0$ ,
- déphasage de  $-90^\circ$  à partir de  $10\omega_0$ .

La pente de la courbe en  $\omega_0$  est de  $-1 \text{ rad/décade}$  ( $-57,3^\circ/\text{décade}$ ).

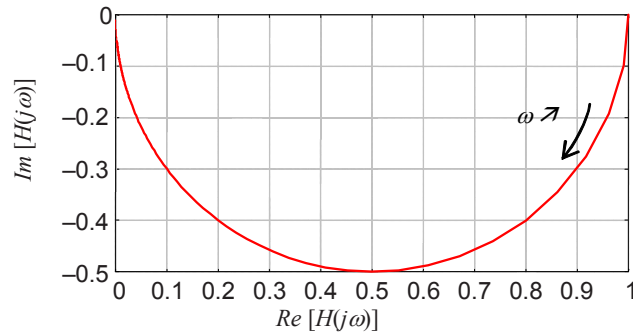


Fig. 17 – Fonction de transfert d'un filtre du premier ordre dans le plan de Nyquist.

### – Diagramme de Nyquist

Dans le plan de Nyquist, la fonction de transfert est représentée sous la forme partie imaginaire  $\text{Im}[H(j\omega)]$  en fonction de la partie réelle  $\text{Re}[H(j\omega)]$ . Dans ce plan, la courbe représentative est un demi-cercle. Aux basses fréquences la courbe démarre au voisinage du point d'affixe  $(1, 0)$  et lorsque la fréquence augmente, la courbe se rapproche de l'origine (Fig. 17). Cette courbe ne peut en aucun cas enlancer le point d'affixe  $(-1, 0)$  et le système est par conséquent inconditionnellement stable (voir cours d'automatique).

## 6 – Filtrage actif

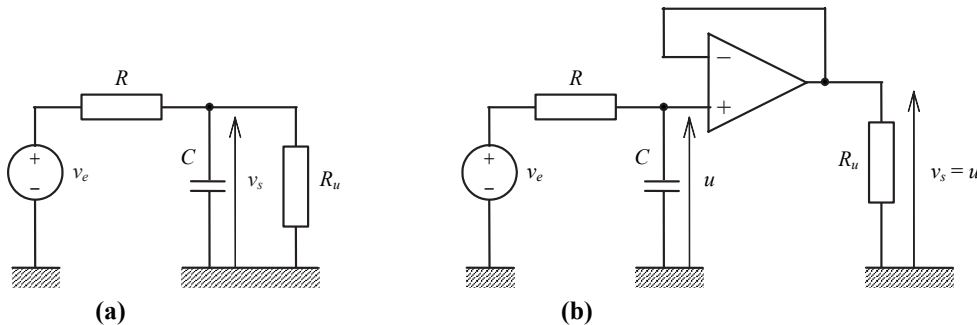


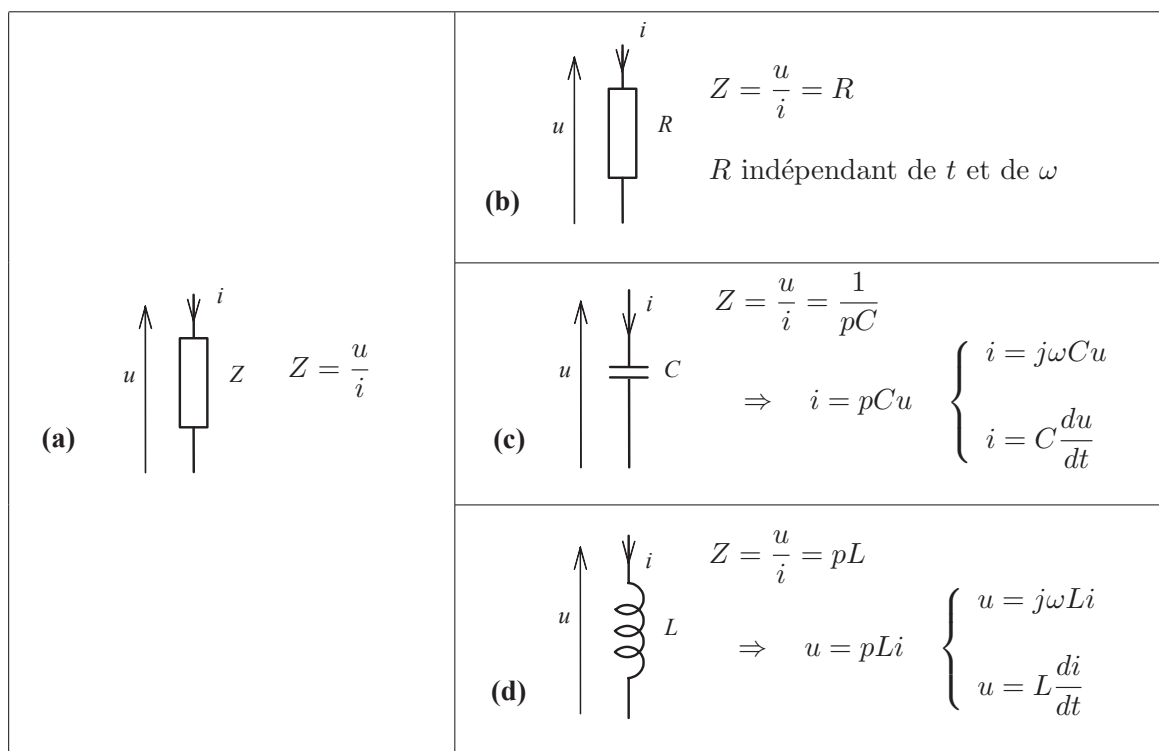
Fig. 18 – Filtre du premier ordre passif (a) et actif (b).

On appelle filtre passif une structure de filtre ne comportant que des composants passifs (résistances, condensateurs, inductances) et filtre actif les dispositifs comportant en plus des composants actifs (transistors, amplificateurs opérationnels...). Outre leur fonction d'amplification, les amplificateurs opérationnels (AOP) sont très souvent utilisés comme dispositif de séparation entre la structure de filtre et la charge que constitue l'impédance d'utilisation (on les appelle pour cela : « séparateur » ou « amplificateur d'isolement » ou « tampon » ou « buffer » ou « suiveur », etc.). Pour comprendre l'importance de ces dispositifs, imaginons que le filtre de la figure 14 soit chargé par une résistance  $R_u$  (Fig. 18.a). Il est clair que si cette résistance n'est pas très grande, la fonction de transfert du filtre

sera modifiée et en particulier sa fréquence de coupure qui deviendra  $\omega'_0 = \frac{1}{R'C}$  avec  $R' = R//Ru$ . Pour éviter que l'impédance de charge modifie les caractéristiques du filtre, on interpose entre le filtre et la charge un AOP monté en suiveur (Fig. 18.b), il s'agit d'un amplificateur non inverseur dont l'entrée inverseuse est reliée à la sortie. La tension de sortie  $v_s$  de l'AOP est égale à la tension de sortie  $u$  du filtre mais comme l'AOP présente une impédance d'entrée très élevée elle ne perturbe pas le comportement du filtre.

## 7 – Impédance généralisée, comportement temporel

### 7.1 – Loi d'Ohm généralisée



**Fig. 19** – Loi d'Ohm généralisée pour une impédance (a), pour une résistance (b), pour un condensateur (c) et pour une inductance (d).

Jusqu'ici les sources utilisées étaient soit des sources continues, soit des sources sinusoïdales appliquées sur des circuits linéaires. Lorsque les sources et les signaux dépendent du temps et ne sont pas sinusoïdaux ou sont appliqués sur des circuits non linéaires, l'utilisation d'impédances complexes n'est plus possible et l'on doit analyser le circuit dans le domaine temporel ce qui se traduit la plupart du temps par la résolution d'une équation différentielle. Pour obtenir cette équation il est souvent préférable de faire appel aux impédances généralisées en remplaçant l'opérateur harmonique  $j\omega$  par l'opérateur de Laplace  $p$  qui représente en fait l'opérateur de dérivation par rapport au temps<sup>2</sup>. La figure 19

<sup>2</sup>Cet opérateur est noté  $s$  dans la littérature anglo-saxonne.

rappelle les lois de comportement (loi d'Ohm généralisée) des trois principaux composants passifs linéaires.

## 7.2 – Analyse temporelle d'un filtre RC

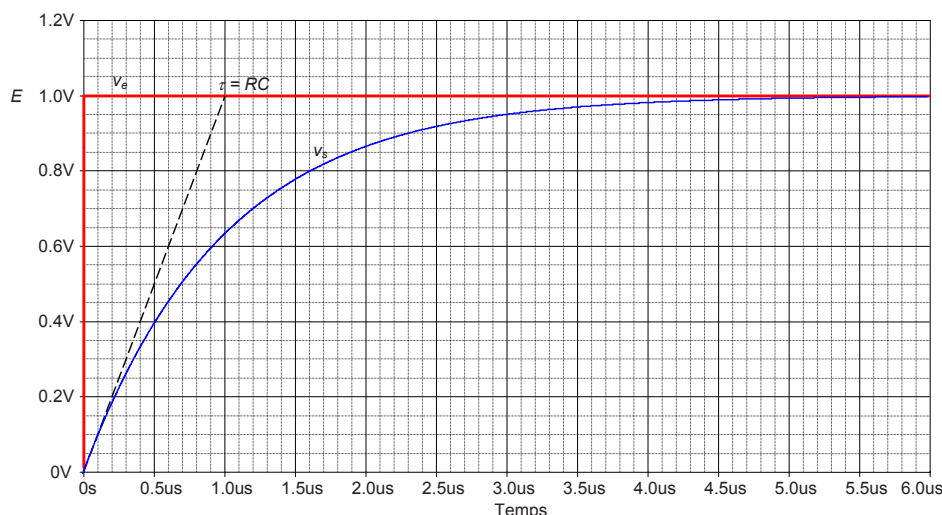


Fig. 20 – Tension de sortie d'un filtre RC soumis à une tension d'entrée en échelon.

Reprenons l'exemple du filtre RC du § 5.2 page 67 (Fig. 14) et supposons que la tension d'entrée soit un échelon de tension de valeur  $E$  : à l'instant  $t = 0$ , la tension passe de 0 à  $E$  comme le montre la figure 20. La mise en équation du circuit est identique, les impédances ou admittances complexes sont simplement remplacées par des expressions généralisées :

$$\frac{v_s}{v_e} = \frac{1}{1 + RY_C} = \frac{1}{1 + pRC},$$

ou encore :  $(1 + pRC)v_s = v_e$  soit :  $v_s + \tau \frac{dv_s}{dt} = E$  avec  $\tau = RC$ .

On obtient ainsi une équation différentielle à coefficients constants avec un second membre constant et une condition initiale nulle :  $v_s(0) = 0$ . La solution s'écrit simplement :

$$v_s = E \left( 1 - e^{-t/\tau} \right).$$

L'évolution de la tension de sortie est représentée sur la figure 20. Noter que la tension de sortie  $v_s \xrightarrow{t \rightarrow \infty} E$  et que la tangente à l'origine coupe l'asymptote à l'abscisse  $\tau = RC$ .

## 8 – Circuit RLC

À titre de rappel et d'exemple, on peut appliquer la méthode des impédances généralisées au circuit RLC de la figure 21.



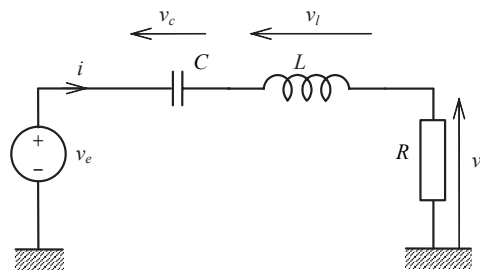


Fig. 21 – Circuit RLC.

### 8.1 – Fonctions de transfert généralisées

Le circuit se comporte comme un pont diviseur de tension d'où l'expression de la fonction de transfert :  $H(p) = \frac{v_s}{v_e} = \frac{R}{R + pL + 1/pC}$ .

Une fonction de transfert peut concerner également d'autres variables dans le circuit, ainsi la fonction de transfert entre la tension aux bornes du condensateur et la tension d'entrée s'écrit :  $H_C(p) = \frac{v_c}{v_e} = \frac{1}{1 + pRC + p^2LC}$

et la fonction de transfert entre la tension aux bornes de l'inductance et la tension d'entrée se met sous la forme :  $H_L(p) = \frac{v_l}{v_e} = \frac{pL}{R + pL + 1/pC}$ .

On définirait de la même façon l'admittance généralisée du circuit RLC sous la forme :  $Y(p) = \frac{i}{v_e} = \frac{1}{R + pL + 1/pC}$ .

### 8.2 – Fonctions de transfert en régime harmonique

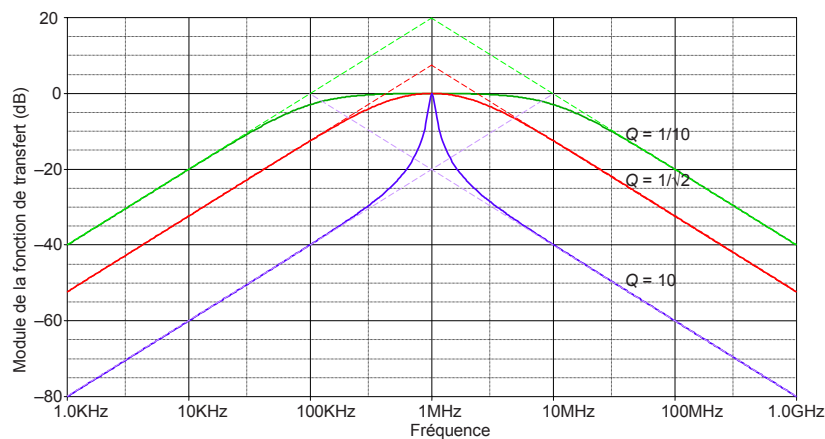
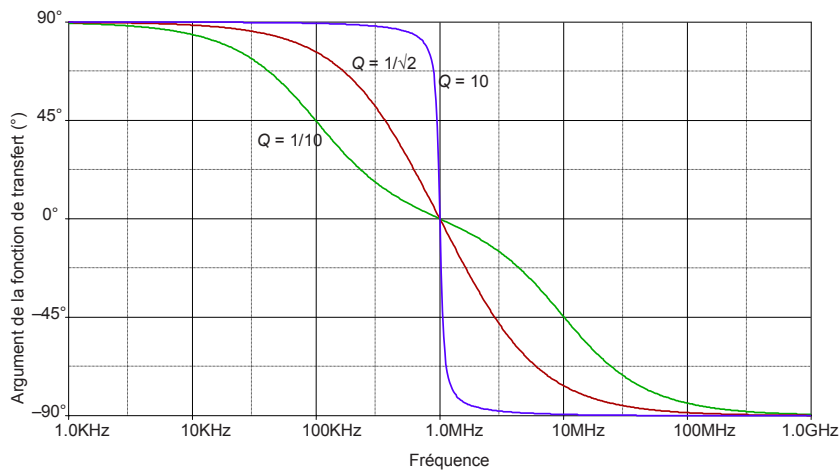
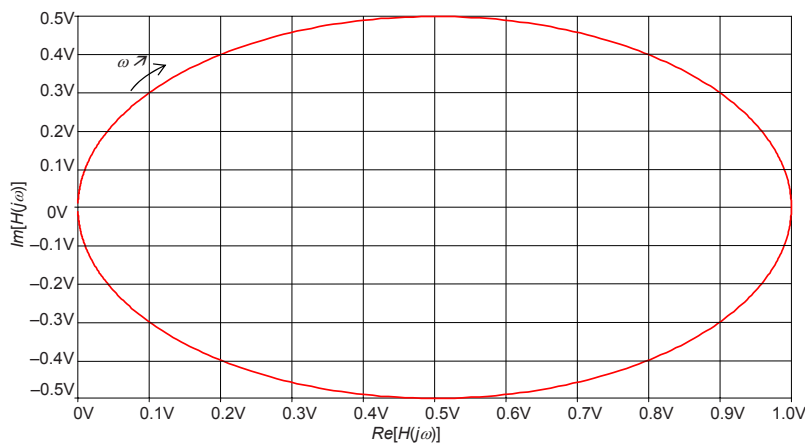


Fig. 22 – Module de la fonction de transfert d'un circuit RLC pour trois valeurs du coefficient de qualité.

On remplace la variable  $p = j\omega$  et on introduit les paramètres :



**Fig. 23** – Argument de la fonction de transfert d'un circuit RLC pour trois valeurs du coefficient de qualité.



**Fig. 24** – Diagramme de Nyquist d'un circuit RLC.

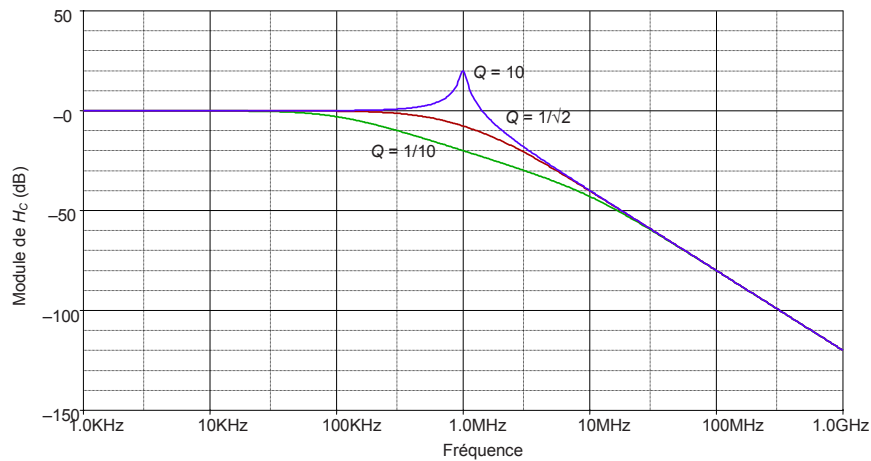
$$\omega_0^2 = \frac{1}{LC} \quad \text{et} \quad Q = \frac{L\omega_0}{R} = \frac{1}{RC\omega_0}.$$

Comme précédemment, on utilisera la fréquence réduite  $x = \frac{\omega}{\omega_0}$ , d'où l'expression de la fonction de transfert en régime harmonique :  $H(jx) = \frac{jx/Q}{1 + jx/Q - x^2}$ ,

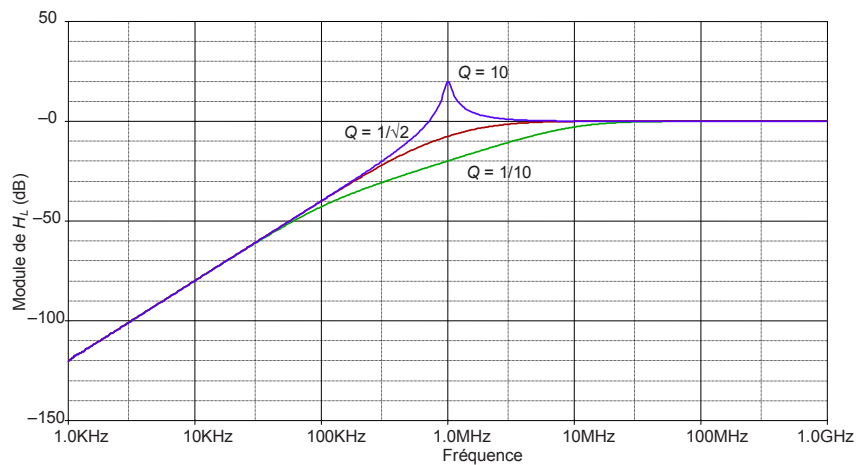
$$\text{dont le module s'écrit : } |H| = \frac{x/Q}{\sqrt{(1-x^2)^2 + (x/Q)^2}}.$$

$$\text{Soit, en décibels : } |H|_{dB} = 20 \log \frac{x}{Q} - 10 \log \left[ (1-x^2)^2 + (x/Q)^2 \right].$$

On peut déterminer le comportement asymptotique du module de la fonction de transfert en examinant les termes prépondérants quand  $x \rightarrow 0$  et quand  $x \rightarrow \infty$ .



**Fig. 25** – Module de la fonction de transfert  $H_C$  pour trois valeurs du coefficient de qualité.



**Fig. 26** – Module de la fonction de transfert  $H_L$  pour trois valeurs du coefficient de qualité.

$$|H| \underset{\omega \rightarrow 0}{\asymp} A_0 = 20 \log \frac{x}{Q} \quad \text{et} \quad |H| \underset{\omega \rightarrow \infty}{\asymp} A_\infty = -20 \log Qx.$$

Noter que  $A_0$  et  $A_\infty$  coupent l'axe des abscisses (0 dB) respectivement en  $x_1 = Q$  et  $x_2 = \frac{1}{Q}$  et que les deux asymptotes se coupent à l'abscisse  $x_0 = 1 = \sqrt{x_1 x_2}$  ou, si l'on revient aux fréquences :  $\omega_1 = Q\omega_0$ ,  $\omega_2 = \omega_0/Q$  et  $\omega_0 = \sqrt{\omega_1 \omega_2}$ . L'ordonnée du point d'intersection des asymptotes vaut :  $A_0(1) = A_\infty(1) = 20 \log \frac{1}{Q}$  alors que l'ordonnée du module de la fonction de transfert vaut :  $|H| = 0$  dB (Fig. 22).

L'argument de la fonction de transfert s'écrit :

$$\angle H = \frac{\pi}{2} - \arctan \frac{x}{Q(1-x^2)}. \quad \text{Asymptotiquement, on remarque que :}$$

$$\angle H \underset{\omega \rightarrow 0}{\asymp} \varphi_0 = \frac{\pi}{2}, \quad \angle H \underset{\omega \rightarrow \infty}{\asymp} \varphi_\infty = -\frac{\pi}{2} \quad \text{et} \quad \angle H(1) = 0.$$

En outre, la dérivée de l'argument pour  $x = 1$  vaut :  $\left(\frac{d\angle H}{dx}\right)_{x=1} = -2Q$  (Fig. 23).

Le diagramme de Nyquist du circuit représenté figure 24 est le même pour les trois valeurs du coefficient de qualité.

En régime harmonique les fonctions de transfert  $H_C(p)$  et  $H_L(p)$  s'écrivent respectivement :

$$H_C(j\omega) = \frac{v_c}{v_e} = \frac{1}{1 + j\omega RC - \omega^2 LC} \quad \Rightarrow \quad H_C(jx) = \frac{1}{1 + jx/Q - x^2},$$

$$H_L(j\omega) = \frac{v_l}{v_e} = \frac{-\omega^2 LC}{1 + j\omega RC - \omega^2 LC} \quad \Rightarrow \quad H_L(jx) = \frac{-x^2}{1 + jx/Q - x^2}.$$

Les modules de ces fonctions sont représentés Fig. 25 et 26.

Noter qu'à la résonance, pour  $\omega = \omega_0$  ou  $x = 1$  les tensions  $v_c$  et  $v_l$  sont respectivement égales à :  $v_c(1) = -jQv_e(1)$  et  $v_l(1) = jQv_e(1)$  ces deux tensions sont donc en module égales à  $Q$  fois la tension d'entrée mais du fait qu'elles sont en opposition de phase leur somme est nulle. Noter sur les figures 25 et 26 que pour  $Q = 10$ , à la résonance, les modules des tensions  $v_c$  et  $v_l$  sont  $Q$  fois supérieurs au module de la tension d'entrée, ce qui explique le terme « surtension » quelquefois donné au facteur  $Q$ .

### 8.3 – Régime temporel

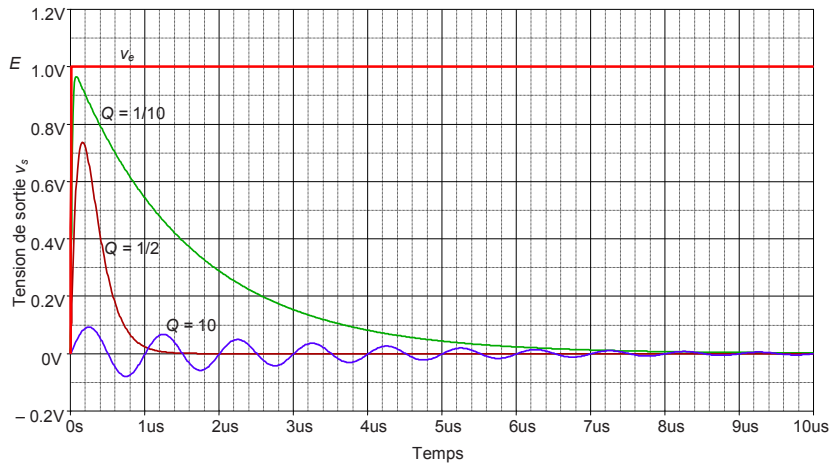


Fig. 27 – Évolution temporelle de la tension de sortie d'un circuit RLC.

Comme pour le cas du filtre RC du § 7.2 page 72, pour établir l'équation différentielle du comportement temporel du circuit RLC soumis à un échelon de tension  $E$ , on part de l'expression de la fonction de transfert généralisée dans laquelle on remplace l'opérateur de Laplace  $p$  par l'opérateur différentiel<sup>3</sup>  $\frac{d}{dt}$ . On obtient :

$$\frac{v_s}{v_e} = \frac{R}{R + pL + 1/pC} \quad \Rightarrow \quad (R + pL + 1/pC)v_s = Rv_e.$$

<sup>3</sup>Les dérivées successives par rapport au temps sont souvent notées par des points au dessus de la variable.

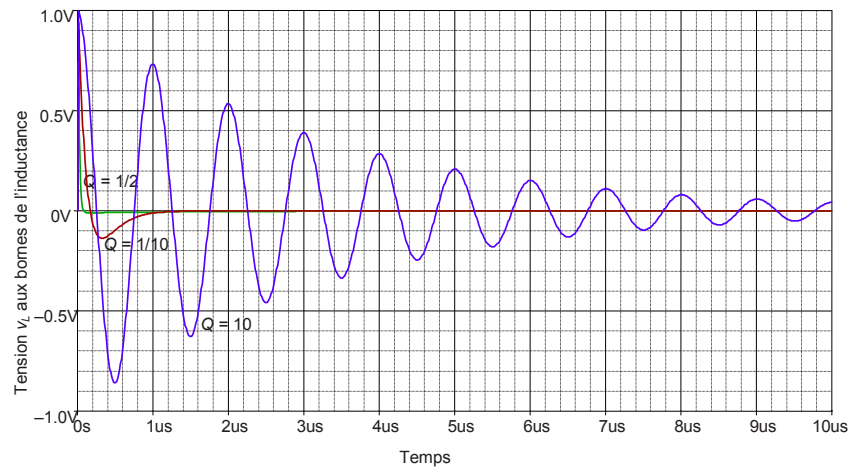


Fig. 28 – Évolution temporelle de la tension aux bornes de l'inductance.

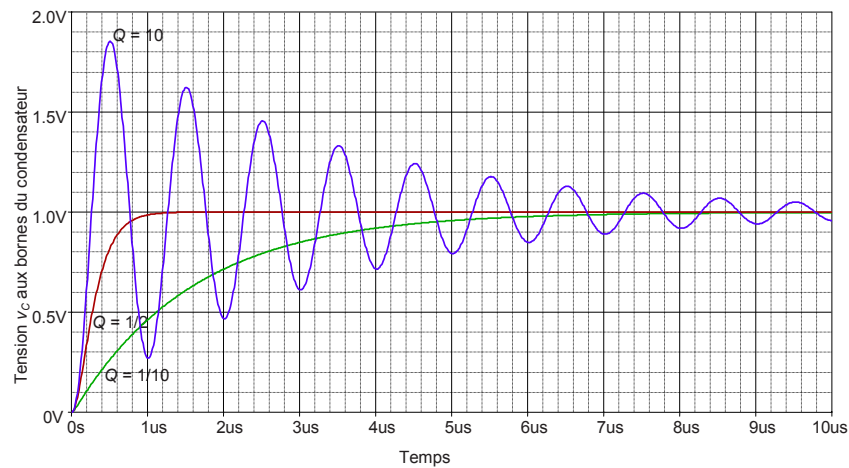


Fig. 29 – Évolution temporelle de la tension aux bornes du condensateur.

Avec les paramètres du § 8.2 page 73 cette relation devient :  $\left(p^2 + \frac{\omega_0}{Q}p + \omega_0^2\right)v_s = \frac{\omega_0}{Q}pv_e$ ,

d'où l'équation différentielle :  $\ddot{v}_s + \frac{\omega_0}{Q}\dot{v}_s + \omega_0^2v_s = \frac{\omega_0}{Q}\dot{v}_e$ .

À l'instant  $t = 0$  :

$$v_e(0) = E \quad \Rightarrow \quad \dot{v}_e = 0 \quad \Rightarrow \quad \ddot{v}_s + \frac{\omega_0}{Q}\dot{v}_s + \omega_0^2v_s = 0.$$

Une équation différentielle du second ordre nécessite deux conditions initiales, on suppose qu'avant l'instant  $t = 0$  le condensateur est déchargé, le courant initial est nul de sorte que la tension  $v_s(0) = 0$ . Au moment de la mise sous tension, on sait que la tension aux bornes du condensateur ne peut pas varier instantanément donc  $v_c(0) = 0$ , de sorte que  $v_l(0) = v_e(0) - v_c(0) - v_s(0) = E$ . Or la tension aux bornes de l'inductance s'écrit :

$$v_l = L\frac{di}{dt} \text{ avec } i = \frac{1}{R}v_s \quad \Rightarrow \quad v_l = \frac{L}{R}\dot{v}_s,$$

par conséquent :  $\dot{v}_s = \frac{R}{L}v_l$  de sorte que pour  $t = 0$  :  $\dot{v}_s(0) = \frac{R}{L}v_l(0) = \frac{RE}{L} = \frac{\omega_0}{Q}E$ .

Le calcul de la solution de ce type d'équation est classique, rappelons seulement que suivant le signe du discriminant de l'équation caractéristique :  $\Delta = \omega_0^2 \left( \frac{1}{Q^2} - 1 \right)$  on distingue trois cas :

- Régime hypocritique :  $\Delta > 0 \Rightarrow Q < \frac{1}{2}$   
 la solution se met sous la forme :  $v_s = \frac{E}{\sqrt{1-4Q^2}} (e^{r_1 t} - e^{r_2 t})$   
 avec  $r_1 = \frac{-\omega_0}{2Q} (1 - \sqrt{1-4Q^2})$  et  $r_2 = \frac{-\omega_0}{2Q} (1 + \sqrt{1-4Q^2})$ .
- Régime critique :  $\Delta = 0 \Rightarrow Q = \frac{1}{2}$   
 la solution se met sous la forme :  $v_s = 2E\omega_0 t e^{-\omega_0 t}$ .
- Régime hypercritique :  $\Delta < 0 \Rightarrow Q > \frac{1}{2}$   
 la solution se met sous la forme :  $v_s = \frac{2E}{\sqrt{4Q^2-1}} e^{-t/\tau} \sin \omega_r t$   
 avec  $\tau = \frac{2Q}{\omega_0}$  et  $\omega_r = \frac{\omega_0}{2Q} \sqrt{4Q^2-1}$ .

Noter que dans ce dernier cas, lorsque  $Q \gg 1 \Rightarrow v_s \approx \frac{E}{Q} e^{-t/\tau} \sin \omega_0 t$ .

La figure 27 montre les différents régimes d'amortissement pour trois valeurs du coefficient de qualité.

En ce qui concerne les autres variables du circuit, le courant  $i$  est proportionnel à la tension de sortie :  $i = \frac{v_s}{R}$ . Comme on l'a vu plus haut, la tension aux bornes de la self est donnée par :  $v_l = \frac{L}{R} \dot{v}_s = \frac{Q}{\omega_0} \dot{v}_s$  et la tension aux bornes du condensateur par :  $v_c = E - v_l - v_s$ . Les figures 28 et 29 montrent l'évolution de la tension aux bornes de l'inductance et du condensateur.

## 9 – Variations instantanées des tensions et des courants

Il est fréquent qu'un circuit soit soumis à de brusques variations de tension ou de courant, il est donc important de rappeler comment se comportent les composants réactifs linéaires soumis à ce type de sollicitation.

### 9.1 – Cas des condensateurs

Un condensateur peut être considéré comme un « réservoir de charges » qui nécessite un certain temps pour être vidé, de ce fait, sauf si le condensateur est court-circuité, la tension à ses bornes ne peut pas varier instantanément et conserve donc sa valeur pendant la transition. Pour illustrer ce comportement, prenons l'exemple du circuit RC de la figure 30. On suppose qu'avant l'instant de commutation  $t_0$ , le système est en équilibre : le courant  $i(t_0^-) = 0$ , donc la tension aux bornes de la résistance  $v_r(t_0^-) = 0$  de sorte que la tension aux bornes du condensateur vaut  $v_c(t_0^-) = E - v_r(t_0^-) = E$ . À l'instant  $t_0^+$  l'interrupteur K commute l'armature du condensateur de la position 0 à la position V. Comment se

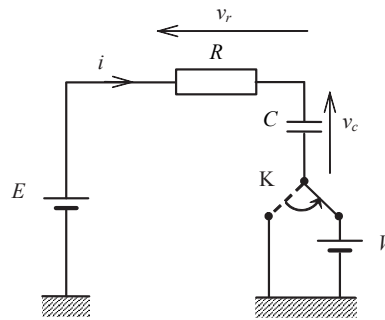


Fig. 30 – Commutation dans un circuit RC.

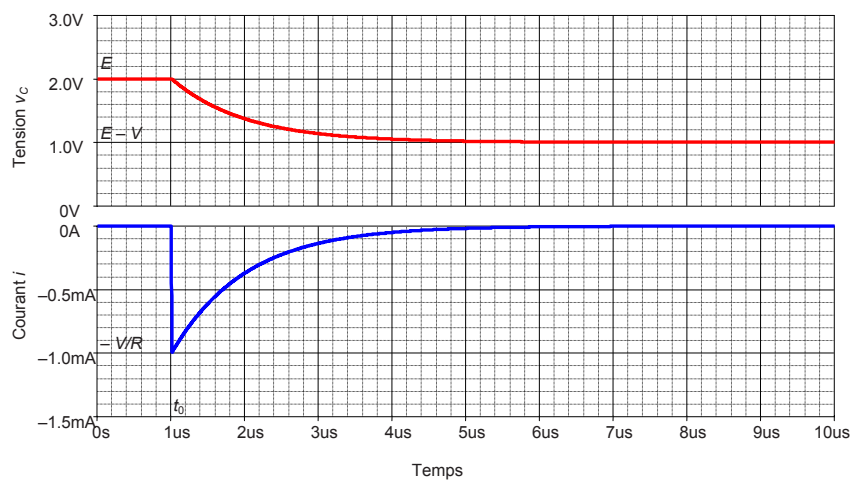


Fig. 31 – Évolution temporelle de la tension aux bornes du condensateur et du courant dans le circuit.

comporte le circuit ? La loi de maille s'écrit :  $E = v_r(t_0^+) + v_c(t_0^+) + V$  comme la tension aux bornes du condensateur ne varie pas instantanément c'est la tension  $v_r$  qui supporte la variation :  $E = v_r(t_0^+) + E + V \Rightarrow v_r(t_0^+) = -V$ ,

et le courant passe instantanément à la valeur  $i(t_0^+) = \frac{v_r(t_0^+)}{R} = \frac{-V}{R}$ .

Le calcul de l'évolution de la tension  $v_c$  et du courant  $i$  représentés sur la figure 31 est laissé à titre d'exercice.

## 9.2 – Cas des inductances

Une inductance constitue une sorte d'« inertie » dans laquelle les charges ne peuvent pas se mettre instantanément en mouvement, de ce fait, sauf en cas de court-circuit, le courant dans une inductance ne peut pas varier instantanément et conserve donc sa valeur pendant la transition. Pour donner un exemple, refaisons l'expérience précédente en remplaçant simplement le condensateur par une inductance (Fig. 32). On suppose qu'avant l'instant de commutation  $t_0$ , le système est en équilibre : le courant ne varie plus donc la tension  $v_l(t_0^-) = 0$ , le courant dans le circuit  $i(t_0^-) = \frac{E}{R}$  et la tension aux bornes de la résistance

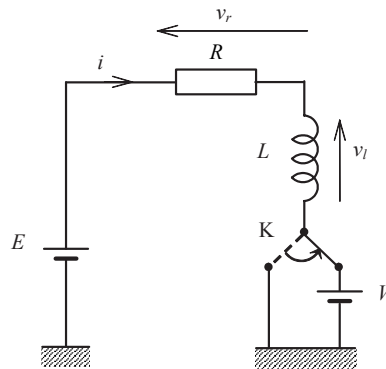


Fig. 32 – Commutation dans un circuit  $RL$ .

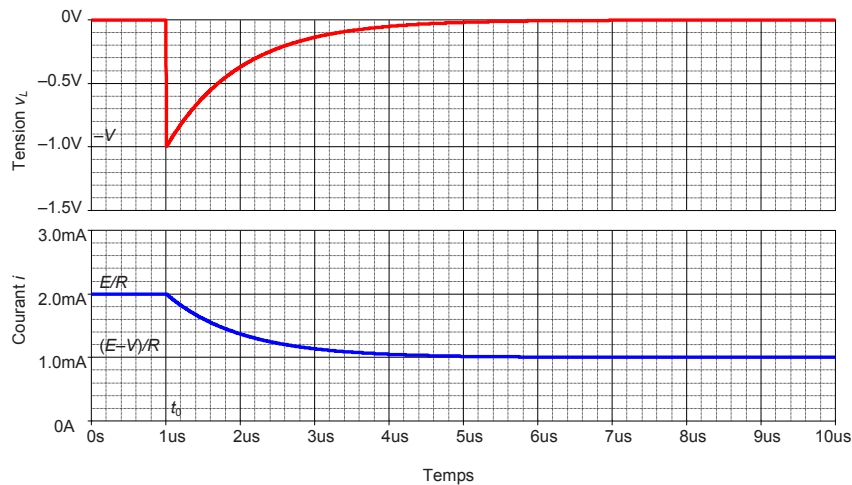


Fig. 33 – Évolution temporelle de la tension aux bornes de l'inductance et du courant dans le circuit.

vaut  $v_r(t_0^-) = R \cdot i(t_0^-) = E$ . À l'instant  $t_0^+$  l'interrupteur  $K$  commute la borne inférieure de l'inductance de la position 0 à la position  $V$ . Comment se comporte le circuit ? Comme le courant ne peut pas varier instantanément il garde la même valeur de même que la tension aux bornes de la résistance qui lui est proportionnelle  $i(t_0^+) = \frac{E}{R}$  et  $v_r(t_0^+) = E$ . La loi de maille s'écrit :  $E = v_r(t_0^+) + v_l(t_0^+) + V$ ,

ici c'est la tension aux bornes de l'inductance qui supporte la variation :

$$E = E + v_l(t_0^+) + V \quad \Rightarrow \quad v_l(t_0^+) = -V.$$

Le calcul de l'évolution de la tension  $v_l$  et du courant  $i$  représentés sur la figure 33 est laissé à titre d'exercice.



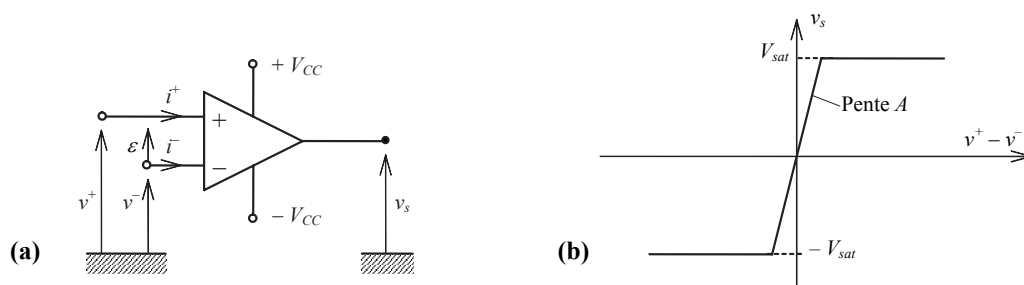
## Chapitre 4

# Amplificateurs opérationnels

L'amplificateur opérationnel (AOP ou *op-amp* dans la littérature anglo-saxonne) est un circuit utilisé depuis très longtemps en électronique basse fréquence, il en existe un grand nombre de versions fabriquées par de nombreux constructeurs<sup>1</sup>. Les caractéristiques fonctionnelles essentielles de ce circuit ont en principe été étudiées en classes préparatoires et seuls quelques rappels sur les fonctions de base, les limitations de l'AOP et la description de quelques applications feront l'objet de ce chapitre.

### 1 – Modèles d'AOP et modes de fonctionnement

#### 1.1 – Amplificateur opérationnel idéal



**Fig. 1** – Symbole de l'amplificateur opérationnel (a) et caractéristique de transfert (b).

La figure 1.a montre un des symboles les plus utilisés pour représenter un AOP et la figure 1.b représente sa caractéristique de transfert :  $v_s = A(v^+ - v^-) = A \cdot \varepsilon$ . Noter que la caractéristique représentée s'approche de celle d'un AOP réel : le gain différentiel, c'est-à-dire la pente dans la région de comportement linéaire, n'est pas infinie, de plus la caractéristique présente deux régions de saturation  $\pm V_{sat}$  dont la valeur absolue est légèrement inférieure à la tension d'alimentation  $V_{CC}$ . Les tensions  $\pm V_{CC}$  ne sont pas toujours représentées sur les schémas des circuits comportant des AOP.

<sup>1</sup>Fairchild a introduit le premier amplificateur opérationnel commercial  $\mu A709$  au milieu des années 1960 et le  $\mu A741$  en 1968.

Dans un AOP idéal on considère que les courants d'entrée  $i^+$  et  $i^-$  sont nuls ou, ce qui revient au même, que l'impédance d'entrée est infinie, on admet en outre que le gain différentiel en boucle ouverte  $A$  est infini, que l'impédance de sortie est nulle et que la bande passante est infinie.

## 1.2 – Schéma équivalent d'un AOP

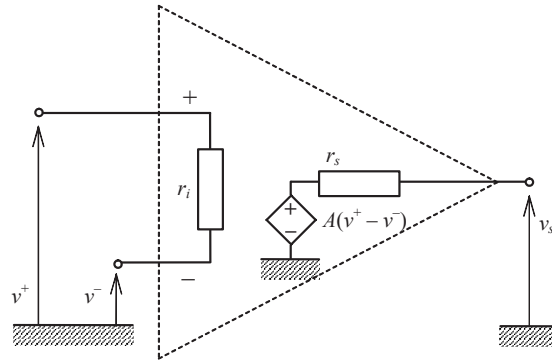


Fig. 2 – Schéma équivalent d'un AOP.

On peut admettre qu'à basse fréquence le schéma équivalent d'un AOP peut être représenté par le circuit de la figure 2. Pour les AOP commercialisés actuellement on trouve les valeurs suivantes<sup>2</sup> :

- résistance d'entrée :  $r_i \approx 1$  à  $12 \text{ M}\Omega$  ( $2 \text{ M}\Omega$  pour un AOP 741),
- gain différentiel en boucle ouverte :  $A \approx 10^5$  à  $3 \cdot 10^6$  ( $10^5$  pour un AOP 741),
- impédance de sortie :  $r_s \approx 100$  à  $1000 \Omega$  ( $75 \Omega$  pour un AOP 741).

Ces valeurs n'ont de sens que dans la région de comportement linéaire, de plus, le courant de sortie de l'AOP est limité ( $25 \text{ mA}$  pour un AOP 741).

## 1.3 – Mode saturé et mode asservi

Les AOP peuvent être utilisés selon deux modes de fonctionnement fondamentalement différents :

- Le mode asservi ou mode en boucle fermée ou mode linéaire obtenu lorsque la réaction est appliquée sur l'entrée inverseuse (on parle alors de « contre-réaction »). Dans ce cas, les deux tensions  $v^+$  et  $v^-$  sont pratiquement identiques et la tension de sortie  $v_s$  reste proportionnelle à la tension différentielle d'entrée  $\varepsilon$  qui dans ce cas est extrêmement faible :  $v_s = A \cdot \varepsilon$ . C'est dans ce mode que sont réalisées toutes les applications dites « linéaires » de l'AOP tels que les amplificateurs inverseurs ou non, les filtres, les convertisseurs, etc.
- Le mode saturé ou en boucle ouverte ou encore lorsque la réaction est appliquée sur l'entrée non inverseuse. Dans ce cas, les tensions d'entrée  $v^+$  et  $v^-$  sont différentes, la tension différentielle n'est donc pas voisine de zéro et du fait du gain très élevé, la tension de sortie  $v_s$  ne peut prendre que l'une des deux valeurs de tension de saturation  $\pm V_{sat}$ . Ce mode est utilisé pour réaliser les comparateurs, les triggers, etc.

<sup>2</sup>Voir également le tableau comparatif I page 104.

## 2 – Applications de base des AOP en mode linéaire

### 2.1 – Amplificateur inverseur

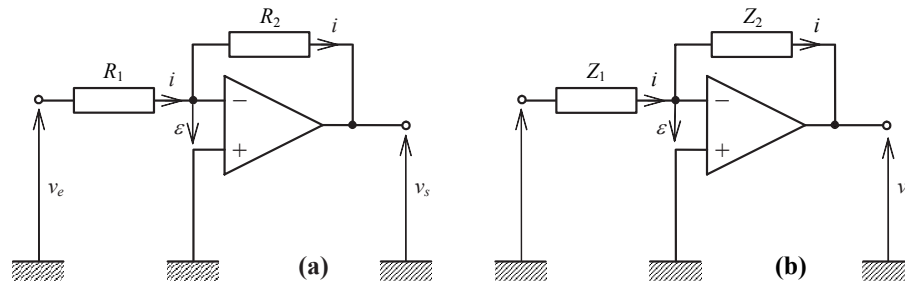


Fig. 3 – Montage amplificateur inverseur (a), inverseur généralisé (b).

Le schéma de la figure 3 montre que la réaction est appliquée sur l'entrée inverseuse et l'AOP fonctionne donc en mode asservi, la tension sur l'entrée inverseuse est pratiquement la même que celle de l'entrée non inverseuse qui est à la masse (on parle alors de « masse virtuelle ») la tension différentielle  $\varepsilon$  est pratiquement nulle  $v_s = A \cdot \varepsilon$  de sorte que même si le gain  $A$  est très grand, la tension de sortie  $v_s$  garde une valeur finie.

Si l'AOP est idéal,  $A = \infty \Rightarrow \varepsilon = 0$ . Les courants d'entrée de l'AOP étant pratiquement nuls, le même courant  $i$  circule dans  $R_1$  et  $R_2$  :  $i = \frac{v_e}{R_1} = \frac{-v_s}{R_2}$ , d'où le gain de l'AOP idéal bouclé :  $G_0 = \frac{v_s}{v_e} = \frac{-R_2}{R_1}$ .

Le calcul de l'impédance d'entrée du montage est immédiate :  $Z_e = \frac{v_e}{i} = R_1$ .

La simulation d'un tel circuit avec SPICE a été traitée au § 2.2 page 44. Le résultat obtenu pour le gain de l'amplificateur inverseur ne préjuge pas de la nature des impédances d'entrée et de réaction, si les deux résistances  $R_1$  et  $R_2$  étaient remplacées par des impédances complexes  $Z_1$  et  $Z_2$  (Fig. 3), le gain de l'amplificateur s'écrirait simplement :

$$G_0 = \frac{v_s}{v_e} = \frac{-Z_2}{Z_1} \text{ et l'impédance d'entrée serait : } Z_e = \frac{v_e}{i} = Z_1.$$

### 2.2 – Amplificateur non inverseur

Le montage est représenté Fig. 4, il fonctionne comme le précédent en mode asservi et peut donc être analysé avec les mêmes hypothèses, le courant  $i$  dans  $R_1$  et  $R_2$  s'écrit ici :  $i = \frac{-v_e}{R_1} = \frac{v_e - v_s}{R_2}$ , d'où le gain de l'AOP idéal bouclé :

$$G_0 = \frac{v_s}{v_e} = \frac{R_1 + R_2}{R_1}.$$

Noter que le gain en boucle fermée est ici nécessairement supérieur à l'unité. L'entrée de l'amplificateur s'effectue sur l'entrée non inverseuse dans laquelle il ne circule aucun courant, par conséquent l'impédance d'entrée du montage est infinie dans le cas d'un AOP idéal. Comme précédemment, les résultats peuvent être facilement généralisés dans le cas où les résistances  $R_1$  et  $R_2$  sont remplacées par des impédances complexes  $Z_1$  et  $Z_2$ .

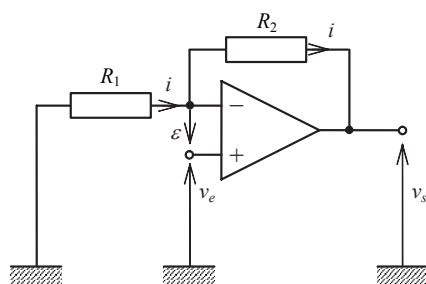


Fig. 4 – Montage amplificateur non inverseur.

### 2.3 – Suiveur

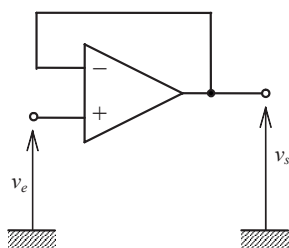


Fig. 5 – Montage suiveur.

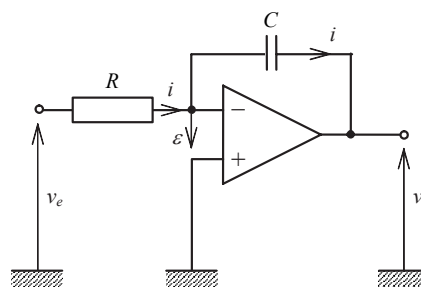


Fig. 6 – Montage intégrateur.

Il s'agit d'un cas particulier de montage non inverseur dans lequel  $R_1 = \infty$  et  $R_2 = 0$  (Fig. 5) de sorte que le gain  $G_0 = 1$ . La tension de sortie est égale à la tension d'entrée, l'intérêt principal du montage tient au fait que l'impédance d'entrée du montage est infinie ou en tout cas très élevée. Une application de ce montage a été évoquée au § 6 page 70.

### 2.4 – Intégrateur

Le fonctionnement du montage intégrateur de la figure 6 peut être analysé simplement à partir de la remarque du § 2.2 page 83. Il s'agit en effet du montage inverseur de la figure 5 dans lequel  $Z_1 = R$  et  $Z_2 = \frac{1}{pC}$  où  $p$  est l'opérateur de Laplace. Le gain, ou plus exactement la fonction de transfert du montage, s'écrit ici :  $H(p) = \frac{v_s}{v_e} = \frac{-Z_2}{Z_1} = \frac{-1}{pRC}$ .

Dans le domaine fréquentiel (régime sinusoïdal de pulsation  $\omega$ ) l'opérateur  $p = j\omega$  et la fonction de transfert complexe s'écrit :  $H(j\omega) = \frac{-1}{j\omega RC}$  dont le module se présente dans le plan de Bode comme une droite de pente  $-20$  dB/décade caractéristique d'un intégrateur du premier ordre.

Dans le domaine temporel, l'opérateur  $p = \frac{d}{dt}$  et son inverse  $\frac{1}{p} = \int dt$ , le comportement du circuit est alors décrit par la relation :  $v_s = \frac{-1}{RC} \int v_e dt$  caractéristique d'un intégrateur inverseur. La simulation d'un tel circuit avec SPICE a été traitée au § 2.3 page 46.

### 3 – Applications de base des AOP en mode saturé

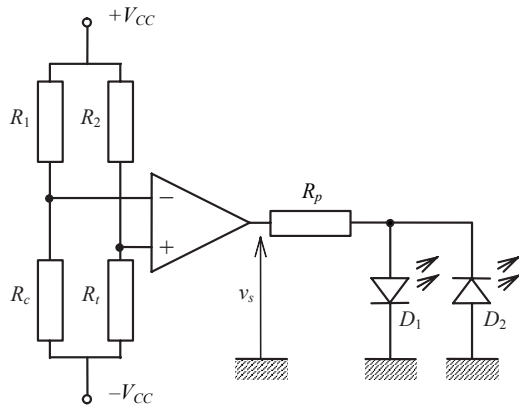


Fig. 7 – Montage comparateur.

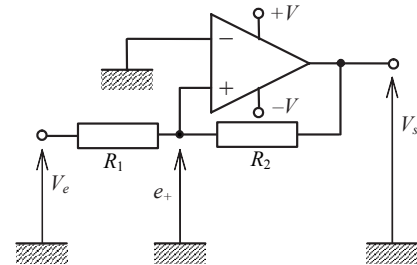


Fig. 8 – Trigger de Schmitt non inverseur.

#### 3.1 – Comparateur

Le gain en boucle ouverte de l'AOP est si important qu'une variation infinitésimale de la tension différentielle le fait passer presque instantanément d'une tension de saturation à l'autre. Cette propriété est quelquefois mise à profit pour comparer deux tensions très voisines comme le montre la figure 7. Dans cette application, on suppose que la résistance  $R_t$  varie avec la température, si la température varie,  $R_t$  devient plus grande ou plus petite que la résistance de consigne  $R_c$ , la tension de sortie  $v_s$  prend la valeur  $+V_{sat}$  ou  $-V_{sat}$  et selon le cas c'est la diode électroluminescente  $D_1$  ou  $D_2$  qui s'allumera. Noter que les quatre résistances  $R_1$ ,  $R_2$ ,  $R_t$  et  $R_c$  forment un pont de Wheatstone dont l'AOP amplifie la tension de déséquilibre. La résistance de polarisation  $R_p$  permet d'ajuster le courant dans les diodes à la valeur nominale recommandée.

#### 3.2 – Comparateur à hystérésis (trigger de Schmitt)

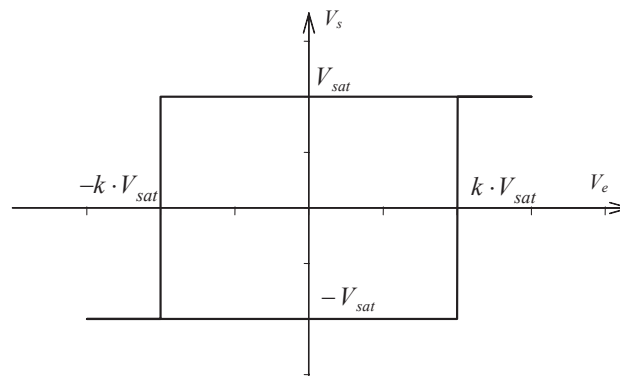


Fig. 9 – Caractéristique d'un trigger de Schmitt non inverseur.

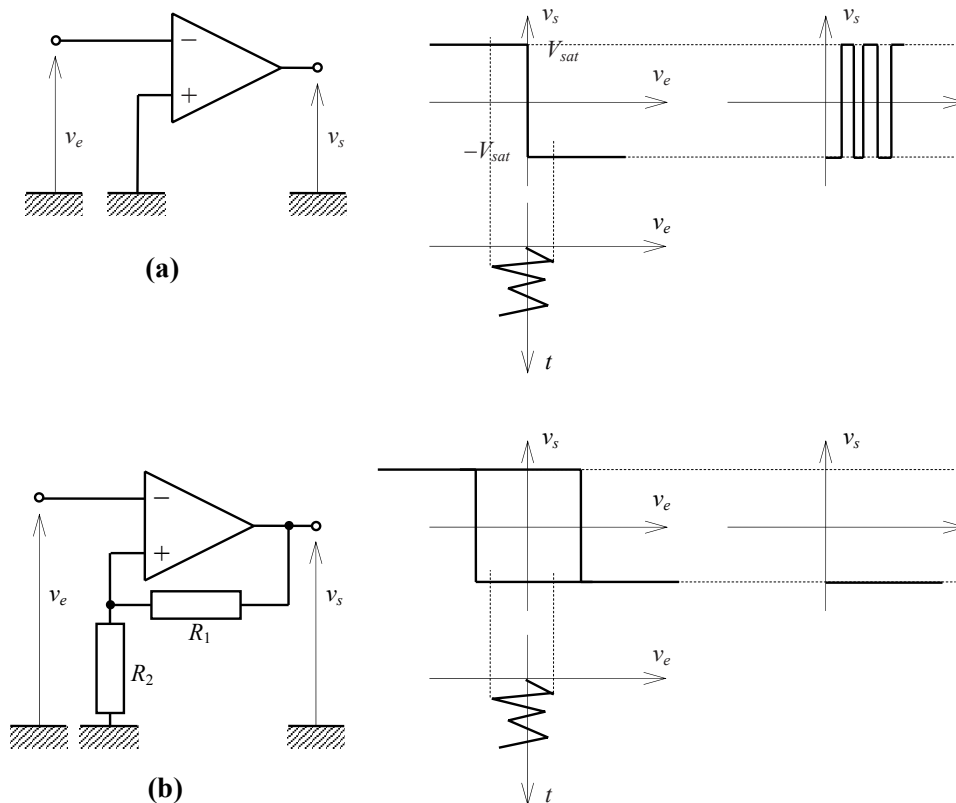


Fig. 10 – Immunité au bruit d'un comparateur ordinaire (a) et d'un comparateur à hystérésis (b).

Le comparateur à hystérésis inverseur a été décrit en détail au § 2.6 page 51. La figure 8 représente un type de comparateur à hystérésis sans inversion. Dans ce montage, le basculement a lieu lorsque  $e_+ = e_- = 0$  or :  $e_+ = \frac{R_2 V_e + R_1 V_s}{R_1 + R_2}$  par conséquent :

- si :  $V_s = +V_{sat}$  le basculement a lieu pour  $V_e = -\frac{R_1}{R_2} V_{sat} = -k V_{sat}$  ( $k = \frac{R_1}{R_2}$ ),
- si :  $V_s = -V_{sat}$  le basculement a lieu pour  $V_e = +\frac{R_1}{R_2} V_{sat} = k V_{sat}$  (cf. Fig. 9).

### 3.3 – Intérêt des comparateurs à hystérésis

Le comparateur à hystérésis présente sur le comparateur ordinaire une meilleure immunité au bruit, la figure 10.a montre que si la tension d'entrée d'un comparateur ordinaire est affectée d'un bruit autour de zéro, la tension de sortie subira des fluctuations entre  $\pm V_{sat}$  tandis que cet inconvénient disparaît dans le cas d'un comparateur à hystérésis (Fig. 10.b).

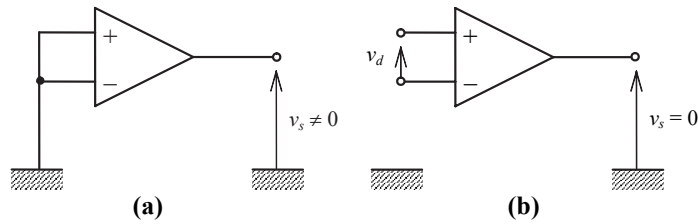


Fig. 11 – Tension de décalage d'entrée.

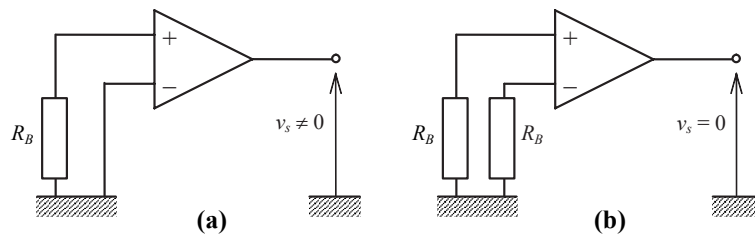


Fig. 12 – Influence du courant de polarisation d'entrée.

## 4 – Imperfections et limitations des AOP

### 4.1 – Tension de décalage d'entrée (offset)

Lorsque les deux entrées sont à la masse, la sortie n'est pas exactement à zéro (Fig. 11.a), la tension de décalage d'entrée est la tension différentielle qu'il faut appliquer pour que la tension de sortie soit nulle (Fig. 11.b). Pour les AOP courants  $v_d$  est comprise entre 0,1 et 5 mV. On peut généralement corriger ce défaut en décalant l'une des entrées grâce à un potentiomètre (sur certains AOP, une ou deux broches sont prévues à cet effet).

### 4.2 – Courant de polarisation d'entrée

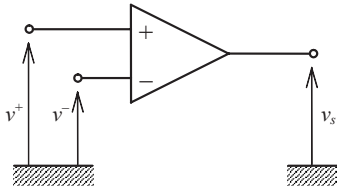
Bien que les courants d'entrée soient très faibles, ils ne sont pas nuls et une différence de résistance dans les circuits d'entrée inverseuse et non inverseuse peut créer une tension de décalage (Fig. 12.a). On corrige ce défaut en plaçant une résistance identique dans les deux circuits d'entrée (Fig. 12.b).

Les courants de polarisation sont compris entre 1 et 500 nA pour les AOP à entrée BJT et entre 25 et 50 pA pour les AOP à entrée FET.

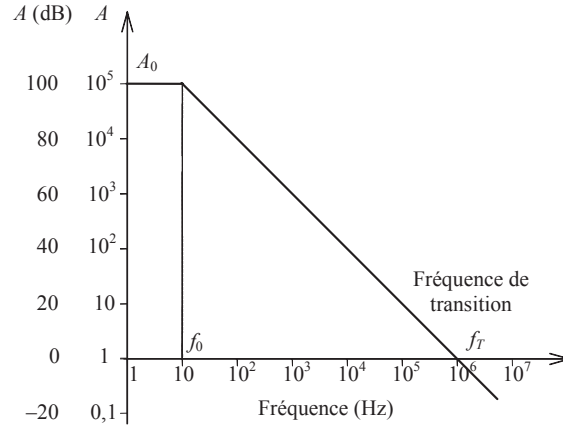
### 4.3 – Facteur de réjection du mode commun

À cause des imperfections de l'AOP, la tension de sortie ne dépend pas seulement de la différence  $v^+ - v^-$  mais également, pour une très faible part, de la somme  $v^+ + v^-$  de sorte que  $v_s$  s'écrit plus précisément (Fig. 13) :  $v_s = A_d (v^+ - v^-) + A_c \left( \frac{v^+ + v^-}{2} \right)$ .

$A_d$  est le *gain différentiel* et  $A_c$  est le *gain de mode commun*. On définit l'immunité de l'AOP aux perturbations de mode commun par le *facteur de réjection du mode commun* : *CMRR* (*Common Mode Rejection Ratio*) qui est le rapport exprimé en dB du gain différentiel et du gain de mode commun :  $CMRR = \frac{A_d}{A_c}$ . Un AOP est d'autant meilleur que son facteur de réjection est plus élevé. Pour un AOP 741 on donne  $CMRR = 90$  dB en basse fréquence (cf. tableau I, page 104).



**Fig. 13** – Facteur de réjection du mode commun.



**Fig. 14** – Fonction de transfert en fréquence d'un AOP.

#### 4.4 – Réponse en fréquence

Pour la majorité des AOP, le gain en fonction de la fréquence prend la forme suivante :

$$A = \frac{A_0}{1 + jf/f_0} \quad \text{d'où} \quad |A| = \frac{A_0}{\sqrt{1 + f^2/f_0^2}},$$

c'est la fonction de transfert d'un filtre du premier ordre,  $A_0$  est le gain en continu et  $f_0$  est la fréquence de coupure à  $-3$  dB. Exprimé en dB on a :  $\left| \frac{A}{A_0} \right|_{dB} = -10 \log(1 + f^2/f_0^2)$

d'où le comportement asymptotique (Fig. 14) :

$$\left| \frac{A}{A_0} \right| \underset{f \rightarrow 0}{\approx} 0 \text{ dB} \quad \text{et} \quad \left| \frac{A}{A_0} \right| \underset{\omega \rightarrow \infty}{\approx} -20 \log \frac{f}{f_0} \quad (-20 \text{ dB/décade}).$$

On appelle *fréquence à gain unité* ou *fréquence de transition* :  $f_T$ , la fréquence pour laquelle le gain vaut 1 (0 dB), comme cette fréquence est très supérieure à la fréquence de coupure  $f_0$ , le gain peut s'écrire :

$$|A| = 1 = \frac{A_0}{\sqrt{1 + f_T^2/f_0^2}} \approx \frac{A_0 f_0}{f_T} \quad \Rightarrow \quad f_T = A_0 f_0,$$

de façon générale si  $f \gg f_0$  on a :

$$|A| = 1 = \frac{A_0}{\sqrt{1 + f^2/f_0^2}} \approx \frac{A_0 f_0}{f} \quad \Rightarrow \quad |A| f = A_0 f_0 = f_T.$$

Ces relations montrent que dans la région de pente d'atténuation  $-20$  dB/décade, le produit du gain par la fréquence est constant et égal au produit du gain en boucle ouverte par la fréquence de coupure : cette propriété importante de l'AOP résulte du fait qu'il



se comporte comme un filtre du premier ordre et fixe le comportement en fréquence de ce circuit (voir § 4.7 page 90). Pour un AOP 741, la figure 14 montre que  $A_0 = 10^5$  et  $f_0 = 10$  Hz soit  $f_T \approx 1$  MHz (cf. tableau I, page 104).

#### 4.5 – Vitesse maximale de balayage en sortie (*slew rate*)

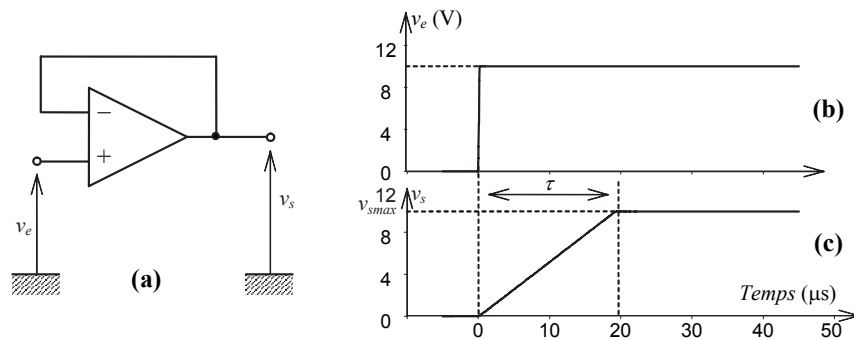


Fig. 15 – Mesure de la vitesse maximale de balayage en sortie : montage suiveur (a), signal d'entrée (b) et signal de sortie (c).

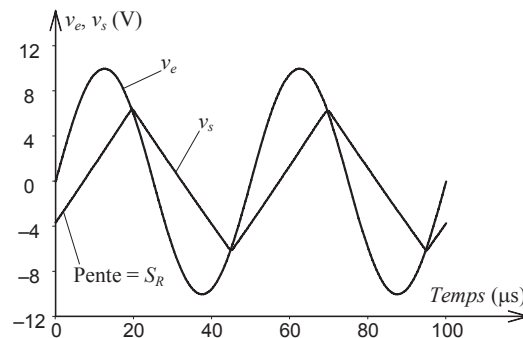


Fig. 16 – Effet de la vitesse maximale de balayage en sortie sur un signal sinusoïdal.

À la sortie d'un AOP la tension ne peut varier plus vite qu'une valeur limite appelée *vitesse maximale de balayage en sortie* (*slew rate*) :  $S_R = \left( \frac{dv_s}{dt} \right)_{max}$ .

Pour un AOP 741 on donne  $S_R \approx 0,5$  V/ $\mu$ s (cf. tableau I, page 104) mais il existe des circuits rapides<sup>3</sup> pour lesquels cette vitesse atteint plus de 1000 V/ $\mu$ s. Cette limitation est surtout sensible pour les variations de grande amplitude. Prenons par exemple le cas du montage suiveur représenté figure 15.a, un échelon de tension de 10 V appliqué à l'entrée (Fig. 15.b) produira en sortie une rampe de pente  $S_R$  jusqu'à la valeur finale de 10 V (Fig. 15.c), le temps  $\tau$  nécessaire pour atteindre cette valeur vaut :  $\tau = \frac{v_{smax}}{S_R} \approx 20$   $\mu$ s.

Si le signal d'entrée est sinusoïdal la pente maximale du signal de sortie ne peut dépasser  $S_R$  et le signal paraît alors triangulaire (Fig. 16).

<sup>3</sup>6000 V/ $\mu$ s pour le LH0063C.

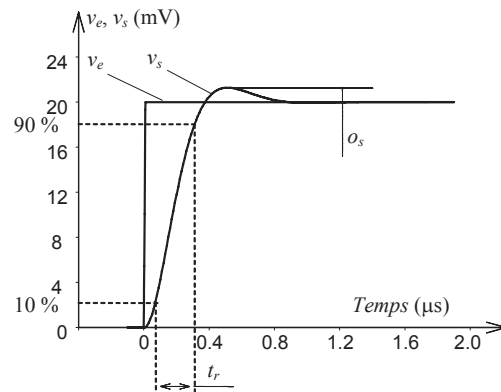


Fig. 17 – Temps de montée et suroscillation.

#### 4.6 – Temps de montée et suroscillation

Si l'on applique à l'entrée du montage suiveur (Fig. 15.a) un échelon de tension de faible amplitude, la tension de sortie n'atteint sa valeur finale qu'après un certain délai caractérisé par le temps de montée  $t_r$  (rise time) mesuré entre 10 % et 90 % de la valeur finale de la tension de sortie (Fig. 17).

Dans certains cas, le régime permanent n'est atteint qu'après une légère suroscillation  $o_s$  (overshoot) exprimée en pourcentage de la valeur finale de la tension de sortie. Pour un AOP 741 on donne  $t_r \approx 0,3 \mu\text{s}$  et  $o_s \approx 5\%$ .

#### 4.7 – Produit gain $\times$ bande passante d'un AOP bouclé

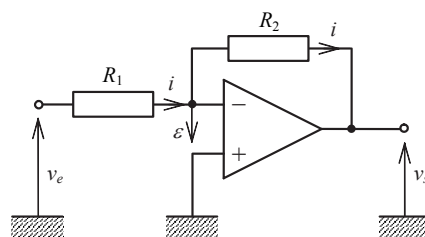


Fig. 18 – Montage amplificateur inverseur.

Le gain en boucle ouverte  $A$  de l'AOP du montage inverseur de la figure 18 est défini par :

$$A = \frac{v_s}{\varepsilon}$$

À la différence de l'AOP idéal, le gain en boucle ouverte  $A$  d'un AOP réel n'est pas infini on a :

$$i = \frac{v_e + \varepsilon}{R_1} = \frac{-\varepsilon - v_s}{R_2} \Rightarrow v_e = -\varepsilon \left( 1 + \frac{R_1}{R_2} \right) - \frac{R_1}{R_2} v_s,$$

$$\text{or } \varepsilon = \frac{v_s}{A} \Rightarrow G = \frac{v_s}{v_e} = \frac{-A}{1 + (1 + A)R_1/R_2}.$$

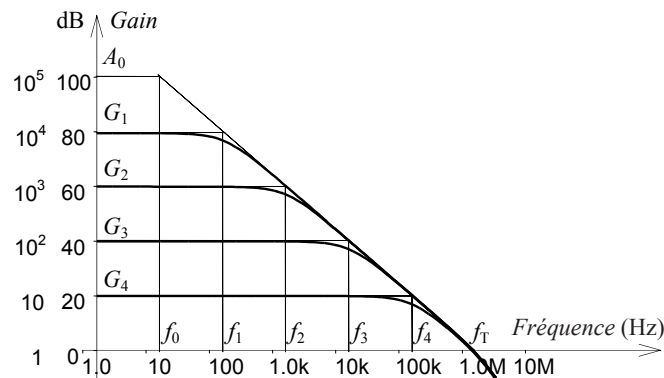


Fig. 19 – Gain et bande passante d'un AOP bouclé.

Le gain en boucle fermée  $G$  peut également se mettre sous la forme :  $G = G_0 \frac{AB}{1 + AB}$  avec  $B = \frac{R_1}{R_1 + R_2}$ . Noter que  $G \xrightarrow{A \rightarrow \infty} G_0 = -\frac{R_2}{R_1}$  qui est le gain de l'inverseur avec AOP idéal.

Dans le cas où la bande passante de l'AOP est limitée (cf. § 4.4 page 88) :

$$A = \frac{A_0}{1 + jf/f_0} \Rightarrow G = G_0 \frac{A_0 B}{1 + A_0 B + jf/f_0},$$

$$\text{en général : } A_0 B \gg 1 \Rightarrow G = \frac{G_0}{1 + jf/(A_0 B f_0)} = \frac{G_0}{1 + jf/f_c} \text{ avec } f_c = A_0 B f_0.$$

$G_0$  représente alors le gain basse fréquence et  $f_c$  la fréquence de coupure de l'amplificateur bouclé, on peut maintenant exprimer le produit du gain par la bande passante de l'amplificateur bouclé :

$$G_0 f_c = G_0 A_0 B f_0 \text{ avec } |G_0 B| = \frac{R_2}{R_1 + R_2} \stackrel{R_2 \gg R_1}{\approx} 1 \Rightarrow G_0 f_c \approx A_0 f_0 = f_T.$$

Cette expression montre que pour des gains en boucle fermée supérieurs à un, le produit du gain par la bande passante reste approximativement constant et égal à la fréquence de transition de l'AOP (cf. § 4.4 page 88).

La figure 19 représente les fonctions de transfert d'un AOP monté en inverseur pour différentes valeurs de gain. On peut vérifier que l'on a :  $G_i f_i = A_0 f_0 = f_T$ .

### Remarque

Cette propriété, qui résulte du comportement en filtre du premier ordre de l'AOP, est liée à la présence à l'intérieur du circuit d'une capacité interne dite « de compensation », le rôle de cette capacité est essentiellement d'augmenter la constante de temps pour réduire les risques d'oscillation au prix d'une réduction importante de la bande passante. D'autres structures d'AOP présentent des constantes de temps beaucoup plus faibles donc des bandes passantes plus importantes et indépendantes du gain. Pour ces circuits dits « non compensés », le produit gain  $\times$  bande passante n'est plus constant.

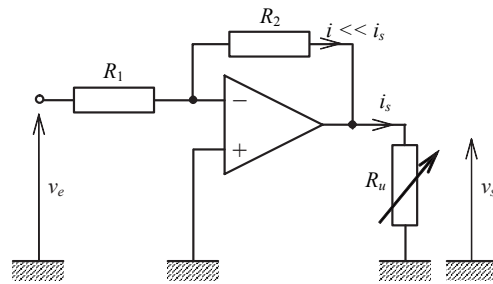


Fig. 20 – Mesure du courant de sortie d'un amplificateur inverseur.

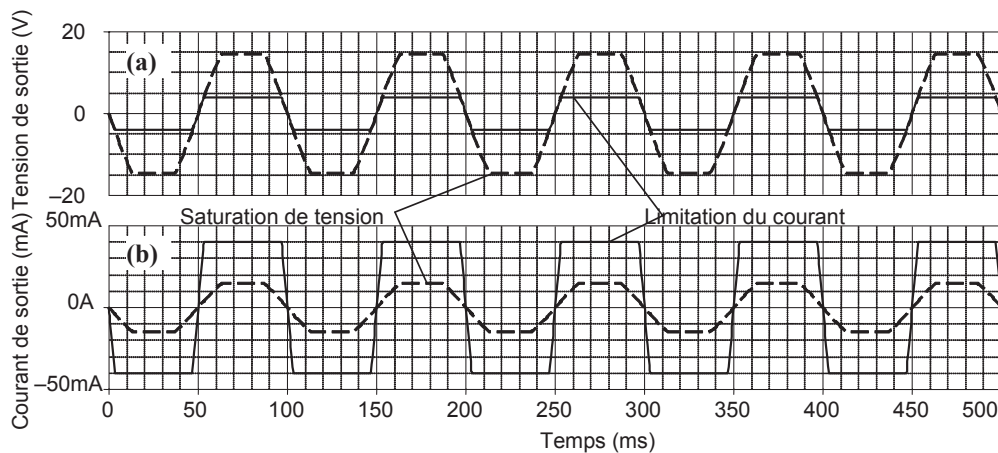


Fig. 21 – Limitation de courant de sortie d'un AOP.

#### 4.8 – Limitation du courant de sortie

Habituellement, les amplificateurs, ou plus généralement les quadripôles, sont caractérisés par leur impédance de sortie définie au sens du théorème de Thévenin par la relation :

$$Z_s = \left( \frac{v_s}{i_s} \right)_{e_g=0} \quad (\text{cf. } \S 4.4 \text{ page } 64).$$

Dans le cas des AOP, c'est plus souvent la limitation du courant de sortie qui caractérise le composant. Une illustration de cette propriété est représentée figure 20 où un amplificateur inverseur de gain 10, alimenté entre  $\pm 15$  V est soumis à une tension d'entrée d'amplitude 2 V. La figure 21 montre que si la résistance de charge  $R_u$  est suffisante, la tension de sortie est limitée par la saturation de l'AOP (Fig. 21.a) mais si la résistance de charge est trop faible, c'est le courant de sortie de l'AOP qui est limité (ici à environ 40 mA sur la figure 21.b) et la tension de sortie apparaît limitée à une valeur beaucoup plus faible que les tensions de saturation.

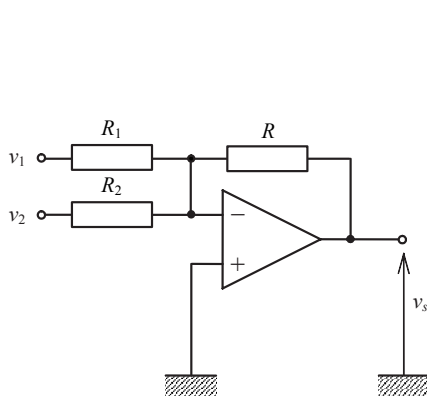


Fig. 22 – Sommateur.

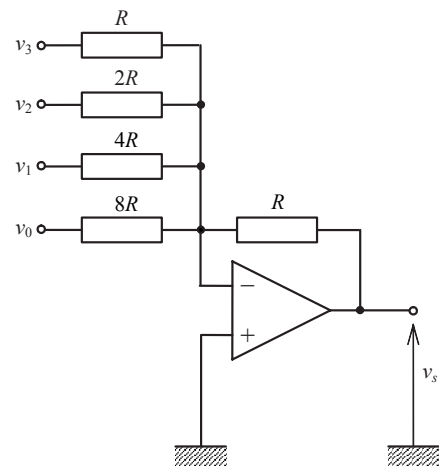


Fig. 23 – Convertisseur numérique-analogique.

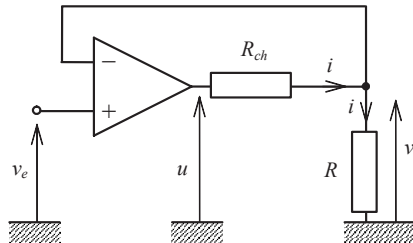


Fig. 24 – Convertisseur tension-courant.

## 5 – Quelques applications des amplificateurs opérationnels

### 5.1 – Sommateur

La figure 22 représente un circuit sommateur, dans le cas d'un AOP idéal, le courant dans la résistance  $R$  est la somme des courants dans  $R_1$  et  $R_2$  ce qui permet d'écrire :

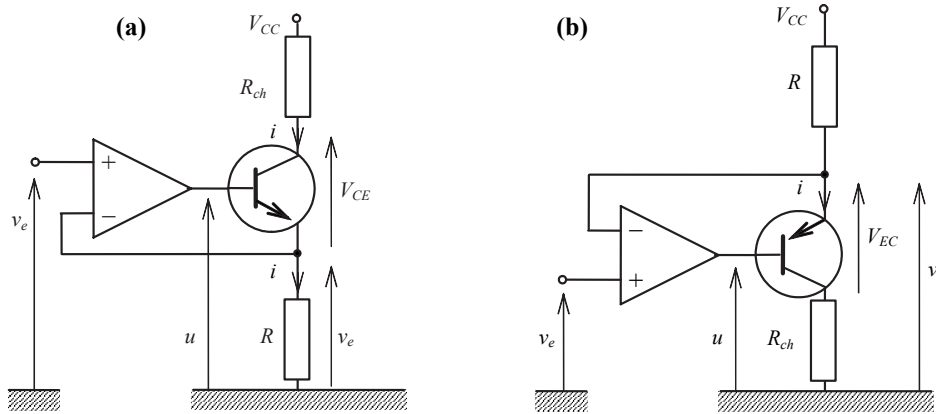
$$v_s = -\frac{R}{R_1}v_1 - \frac{R}{R_2}v_2.$$

Dans le cas où les résistances sont égales :  $R_1 = R_2 = R \Rightarrow v_s = -(v_1 + v_2)$ .

Ce montage peut se généraliser facilement à trois entrées ou plus.

## 6 – Convertisseur numérique-analogique

C'est un cas particulier du sommateur vu au paragraphe précédent, la tension de sortie s'exprime par (Fig. 23) :  $v_s = -\left(\frac{v_0}{8} + \frac{v_1}{4} + \frac{v_2}{2} + \frac{v_3}{1}\right)$ . La tension de sortie est proportionnelle au mot binaire d'entrée  $\{v_3, v_2, v_1, v_0\}$ .



**Fig. 25** – Convertisseur tension–courant avec gain en courant à charge flottante (a) et charge à la masse (b).

### 6.1 – Convertisseur tension–courant

La figure 24 représente un convertisseur tension–courant. Si l’AOP est idéal, la tension d’entrée  $v_e$  se retrouve aux bornes de  $R$  donc  $i = \frac{v_e}{R}$  comme il ne circule aucun courant dans l’entrée de l’AOP, le courant  $i$  traverse  $R_{ch}$  mais ne dépend pas de  $R_{ch}$ .

Dans le cas d’un AOP réel, le courant  $i$  est limité :

- d’une part par le courant maximal que peut délivrer l’AOP ( $i < i_{max} \approx 25$  mA),
- d’autre part par la tension de saturation de l’AOP, en effet la tension de sortie  $u$  est donnée par :  $u = (R_{ch} + R) i \Rightarrow i = \frac{u}{R_{ch} + R} \Rightarrow |i| < \frac{V_{sat}}{R_{ch} + R}$ .

Il est possible d’augmenter le courant du convertisseur en plaçant un transistor de gain en courant  $\beta \gg 1$  à la sortie de l’AOP comme le montre la figure 25.a, le courant  $i$  dans la résistance de charge  $R_{ch}$  est le courant de collecteur du transistor qui est très voisin du courant d’émetteur lui-même fixé par la tension d’entrée  $v_e$  et la résistance  $R$  :  $i = \frac{v_e}{R}$ , dans ce cas le courant demandé à l’AOP égal à  $\frac{i}{\beta} \ll i$  n’est en général plus limité par l’AOP.

Dans le cas où l’on souhaite que la résistance de charge  $R_{ch}$  soit connectée à la masse, on peut utiliser le montage représenté figure 25.b. Le courant  $i$  est fixé par la tension d’alimentation  $V_{CC}$ , la tension d’entrée  $v_e$  et la résistance  $R$  mais ne dépend pas de la résistance de charge  $R_{ch}$  :  $i = \frac{V_{CC} - v_e}{R}$ .

Dans le cas d’un AOP réel, il convient de vérifier que le courant de base du transistor reste inférieur au courant maximal que peut fournir l’AOP, que la tension collecteur–émetteur est supérieure à la tension de saturation du transistor et que la tension de sortie  $u$  de l’AOP reste inférieure à sa tension de saturation.

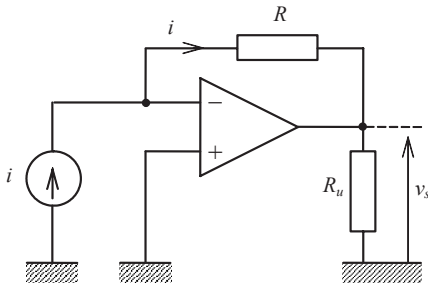


Fig. 26 – Convertisseur courant–tension.

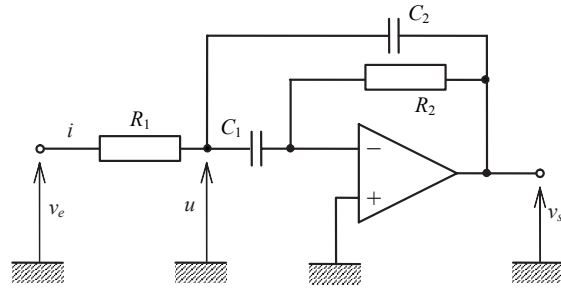


Fig. 27 – Filtre passe-bande.

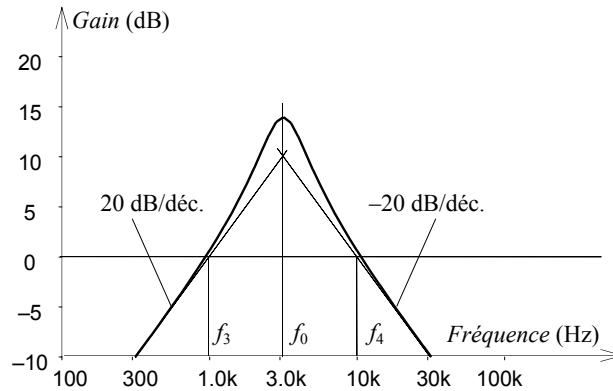


Fig. 28 – Fonction de transfert d'un filtre passe-bande.

## 6.2 – Convertisseur courant–tension

La figure 26 représente un convertisseur courant–tension. Si l'AOP est idéal, le courant  $i$  à convertir traverse la résistance de réaction  $R$ , comme les deux entrées de l'AOP sont pratiquement au même potentiel que la masse, la tension de sortie  $v_s$  est la même que la tension aux bornes de  $R$  :  $v_s = -R \cdot i$ , la tension de sortie est ainsi proportionnelle au courant d'entrée  $i$  indépendamment de la valeur de la résistance d'utilisation  $R_u$ . Le convertisseur ne fonctionne que si le courant de sortie reste inférieur au courant maximal que peut fournir l'AOP.

## 6.3 – Filtre passe-bande (montage inverseur)

La fonction de transfert du filtre passe-bande représenté sur la figure 27 s'exprime sous la forme suivante :

$$H(j\omega) = \frac{v_s}{v_e} = \frac{-jR_2C_1\omega}{1 + jR_1(C_1 + C_2)\omega - R_1C_1R_2C_2\omega^2} = \frac{-j\omega\tau_3}{1 + j(\tau_1 + \tau_4)\omega - \tau_1\tau_2\omega^2},$$

avec :  $\tau_1 = R_1C_1$ ,  $\tau_2 = R_2C_2$ ,  $\tau_3 = R_2C_1$ ,  $\tau_4 = R_1C_2$ , on supposera en outre que :  $\tau_1 < \tau_2$  et  $\tau_4 < \tau_3$ . Noter que  $\tau_1\tau_2 = \tau_3\tau_4$ .

On en déduit le module de la fonction de transfert :

$$|H| = \frac{\omega\tau_3}{\sqrt{1 + [(\tau_1 + \tau_4)^2 - 2\tau_1\tau_2] \omega^2 + \tau_1^2\tau_2^2\omega^4}},$$

$$\text{soit : } |H|_{dB} = 20 \log(\omega\tau_3) - 10 \log \left[ 1 + [(\tau_1 + \tau_4)^2 - 2\tau_1\tau_2] \omega^2 + \tau_1^2\tau_2^2\omega^4 \right],$$

On distingue deux comportements asymptotiques principaux :

$$|H| \underset{\omega \rightarrow 0}{\asymp} A_0 = 20 \log(\omega\tau_3) \quad (+20 \text{ dB/décade}),$$

$$|H| \underset{\omega \rightarrow \infty}{\asymp} A_\infty = -20 \log(\omega\tau_4) \quad (-20 \text{ dB/décade}).$$

$$\text{Ces deux asymptotes se coupent à : } \omega_0 = \frac{1}{\sqrt{\tau_1\tau_2}} = \frac{1}{\sqrt{\tau_3\tau_4}}.$$

Le maximum de la fonction de transfert a lieu pour  $\omega = \omega_0$  soit :

$$H(j\omega_0) = \frac{-\tau_3}{\tau_1\tau_4} \Rightarrow |H(\omega_0)| = 20 \log \left( \frac{\tau_3}{\tau_1\tau_4} \right) = 20 \log \left[ \frac{R_2C_1}{R_1(C_1 + C_2)} \right].$$

Noter que  $\omega_0$  est la valeur de  $\omega$  pour laquelle la partie réelle du dénominateur de la fonction de transfert s'annule,  $H(j\omega_0)$  est alors réelle et négative et le signe « - » traduit que les signaux d'entrée et de sortie sont en opposition de phase (ou déphasés de  $\pi$ ) à la fréquence  $\omega_0$ . Le module de la fonction de transfert est représentée sur la figure 28.

D'autres exemples d'application des AOP ont été traités au § 2 page 43, voir en particulier le filtre passe-bas du second ordre.

## 7 – Alimentation des AOP

### 7.1 – Alimentation, saturation et tension d'entrée limite

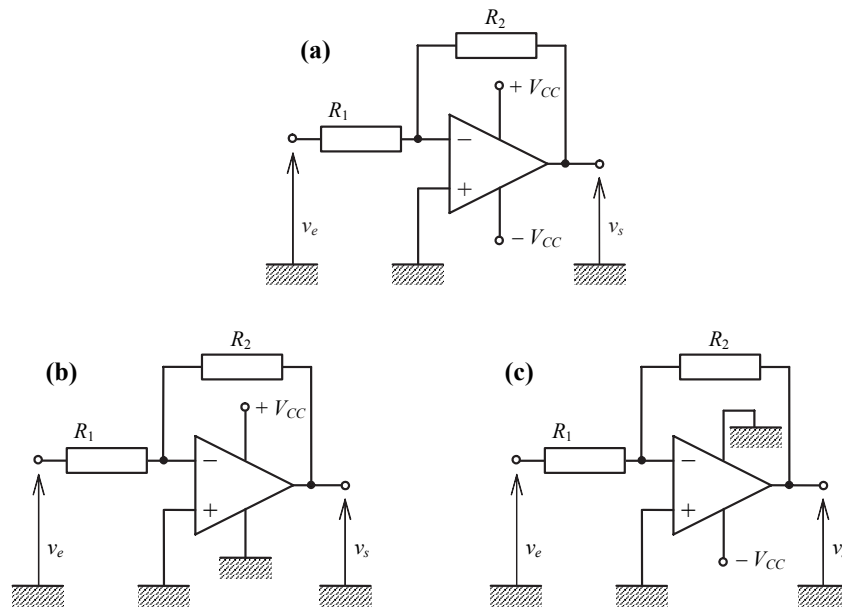
Dans toutes les applications présentées jusqu'ici, les AOP étaient supposés alimentés par deux sources de tension continues symétriques notées  $\pm V_{CC}$  dans ce document mais souvent appelées  $V_{CC+}$  et  $V_{CC-}$  ou encore  $V_{CC}$  et  $V_{EE}$  dans les spécifications des fabricants<sup>4</sup>. La plupart des AOP supportent une gamme étendue de valeurs (voir tableau I, page 104) et bien entendu, la valeur des tensions de saturation dépend directement de ces tensions d'alimentation de même que la valeur maximale des tensions admissibles à l'entrée aussi bien en mode commun qu'en mode différentiel. Lorsque les tensions d'alimentation deviennent faibles (de l'ordre de quelques volts), les gammes de tension admissibles en entrée et disponibles en sortie peuvent se trouver considérablement réduites c'est pourquoi les nouvelles générations d'AOP sont conçues pour étendre ces gammes de tension jusqu'à la valeur des tensions d'alimentation et sont appelées pour cette raison *rail-to-rail op-amp*. Cette propriété peut concerner soit l'entrée (*rail-to-rail input swing*), soit la sortie (*rail-to-rail output swing*), soit toutes les deux. Il convient de consulter les spécifications du fabricant pour vérifier s'il est compatible avec les conditions d'utilisation requises.

### 7.2 – AOP alimentés par une seule tension

Dans beaucoup de circonstances l'utilisateur ne dispose pas de deux tensions symétriques pour alimenter les AOP de son circuit. Heureusement, il est possible d'utiliser la plupart

<sup>4</sup>Les tensions d'alimentation sont quelquefois appelées *rails* dans les documents techniques.





**Fig. 29** – Amplificateur inverseur avec alimentation symétrique (a), alimentation simple positive (b) et alimentation simple négative (c).

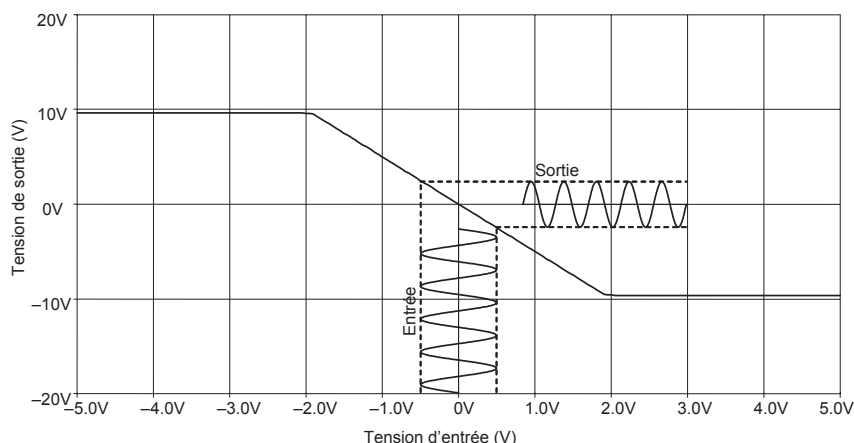
des AOP avec une seule tension d'alimentation<sup>5</sup> si l'on respecte quelques règles simples et si l'on est conscient des restrictions imposées par cet usage particulier.

Pour illustrer ce propos, prenons le cas d'un amplificateur inverseur de gain 5 (Fig. 29). Dans le cas où l'AOP est alimenté par une tension symétrique (par exemple  $\pm 10$  V, Fig. 29.a) la caractéristique de transfert représentée sur la figure 30 possède un centre de symétrie à l'origine ce qui permet d'appliquer à l'entrée et d'obtenir en sortie des tensions aussi bien positives que négatives, dans ce cas le potentiel de la masse virtuelle de l'AOP correspond à la masse commune des deux alimentations et la dynamique maximale en entrée (voisine de  $2V_{CC}$ ) est obtenue lorsque le signal d'entrée est centré à zéro (Fig. 30).

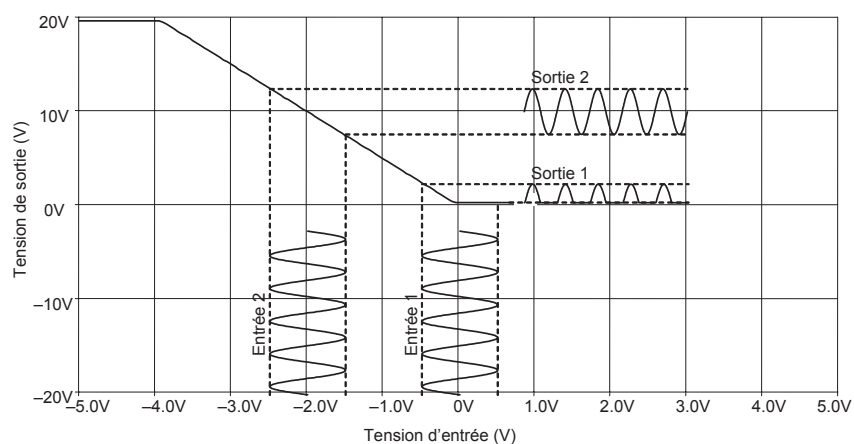
Lorsque l'AOP est alimenté par une seule tension positive  $V_{CC}$ , celle-ci est appliquée à la borne  $V_{CC+}$  et la borne  $V_{CC-}$  est branchée à la masse du circuit (par exemple 20 V, Fig. 29.b). Dans cette configuration, les tensions de saturation<sup>6</sup> sont respectivement légèrement supérieure à zéro pour  $V_{sat-}$  et légèrement inférieure à  $V_{CC}$  pour  $V_{sat+}$ , la caractéristique de transfert se trouve donc toute entière dans le deuxième quadrant et son centre de symétrie n'est plus à l'origine. Si l'on applique à l'entrée de l'inverseur une tension centrée à zéro, seule la partie négative du signal sera amplifiée et l'AOP sera saturé pour les composantes positives (Fig. 31, trace 1). Pour que l'amplificateur puisse fonctionner correctement il faut polariser l'AOP c'est-à-dire appliquer sur l'une de ses entrées une composante continue qui amènera le point de repos au centre de symétrie de la caractéristique. Sur l'exemple de la figure 31, le gain de l'inverseur est de 5 et l'AOP est alimenté entre 0 et 20 V, de ce fait le centre de symétrie a pour coordonnées  $(-2$  V,  $+10$  V) pour bénéficier de la dynamique maximale, on peut ajouter au signal alternatif d'entrée

<sup>5</sup>Certains AOP sont spécifiquement conçus pour être utilisés avec une seule tension d'alimentation.

<sup>6</sup>Les tensions de saturation  $V_{sat-}$  et  $V_{sat+}$  sont quelquefois appelées  $V_{OL}$  et  $V_{OH}$  dans les documents techniques.



**Fig. 30** – Caractéristiques de transfert d'un amplificateur inverseur avec alimentation symétrique.



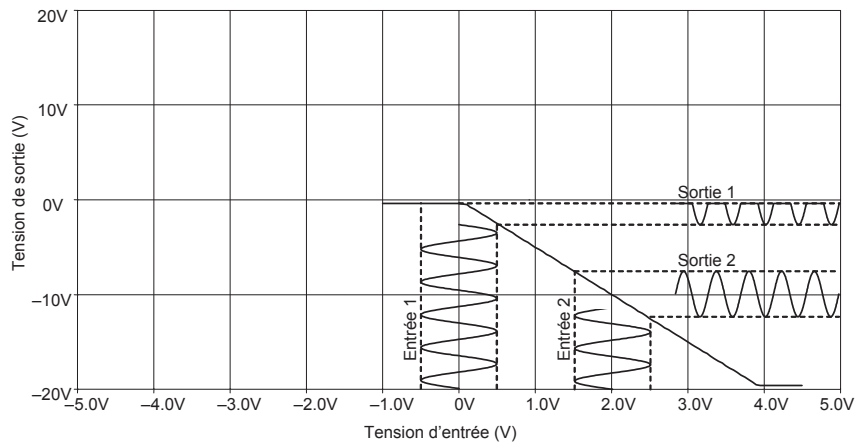
**Fig. 31** – Caractéristiques de transfert d'un amplificateur inverseur avec alimentation simple positive.

une composante continue de  $-2$  V, le signal de sortie sera alors centré sur une composante continue de  $+10$  V (Fig. 31, trace 2).

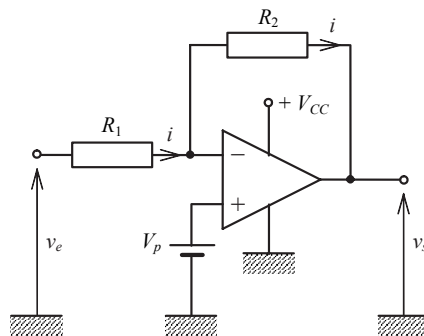
Il est également possible d'alimenter un AOP par une seule tension négative, celle-ci est alors appliquée à la borne  $V_{CC-}$  et la borne  $V_{CC+}$  est branchée à la masse du circuit (Fig. 29.c). Le lecteur est invité à commenter les résultats représentés sur la figure 32.

### 7.3 – Polarisation des AOP alimentés par une seule tension

Dans les exemples traités au paragraphe précédent, l'entrée  $e+$  de l'AOP était branchée à la masse du circuit et la compensation de l'offset introduit par la dissymétrie des alimentations était réalisée par une composante continue superposée au signal d'entrée ce qui n'est pas toujours possible. Une autre solution consiste à polariser l'AOP par une composante continue appliquée sur l'entrée  $e+$  de l'AOP comme le montre la figure 33 ce qui revient à fixer la masse virtuelle de l'AOP à un potentiel différent de celui du reste du circuit.



**Fig. 32** – Caractéristiques de transfert d'un amplificateur inverseur avec alimentation simple négative.



**Fig. 33** – Amplificateur inverseur polarisé.

Le calcul de la tension de polarisation  $V_p$  repose sur deux hypothèses :

- la tension d'entrée est centrée à zéro,
- la tension de sortie doit avoir la dynamique maximale.

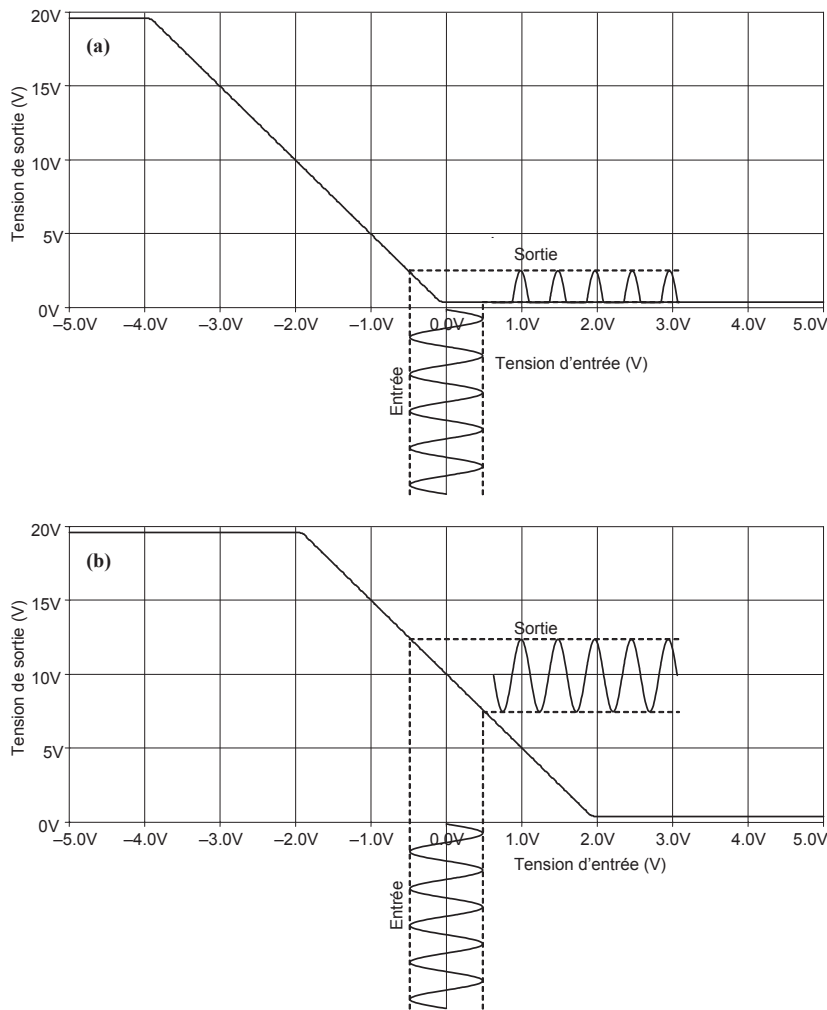
Du fait que la tension de sortie ne peut ni être négative ni supérieure à  $V_{CC}$ , la dynamique maximale en sortie est obtenue lorsque le point de polarisation est à mi-chemin entre ces deux extrêmes, on doit donc avoir  $v_s = \frac{V_{CC}}{2}$  lorsque  $v_e = 0$ . Si par ailleurs on admet que l'AOP est idéal, on peut écrire :

$$i = \frac{v_e - V_p}{R_1} = \frac{V_p - v_s}{R_2} \quad \Rightarrow \quad v_s = \frac{-R_2}{R_1} v_e + \left(1 + \frac{R_2}{R_1}\right) V_p.$$

Le gain dynamique de l'ampli inverseur reste donc égal à  $G = \frac{v_s}{v_e} = \frac{-R_2}{R_1}$  et pour que

$v_s = \frac{V_{CC}}{2}$  lorsque  $v_e = 0$ , il faut que :

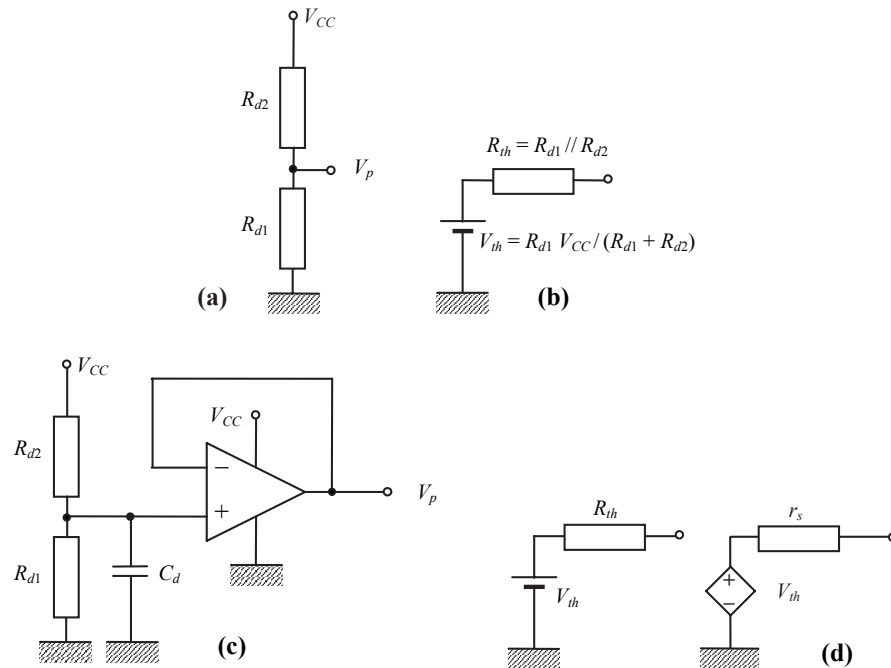
$$\frac{V_{CC}}{2} = \left(1 + \frac{R_2}{R_1}\right) V_p \quad \Rightarrow \quad V_p = \frac{R_1}{R_1 + R_2} \frac{V_{CC}}{2} = \frac{1}{1 + |G|} \frac{V_{CC}}{2}.$$



**Fig. 34** – Caractéristiques de transfert d'un amplificateur inverseur avec alimentation simple : non polarisé (a) et polarisé pour la dynamique maximale (b).

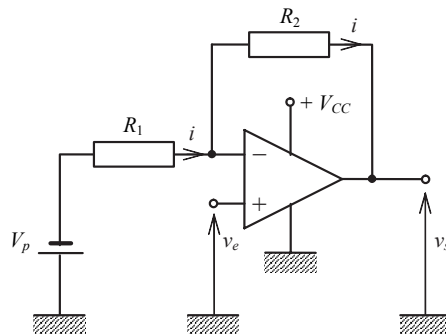
Si on reprend l'exemple du paragraphe précédent ( $V_{CC} = 5 \text{ V}$  et  $|G| = 5$ ) on trouve  $V_p = 1,67 \text{ V}$ . La figure 34 montre la caractéristique de transfert de l'amplificateur inverseur lorsque l'AOP n'est pas polarisé (Fig. 34.a) et lorsqu'il est polarisé pour la dynamique maximale (Fig. 34.b).

Pour les applications ne nécessitant pas de performances particulières, la tension de polarisation  $V_p$  est obtenue par un simple pont diviseur (Fig. 35.a), dont l'inconvénient est d'avoir une impédance interne relativement élevée (Fig. 35.b). On peut remédier à cet inconvénient par une solution plus élaborée telle que celle de la figure 35.c où l'impédance interne de la source est fixée par l'impédance de sortie beaucoup plus faible d'un AOP monté en suiveur (Fig. 35.d). Le choix des résistances du pont diviseur résulte souvent d'un compromis entre une faible dissipation de puissance (fortes résistances) et un faible bruit (faibles résistances), des valeurs de l'ordre de la centaine de  $\text{k}\Omega$  sont couramment utilisées. Le condensateur  $C_d$  permet le découplage de la tension d'alimentation en court-circuitant les parasites provenant de l'alimentation.



**Fig. 35** – Réalisation de la tension de polarisation : par un simple pont diviseur (a) et son équivalent de Thévenin (b) avec un AOP monté en suiveur (c) et son équivalent de Thévenin (d).

#### 7.4 – Amplificateur non inverseur



**Fig. 36** – Amplificateur non inverseur polarisé.

La figure 36 représente un ampli non inverseur alimenté par une tension simple positive. À titre d'exercice le lecteur pourra démontrer avec les hypothèses du paragraphe précédent que la tension de polarisation  $V_p$  nécessaire pour obtenir la dynamique maximale en sortie vaut dans ce cas :  $V_p = \frac{-R_1}{R_2} \frac{V_{CC}}{2}$ ,

le gain dynamique restant par ailleurs égal à :  $G = \frac{v_s}{v_e} = 1 + \frac{R_2}{R_1}$ .

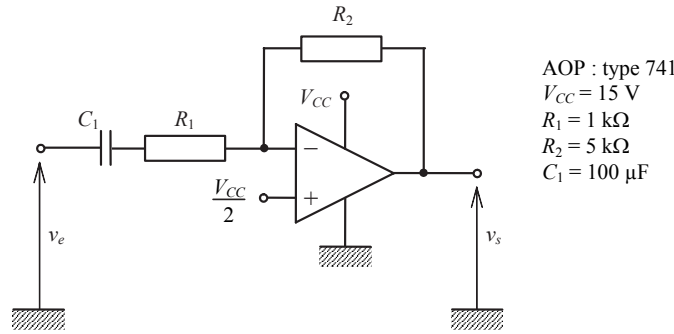


Fig. 37 – Ampli inverseur polarisé à demi-alimentation.

### 7.5 – Polarisation à demi-alimentation

Lorsque le gain de l'ampli bouclé est très grand ou lorsque l'AOP est alimenté sous une faible tension, il peut devenir problématique d'ajuster la tension de polarisation à la valeur optimale d'où un risque important de saturation de l'AOP. Dans ce cas on fixe la tension de polarisation de l'AOP à  $V_p = \frac{V_{CC}}{2}$  mais pour éviter la saturation qui résulterait d'un couplage direct il est nécessaire d'insérer un condensateur de liaison entre la source et l'entrée de l'AOP (Fig. 37). L'ensemble  $\{R_1, C_1\}$  constitue alors un filtre passe-haut et la valeur des composants doit être choisie pour que l'amplificateur fonctionne correctement dans la gamme de fréquence utile. Le gain de l'ampli vaut en effet :

$$G = \frac{-R_2}{Z_1} \quad \text{avec} \quad Z_1 = R_1 + \frac{1}{jC_1\omega} \quad \text{d'où} \quad G = \frac{-jR_2C_1\omega}{1 + jR_1C_1\omega}.$$

Pour que le gain de l'ampli soit égal à la valeur nominale  $G = \frac{-R_2}{R_1}$  il faut que :

$$|jR_1C_1\omega| \gg 1 \quad \Rightarrow \quad C_1 \gg \frac{1}{R_1\omega_{min}}.$$

La figure 38 montre les réponses fréquentielle et temporelle de l'ampli de la figure 37. Noter sur la figure 38.a la fréquence de coupure basse due à la capacité de liaison et la fréquence de coupure haute due à la bande passante de l'AOP. Sur la figure 38.b, noter la composante continue égale à  $\frac{V_{CC}}{2} = 7,5 \text{ V}$  qui s'ajoute au signal de sortie.

Le lecteur intéressé trouvera une analyse détaillée du fonctionnement des AOP alimentés par une seule tension ainsi que de nombreux exemples d'applications dans les notes d'application publiée par la société Texas Instrument<sup>7</sup>.

<sup>7</sup>Bruce Carter, *A Single-Supply Op-Amp Circuit Collection*, Application Report SLOA058, Texas Instrument, (Nov. 2000). Disponible sur le site :

<http://instruct1.cit.cornell.edu/courses/bionb440/datasheets/SingleSupply.pdf>.

Ron Mancini, *Op-Amps for Everyone*, Advanced Analog Products SLOD006A, Texas Instrument, (Sept. 2001). Disponible sur le site : [http://www.ee.nmt.edu/thomas/data\\_sheets/op-amp-slod006a.pdf](http://www.ee.nmt.edu/thomas/data_sheets/op-amp-slod006a.pdf).

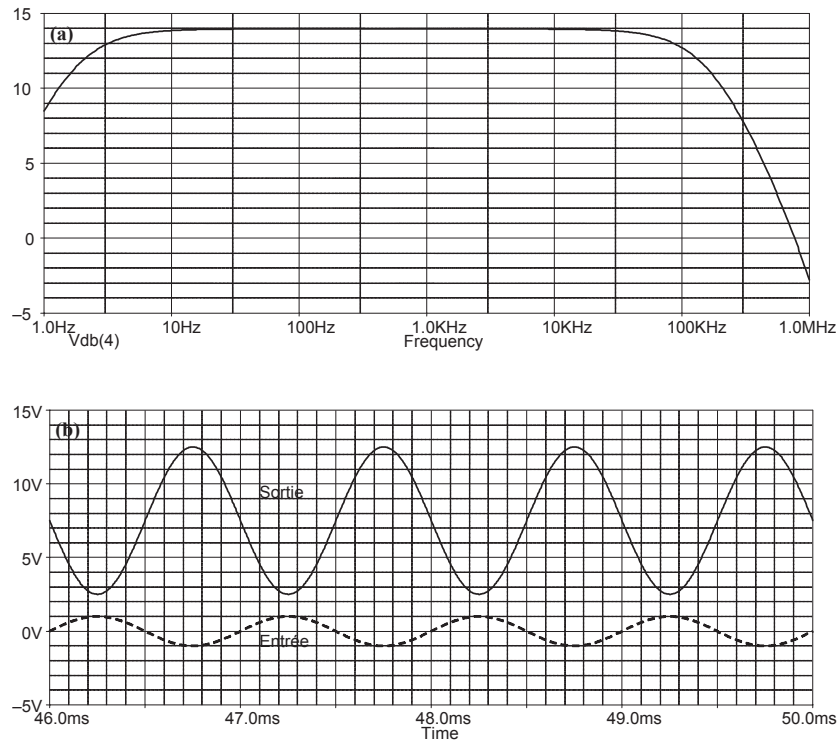


Fig. 38 – Réponses fréquentielle (a) et temporelle (b) de l'ampli de la figure 37.

## 8 – Caractéristiques des AOP

Le tableau I page 104 donne les caractéristiques de quelques AOP couramment utilisés : le LM 741, l'OP 27, le LM 324 (quadruple AOP) et le TL 081 (entrées à JFET).

Les valeurs de ce tableau sont données à titre indicatif, elles peuvent varier sensiblement d'un constructeur à l'autre et dépendent beaucoup des conditions de mesure. Pour une analyse plus détaillée des performances, consulter les documents techniques des fabricants (*data sheets*).

Tableau I – Caractéristiques de quelques AOP couramment utilisés.

Type AOP	Symb.	LM 741	OP 27	LM 324	TL 081	Unité
Type d'entrée		BJT	BJT	BJT	JFET	
Impédance d'entrée	$r_i$	$2 \cdot 10^6$	$4 \cdot 10^6$		$10^{12}$	$\Omega$
Gain B.F. en boucle ouverte	$A_0$	$10^5$	$15 \cdot 10^5$	$10^5$	$2 \cdot 10^5$	
Impédance de sortie	$r_s$	75	70			$\Omega$
Tension de décalage	$v_d$	0,1 à 5	< 0,1	2	3 à 6	mV
Courant de polarisation	$I_p$	1 à 500	15 à 80	20	0,03 à 0,2	nA
Courant maximal de sortie	$i_{max}$	20 à 25	30	20 à 30	20 à 25	mA
Facteur de réjection du mode commun	$CMRR$	90	120	80	86	dB
Produit gain $\times$ bande passante	$f_T$	1	8	1,2	3	MHz
Alimentation	$\pm V_{CC}$	$\pm 10$ à $\pm 30$	$\pm 4$ à $\pm 22$	$\pm 3$ à $\pm 16^*$	$\pm 5$ à $\pm 18$	V
Vitesse maxi de balayage en sortie	$S_R$	0,5	2,8	0,5	13	V/ $\mu$ s
Temps de montée	$t_r$	0,3	0,1	0,3	0,1	$\mu$ s
Suroscillation	$o_s$	5		25	10	%
Consommation à vide		1,4	3	0,2	1,4	mA

\* Simple ou double alimentation



# Chapitre 5

## Génération de signaux

### 1 – Notion générale de système bouclé

On est souvent amené à reboucler la sortie d'un circuit électronique sur son entrée pour obtenir la réponse souhaitée. C'est le cas des filtres actifs, de l'amplificateur opérationnel, des amplificateurs de puissance, des alimentations, etc. et c'est également le cas des oscillateurs dont le comportement peut être analysé à partir de la notion de système bouclé.

#### 1.1 – Schéma de base

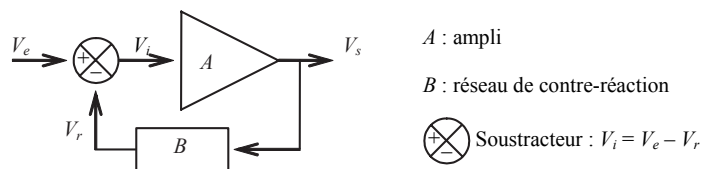


Fig. 1 – Schéma général d'un système bouclé.

Sur le schéma général d'un système bouclé représenté sur la figure 1, la fonction de transfert en boucle fermée résulte des relations suivantes :

$$\left. \begin{array}{l} V_r = BV_s \\ V_i = V_e - V_r = V_e - BV_s \\ V_s = AV_i \\ = A(V_e - V_r) = A(V_e - BV_s) \end{array} \right\} \Rightarrow V_s = \frac{A}{1 + AB} V_e \Rightarrow G = \frac{A}{1 + AB}.$$

Bien que les variables soient identifiées par la lettre «  $V$  », il ne s'agit pas nécessairement de tensions (cf. § 1.3 page 107 par exemple).  $A$  est le gain de l'amplificateur, le produit  $T = AB$  est appelé « gain en boucle ouverte » et  $G$  « gain en boucle fermée ». En régime harmonique  $V_e = \hat{V}_e \sin \omega t$ , les grandeurs  $A$  et  $B$  sont généralement des fonctions de la pulsation  $\omega$ .

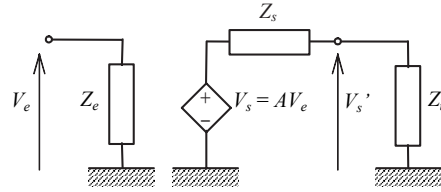


Fig. 2 – Étages en cascade.

## 1.2 – Problème des impédances pour les fonctions de transfert

Les relations  $V_s = AV_i$  et  $V_r = BV_s$  sont calculées dans le **système bouclé**. Elles peuvent être différentes de celles de l'amplificateur seul ou du réseau de contre-réaction seul à cause des impédances d'entrée et de sortie.

Prenons le cas des deux éléments en cascade de la figure 2 où  $Z_s$  est l'impédance de sortie du premier étage et où  $Z_u$  représente l'impédance d'entrée du second étage.

- si  $Z_u = \infty \Rightarrow V_s' = V_s$  où  $V_s$  est la tension de sortie à vide,
- si  $Z_u \neq \infty \Rightarrow V_s' = \frac{Z_u V_s}{Z_u + Z_s} = \frac{Z_u AV_e}{Z_u + Z_s} = A'V_e$ .

Il faut alors utiliser la relation :  $V_s' = A'V_e$  avec  $A' = \frac{Z_u A}{Z_u + Z_s}$ . Lors de la mise en cascade de deux étages, la fonction de transfert de la cascade ne conduit au produit des fonctions de transfert que dans le cas où  $|Z_s| \ll |Z_u|$ . L'impédance d'entrée du second étage doit être beaucoup plus grande que l'impédance de sortie de l'étage précédent.

## 1.3 – Exemples de systèmes bouclés

### – Amplificateur non inverseur à AOP

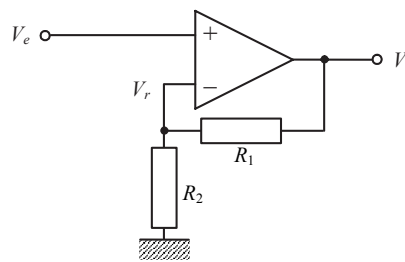


Fig. 3 – Amplificateur non inverseur, l'amplificateur et le soustracteur sont confondus.

Dans l'exemple de la figure 3, les fonctions amplificateur et soustracteur sont confondus.

La contre-réaction  $B$  s'écrit simplement :  $B = \frac{V_r}{V_s} = \frac{R_2}{R_1 + R_2}$ .

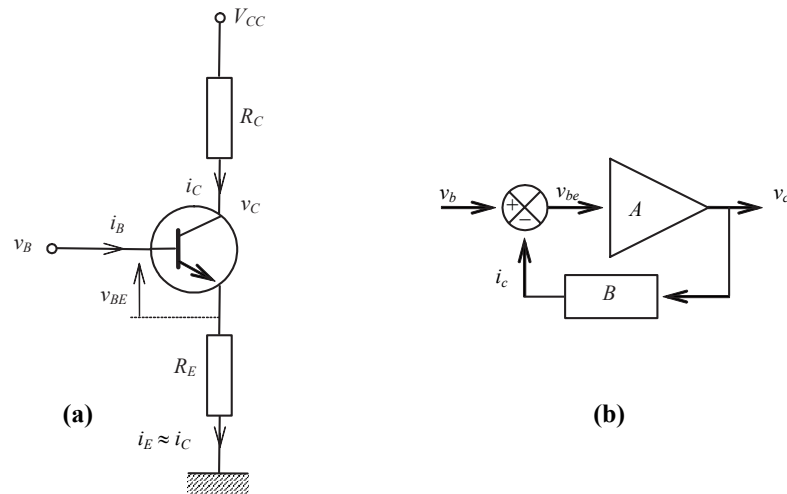


Fig. 4 – Ampli. à BJT émetteur commun : montage (a) et système bouclé équivalent (b).

#### – Amplificateur à transistor émetteur commun et réaction d'émetteur

Le fonctionnement et les lois de comportement du transistor bipolaire sont décrits au chapitre 7. La décomposition en trois éléments distincts n'est pas toujours immédiate, c'est le cas en particulier de l'amplificateur à transistor en émetteur commun représenté sur la figure 4.a dans lequel le courant d'émetteur assure la contre-réaction (contre-réaction en courant). Pour déterminer les caractéristiques du système bouclé on identifie les variables petits signaux qui interviennent dans le circuit comme le montre la figure 4.b. Les courants et les tensions (continus et dynamiques) sont liés par les relations suivantes :

$$v_{BE} = v_B - R_E i_E \approx v_B - R_E i_C \quad \text{si } i_B \ll i_C \quad (1)$$

$$i_C = \frac{V_{CC} - v_C}{R_C} \quad (2)$$

$$i_C = \beta i_B \quad (3)$$

De sorte que les petites variations de ces grandeurs obéissent aux relations :

$$v_{be} = v_b - R_E i_c \quad (4)$$

$$i_c = \frac{-v_c}{R_C} \quad (5)$$

Auxquelles s'ajoutent les lois de comportement du transistor :

$$i_c = h_{21} i_b \quad (6)$$

$$v_{be} = h_{11} i_b \quad (7)$$

La relation (5) résulte de la relation (2) en rappelant que la tension  $V_{CC}$  (constante) n'a pas de variation.

Il est possible à présent d'identifier les différentes parties du système bouclé en comparant les schémas des figures 1 et 4.b :

$$V_i \mapsto v_{be}, \quad V_e \mapsto v_b, \quad V_r \mapsto i_c, \quad V_s \mapsto v_c,$$

$$V_i = V_e - BV_s \mapsto v_{be} = v_b - R_E i_c = v_b + \frac{R_E}{R_C} v_c,$$

$$\text{d'où : } B = \frac{-R_E}{R_C}.$$

$$V_s = AV_i \mapsto v_c = -R_C i_c = -R_C h_{21} i_b = \frac{-h_{21} R_C}{h_{11}} v_{be},$$

$$\text{d'où : } A = \frac{-h_{21} R_C}{h_{11}} \approx \frac{-\beta R_C}{h_{11}}.$$

$A$  représente le gain du montage sans contre-réaction. Le gain  $G$  en boucle fermée s'écrit ici :

$$G = \frac{A}{1 + AB} = \frac{-\beta R_C}{h_{11} + \beta R_E}. \text{ Lorsque } \beta R_E \gg h_{11} \Rightarrow G \approx \frac{-R_C}{R_E}.$$

## 2 – Propriétés des systèmes bouclés

### 2.1 – Cas où $|A|$ est très grand

Le gain en boucle fermée devient alors :  $G = \frac{A}{1 + AB} \xrightarrow{|AB| \gg 1} \frac{1}{B}$ . Le gain du système bouclé ne dépend plus que du réseau de contre-réaction, c'est le cas de l'AOP par exemple (voir aussi le cas du transistor ci-dessus).

### 2.2 – Stabilisation du gain en tension

Si le gain  $A$  varie, le gain en boucle fermée  $G$  varie également. On définit la sensibilité de  $G$  par rapport à  $A$  par :  $s = \frac{dG}{dA} = \frac{1}{(1 + AB)^2}$ .

La variation relative de  $G$  s'écrit par conséquent :

$$\frac{dG}{G} = s \frac{dA}{A} = \frac{1}{(1 + AB)^2} \frac{dA}{A/(1 + AB)} = \frac{1}{1 + AB} \frac{dA}{A} \stackrel{|AB| \gg 1}{\approx} \frac{1}{AB} \frac{dA}{A}.$$

Si  $A$  varie, la variation relative du gain en boucle fermée est égale à celle de l'amplificateur divisée par le gain en boucle ouverte si celui-ci est grand ( $|AB| \gg 1$ ).

### 2.3 – Diminution de l'impédance de sortie

Lorsque l'amplificateur présente une impédance de sortie  $Z_s$ , les relations établies au § 1.1 page 105 sont modifiées de la façon suivante :

$$\left. \begin{array}{l} V_r = BV_s \\ V_i = V_e - BV_s \\ V_s = AV_i - Z_s I_s \\ \quad = AV_e - ABV_s - Z_s I_s \end{array} \right\} \Rightarrow V_s = \frac{A}{1 + AB} V_e - \frac{Z_s}{1 + AB} I_s.$$

Par application du théorème de Thévenin, la sortie du montage est équivalente à un générateur de f.e.m. :  $V_{th} = \frac{AV_e}{1 + AB}$  (gain à vide :  $A/(1 + AB)$ ) en série avec une

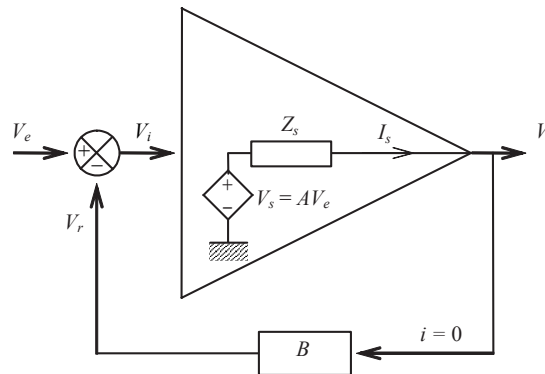


Fig. 5 – Calcul de l'impédance de sortie d'un système bouclé.

impédance équivalente :  $Z_{th} = \frac{Z_s}{1 + AB} \stackrel{|AB| \gg 1}{\approx} \frac{Z_s}{AB}$ , cette expression montre que si  $|AB| \gg 1$ , l'impédance de sortie de l'amplificateur est divisée par le gain en boucle ouverte. Cette propriété intéressante est fréquemment utilisée pour réduire l'impédance de sortie des alimentations ou des amplificateurs.

## 2.4 – Augmentation de la bande passante

Très souvent, l'amplificateur se comporte comme un filtre passe-bas du premier ordre, c'est le cas notamment de la plupart des AOP dont le gain s'écrit :

$A(j\omega) = \frac{A_0}{1 + j\omega/\omega_0}$  où  $\omega_0$  est la fréquence de coupure du filtre. En admettant que la contre-réaction est constante ( $B = \text{constante}$ ), le gain en boucle fermée s'écrit :

$$G(j\omega) = \frac{A}{1 + AB} = \frac{A_0/(1 + j\omega/\omega_0)}{1 + A_0B/(1 + j\omega/\omega_0)} = \frac{A_0}{1 + A_0B + j\omega/\omega_0} = \frac{A_0/(1 + A_0B)}{1 + (j\omega/\omega_0)/(1 + A_0B)}$$

Le gain en boucle fermée peut alors se mettre sous la forme :

$$G(j\omega) = \frac{G_0}{1 + j\omega/\omega_c} \quad \text{avec} \quad G_0 = \frac{A_0}{1 + A_0B} \quad \text{et} \quad \omega_c = \omega_0(1 + A_0B) \stackrel{|A_0B| \gg 1}{\approx} A_0B\omega_0.$$

Cette expression montre que le système en boucle fermée se comporte également comme un filtre passe-bas du premier ordre avec une bande passante beaucoup plus grande puisqu'elle est égale à celle de l'amplificateur multipliée par le gain en boucle ouverte lorsqu'il est beaucoup plus grand que l'unité. De cette relation, on peut démontrer une propriété importante des systèmes bouclés du premier ordre :

$$G_0\omega_c = \frac{A_0}{1 + A_0B}\omega_0(1 + A_0B) = A_0\omega_0.$$

Le produit du gain par la bande passante est constant. Une autre démonstration de cette propriété a été établie au § 4.7 page 90.

## 2.5 – Diminution de la distorsion

Pour évaluer l'effet de la contre-réaction sur la distorsion, prenons l'exemple d'un amplificateur introduisant une non linéarité du second degré de la forme :  $V_s = AV_i + \alpha V_i^2$  avec  $\alpha V_i \ll A$ . Le terme  $\alpha/A$  donne une estimation du taux de distorsion. Que devient-il lorsque le système est bouclé ? Pour calculer le nouveau taux de distorsion il faut déterminer la relations  $V_s = f(V_e)$  en reprenant le calcul du § 1.1 page 105.

$$\left. \begin{aligned} V_i &= V_e - BV_s \\ V_s &= AV_i + \alpha V_i^2 = A(V_e - BV_s) + \alpha (V_e - BV_s)^2 \end{aligned} \right\} \quad (8)$$

On cherche à présent  $V_s$  sous forme d'un développement limité de  $V_e$  à l'ordre 2 :

$$V_s = GV_e + \beta V_e^2 \quad (9)$$

En reportant l'expression (9) de  $V_s$  dans la seconde relation (8) et en ne gardant que les termes du second degré on obtient :

$$\left. \begin{aligned} V_s &= A [V_e - B (GV_e + \beta V_e^2)] + \alpha [V_e^2 - 2BV_e (GV_e + \beta V_e^2) + B^2 G^2 V_e^2] \\ V_s &= A(1 - BG) V_e + [-A\beta B + \alpha(1 - 2BG) + \alpha B^2 G^2] V_e^2 \end{aligned} \right\} \quad (10)$$

En identifiant terme à terme les relations (9) et (10) on obtient :

$$\left. \begin{aligned} G &= A(1 - BG) \\ \beta &= -A\beta B + \alpha(1 - 2BG) + \alpha B^2 G^2 \end{aligned} \right\} \quad (11)$$

À partir desquelles on peut tirer l'expression des coefficients  $G$  et  $\beta$  :

$$\left. \begin{aligned} G &= A/(1 + AB) \\ \beta &= \alpha/(1 + AB)^3 \end{aligned} \right\} \quad (12)$$

Le taux de distorsion du système bouclé est exprimé par le rapport  $\beta/G$  qui s'écrit :

$$\frac{\beta}{G} = \frac{\alpha/A}{(1 + AB)^2} \stackrel{|AB| \gg 1}{\approx} \frac{\alpha/A}{(AB)^2}.$$

Le taux de distorsion de l'ampli est divisé par le carré du gain en boucle ouverte.

## 3 – Stabilité d'un système bouclé

### 3.1 – Stabilité

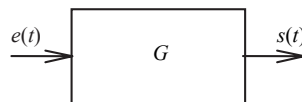


Fig. 6 – Système linéaire.

Par définition un système est stable si et seulement si tous les signaux d'entrée bornés (tensions ou courants) produisent en sortie des signaux bornés.

Un système linéaire tel que celui de la figure 6 sera stable si tous les pôles de sa fonction de transfert  $G(p) = \frac{s(p)}{e(p)}$  avec  $p = j\omega$  en régime harmonique, ont une partie réelle strictement négative. Autrement dit, les pôles doivent se trouver dans le demi-plan du plan des  $p$  situé à gauche de l'axe des imaginaires, axe exclu.

Dans le cas d'un système bouclé, le gain en boucle fermé  $G = \frac{A}{1 + AB}$  devient infini si le gain en boucle ouverte  $AB = -1$ . Au lieu de rechercher les pôles de  $G(p)$ , on peut étudier graphiquement le comportement du gain en boucle ouverte  $T(j\omega) = A(j\omega)B(j\omega)$ .

### 3.2 – Critère de Nyquist

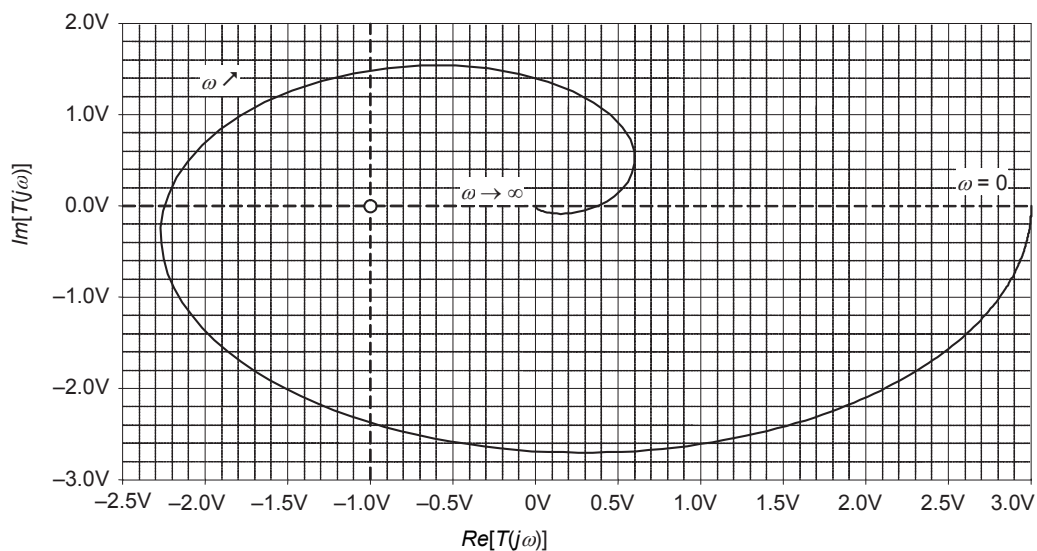


Fig. 7 – Critère de Nyquist : cas d'un système instable.

En fonction de la pulsation  $\omega$ , le gain en boucle fermée s'écrit :

$$G(j\omega) = \frac{A(j\omega)}{1 + A(j\omega)B(j\omega)} = \frac{A(j\omega)}{1 + T(j\omega)}.$$

On trace alors  $T(j\omega)$  dans le plan des  $\omega$  pour  $\omega$  variant de  $-\infty$  à  $+\infty$ . Si tous les coefficients de  $T(j\omega)$  sont réels :  $T^*(j\omega) = -T(-j\omega)$ , il suffit de faire le tracé pour  $\omega$  variant de 0 à  $+\infty$ .

**Critère de Nyquist :** on montre que le système sera inconditionnellement stable si le nombre d'encerclements du pôle  $(-1, j0)$  dans le sens horaire est nul.

### 3.3 – Critère de Black, marge de phase

Le critère de Black consiste à déterminer la marge de phase de la fonction de transfert en boucle ouverte lorsque son module est égal à l'unité.

Le système sera stable si, pour  $|T(j\omega)| = 1$ , il existe une marge de phase d'au moins  $45^\circ$ , c'est-à-dire si  $\angle T(j\omega) \notin [-135^\circ, -225^\circ]$ . Cet intervalle est équivalent à  $[-180^\circ, \pm 45^\circ]$ . En

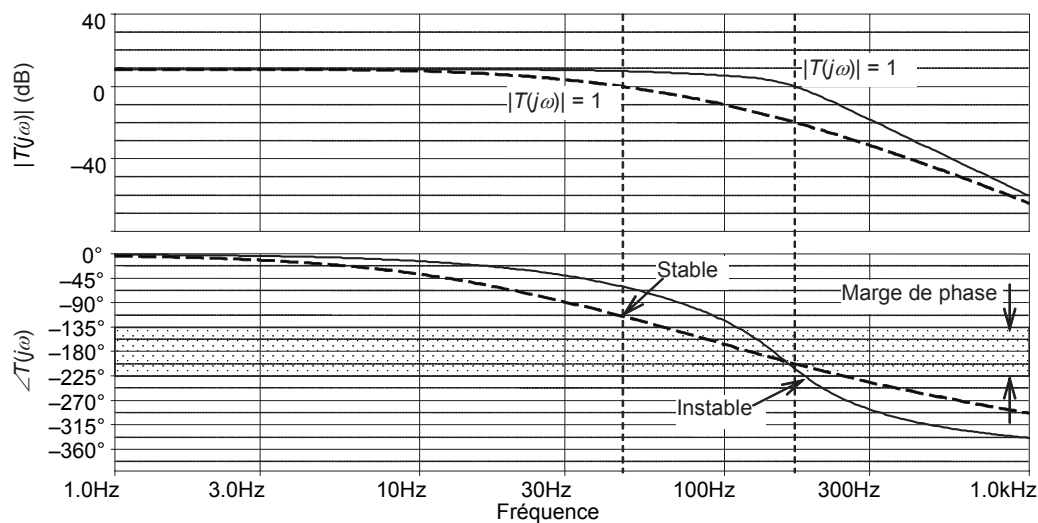


Fig. 8 – Critère de Black : marge de phase.

général on trace  $|T(j\omega)|$  et  $\angle T(j\omega)$  en coordonnées logarithmiques dans un diagramme de Bode (Fig. 8).

### 3.4 – Problèmes liés à l'environnement du système bouclé

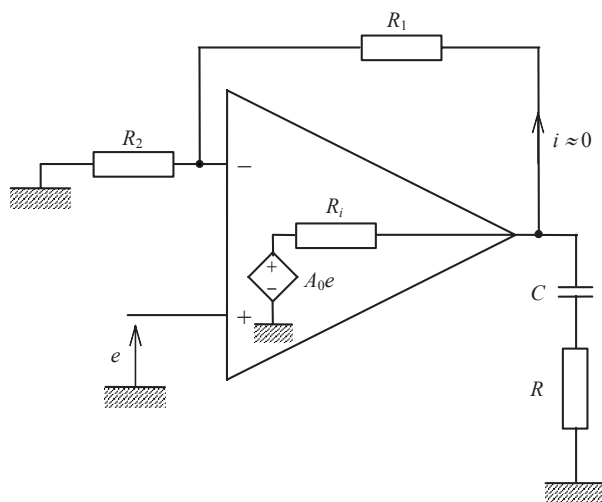


Fig. 9 – Amplificateur avec charge capacitive.

Un système bouclé peut être stable en lui-même et devenir instable (se mettre à osciller en général) suivant les conditions dans lesquelles il est utilisé : impédance interne de l'alimentation trop grande, charge réactive... De ce fait, il est difficile de réaliser des amplificateurs « inconditionnellement stables » par exemple.



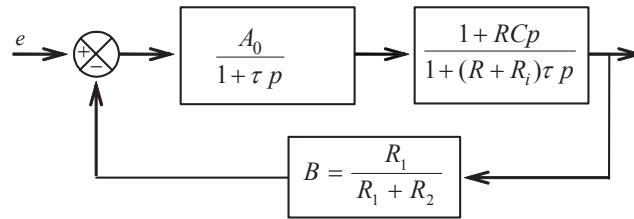


Fig. 10 – Représentation sous forme d'un système bouclé de l'ampli. avec charge capacitive.

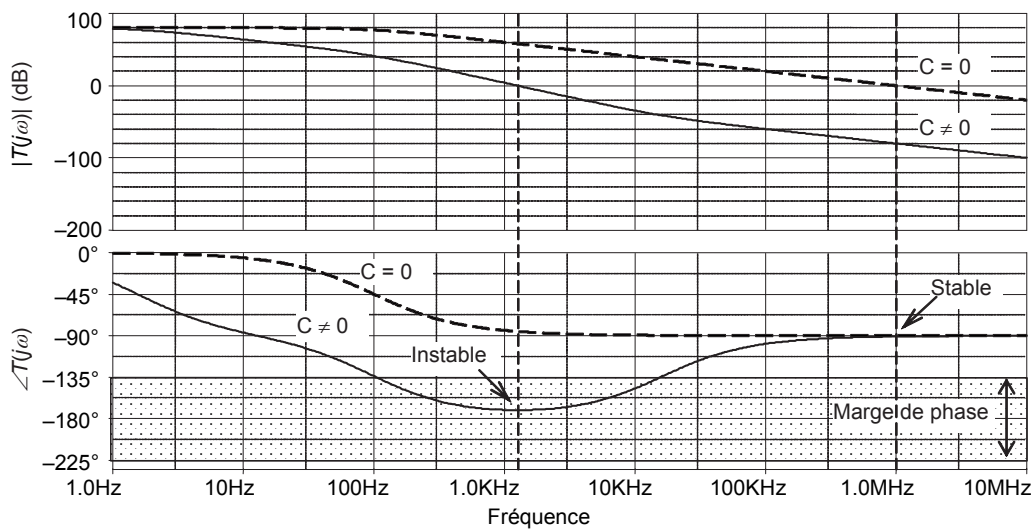


Fig. 11 – Diagramme de Bode pour  $C = 0$  (stable) et pour  $C \neq 0$  (instable).

Prenons le cas par exemple d'un amplificateur ayant une réponse du premier ordre utilisé avec une charge capacitive (Fig. 9). Sa représentation sous forme d'un système bouclé est donnée sur la figure 10.

On suppose que  $R_1$  et  $R_2$  sont suffisamment grandes pour pouvoir négliger le courant qui les traverse. La tension de sortie de l'amplificateur est égale à sa f.e.m.  $\frac{A_0 e}{1 + j\omega\tau}$  multipliée par le rapport du diviseur de tension constitué par la charge et l'impédance de sortie  $R_i$ , soit :

$$\frac{R + 1/(jC\omega)}{R_i + R + 1/(jC\omega)} = \frac{1 + jRC\omega}{1 + j(R_i + R)C\omega}$$

La fonction de transfert en boucle ouverte s'écrit par conséquent :

$$T(p) = \frac{A_0 B (1 + \tau_1 p)}{(1 + \tau p)(1 + \tau_2 p)} \quad \text{avec} \quad \tau_1 = RC, \quad \tau_2 = (R + R_i)C, \quad \tau_2 \gg \tau_1.$$

On peut tracer le diagramme de Bode (Fig. 11). Si  $\tau_2 \gg \tau_1$ , la marge de phase peut ne plus être respectée et l'amplificateur peut devenir instable.

## 4 – Circuits monostables

### 4.1 – Fonction

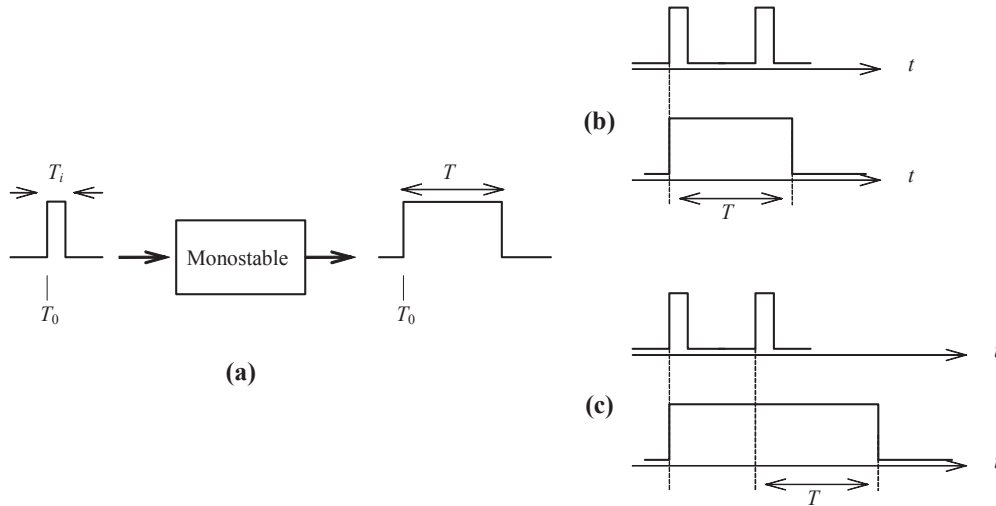


Fig. 12 – Principe du monostable (a), monostable non redémarrable (b) et redémarrable (c).

Un circuit monostable produit à sa sortie une impulsion de durée précise  $T$  à partir d'un instant  $T_0$  déterminé par une variation (transition) de la tension d'entrée. La durée  $T$  de l'impulsion de sortie est indépendante de la durée  $T_i$  de l'impulsion d'entrée (Fig. 12.a).

Lorsqu'une seconde impulsion est appliquée à l'entrée du circuit avant la fin de l'impulsion de sortie, le monostable peut simplement l'ignorer (monostable non redémarrable, Fig. 12.b) ou redémarrer le cycle de l'impulsion de sortie à partir du début de la seconde impulsion (monostable redémarrable, Fig. 12.c).

### 4.2 – Monostable à amplificateur opérationnel

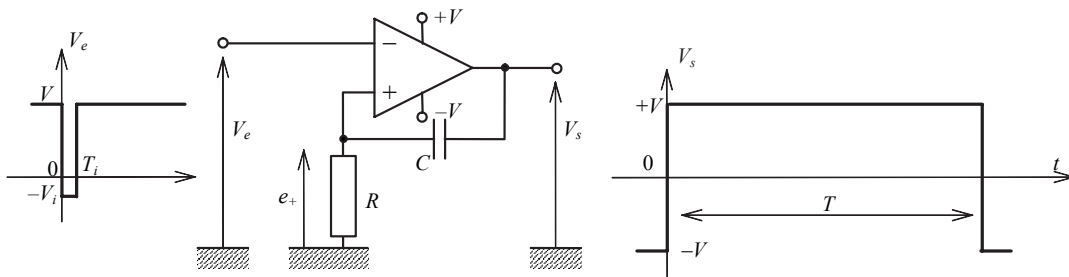


Fig. 13 – Monostable réalisé avec un AOP.

La figure 13 montre le schéma d'un monostable construit à partir d'un AOP alimenté entre  $+V$  et  $-V$ . Il est caractérisé par la durée  $T$  de l'impulsion monostable fixée par la constante de temps  $\tau = RC$  du circuit de réaction. La tension d'entrée  $V_e$  déclenche

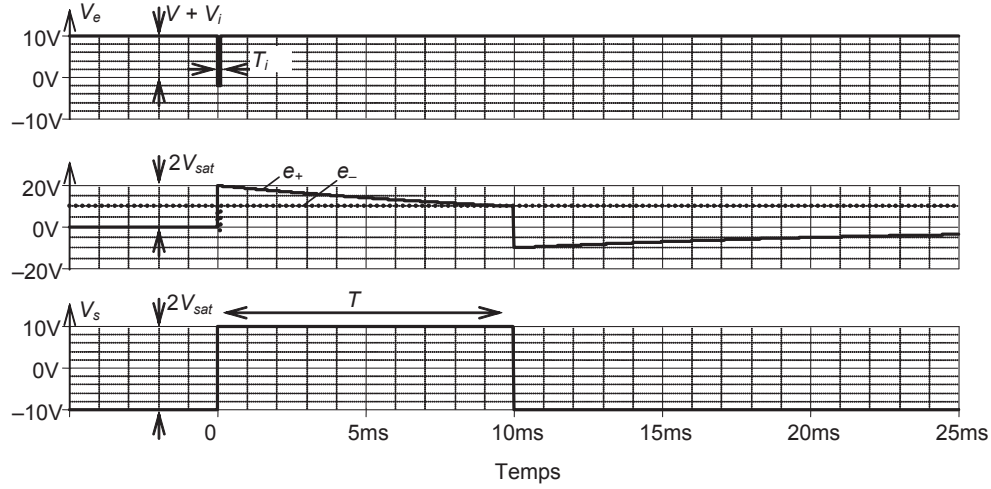


Fig. 14 – Tension d'entrée, entrées différentielles et tension de sortie du monostable.

le monostable en passant de  $+V$  à  $-V_i$  pendant un bref instant de durée  $T_i$  ( $T_i \ll T$ ) (Fig. 13 et 14). En régime permanent, lorsqu'il n'y a pas de déclenchement, aucun courant ne traverse le condensateur de telle sorte que :

$$\left. \begin{array}{l} e_- = +V \\ e_+ = 0 \end{array} \right\} \Rightarrow V_s = -V_{sat}.$$

Examinons le comportement de la tension  $e_+$ . Avant l'instant initial,  $t = 0^-$ , la tension  $V(C)$  aux bornes de  $C$  vaut :

$$V(C) = e_+ - V_s = e_+ - V_{sat} = V_{sat},$$

à l'instant  $t = 0^+$ ,  $e_- = -V_i$  et  $e_+ = 0$  par conséquent la sortie de l'AOP passe de  $-V_{sat}$  à  $+V_{sat}$  mais comme la tension aux bornes du condensateur ne varie pas instantanément, on aura :  $V(C) = e_+ - V_s = e_+ - V_{sat} = V_{sat} \Rightarrow e_+ = 2V_{sat}$ .

Comme  $e_+ > e_-$ , on a toujours  $V_s = +V_{sat}$  et le condensateur se décharge dans la résistance  $R$  avec une constante de temps  $\tau$ . On montre facilement que la tension d'entrée  $e_+$  obéit à l'équation différentielle :  $\frac{de_+}{dt} + \frac{e_+}{\tau} = 0$  et que la solution s'écrit :  $e_+ = 2V_{sat}e^{-t/\tau}$ . La tension  $e_+$  diminue et comme on a supposé que la durée de l'impulsion  $T_i \ll T$  on aura  $e_- = V$  au moment où  $e_+$  devient égale à  $e_-$ . La sortie de l'AOP repassera donc à  $-V_{sat}$  au bout d'un temps  $T$  tel que :

$$e_+ = e_- = V = 2V_{sat}e^{-T/\tau} \Rightarrow T = \tau \ln \left( \frac{2V_{sat}}{V} \right) \stackrel{V_{sat} \approx V}{\approx} \tau \ln 2 \text{ (Fig. 14).}$$

## 5 – Oscillateurs à relaxation (multivibrateurs)

Un exemple de multivibrateur réalisé avec un AOP est représenté figure 15. Dans ce montage, l'AOP n'est pas en mode asservi de sorte que la sortie  $V_s$  ne peut prendre que les deux valeurs  $\pm V_{sat}$  selon la valeur de la tension différentielle  $v_D = e_+ - e_-$  :

$$\left. \begin{array}{l} v_D > 0 \Rightarrow V_s = +V_{sat} \\ v_D < 0 \Rightarrow V_s = -V_{sat} \end{array} \right\} \quad (13)$$

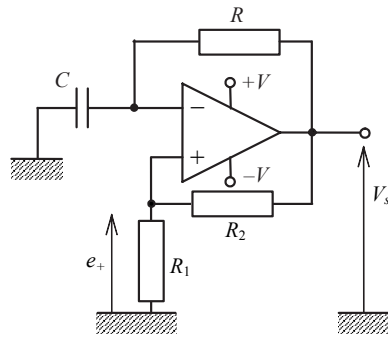


Fig. 15 – Multivibrateur réalisé avec un AOP.

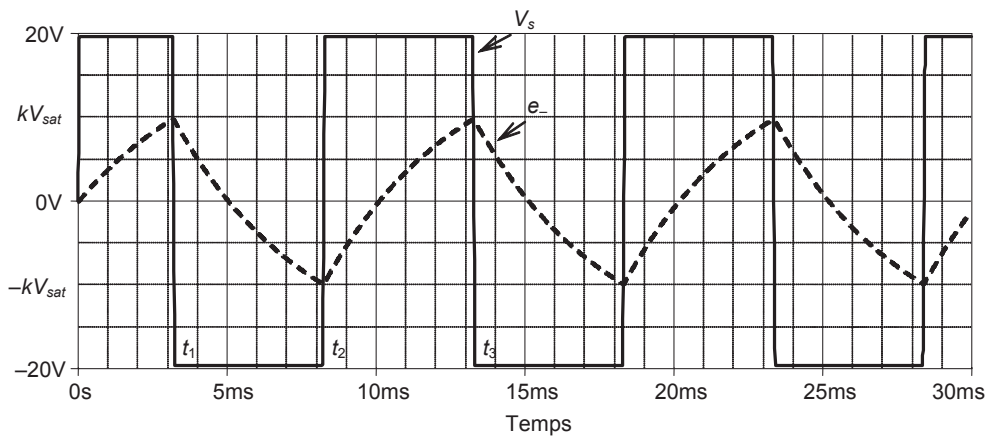


Fig. 16 – Tension  $e_-$  et tension de sortie d'un multivibrateur.

Les résistances  $R_1$  et  $R_2$  constituent un pont diviseur de tension et la tension d'entrée  $e_+$  s'écrit :

$$\left. \begin{aligned} e_+ &= \frac{R_1 V_s}{R_1 + R_2} = k V_s \\ k &= \frac{R_1}{R_1 + R_2} \end{aligned} \right\} \quad (14)$$

De même le condensateur  $C$  et la résistance  $R$  constituent un pont diviseur et la tension d'entrée  $e_-$  s'écrit :

$$e_- = \frac{Z_C V_s}{R + Z_C} = \frac{V_s}{1 + R Y_C} = \frac{V_s}{1 + p R C} \quad (15)$$

où  $Y_C = \frac{1}{Z_C} = pC$  est l'admittance généralisée de  $C$ . Dans le domaine temporel, cette relation correspond à l'équation différentielle :

$$\left. \begin{aligned} \frac{de_-}{dt} + \frac{e_-}{\tau} &= \frac{V_s}{\tau} \\ \tau &= RC \end{aligned} \right\} \quad (16)$$

Les relations 13, 14 et 16 permettent de décrire complètement l'évolution du système connaissant les conditions initiales qui seront choisies ici de telle sorte qu'à l'instant  $t = 0$ , le condensateur  $C$  soit déchargé et que la tension de sortie soit  $V_s = +V_{sat}$ , donc :

$$\left. \begin{aligned} e_-(0) &= 0 \\ V_s(0) &= +V_{sat} \quad \Rightarrow \quad e_+(0) = kV_{sat} \\ \frac{de_-}{dt} + \frac{e_-}{\tau} &= \frac{V_{sat}}{\tau} \end{aligned} \right\} \quad (17)$$

La tension de sortie  $V_s$  restera égale à  $+V_{sat}$  tant que  $e_- < e_+$ , le condensateur se charge et la tension  $e_-$ , solution de l'équation 16, s'écrit :

$$e_-(t) = V_{sat} \left(1 - e^{-t/\tau}\right).$$

Cette loi reste vérifiée jusqu'à l'instant  $t_1$  où :

$$e_- = e_+ = kV_{sat} \quad \Rightarrow \quad kV_{sat} = V_{sat} \left(1 - e^{-t_1/\tau}\right) \quad \Rightarrow \quad t_1 = \tau \ln \left(\frac{1}{1-k}\right).$$

Dès que  $e_- > e_+$ ,  $V_s = -V_{sat}$ , les équations 13, 14 et 16 sont toujours applicables mais avec des conditions initiales différentes. Pour alléger l'écriture, on situe à présent l'origine des temps à l'instant  $t_1$  et on note  $t'$  la nouvelle variable des temps :

$$\left. \begin{aligned} e_-(0) &= kV_{sat} \\ V_s(0) &= -V_{sat} \quad \Rightarrow \quad e_+(0) = -kV_{sat} \\ \frac{de_-}{dt} + \frac{e_-}{\tau} &= \frac{-V_{sat}}{\tau} \end{aligned} \right\} \quad (18)$$

Le condensateur se décharge et la tension  $e_-$  à ses bornes s'écrit à présent :

$$e_-(t) = V_{sat} \left[(1+k)e^{-t'/\tau} - 1\right].$$

Cette loi reste vérifiée jusqu'à l'instant  $t'_2$  où  $e_- = e_+ = -kV_{sat}$  :

$$-kV_{sat} = V_{sat} \left[(1+k)e^{-t'_2/\tau} - 1\right] \quad \Rightarrow \quad t'_2 = \tau \ln \left(\frac{1+k}{1-k}\right).$$

Dès que  $e_- < e_+$ ,  $V_s = +V_{sat}$ , les équations 13, 14 et 16 sont toujours applicables mais avec des conditions initiales différentes. On situe à présent l'origine des temps à l'instant  $t'_2$  et on note  $t''$  la nouvelle variable des temps :

$$\left. \begin{aligned} e_-(0) &= -kV_{sat} \\ V_s(0) &= +V_{sat} \quad \Rightarrow \quad e_+(0) = kV_{sat} \\ \frac{de_-}{dt} + \frac{e_-}{\tau} &= \frac{V_{sat}}{\tau} \end{aligned} \right\} \quad (19)$$

Le condensateur se charge et la tension  $e_-$  à ses bornes s'écrit à présent :

$$e_-(t) = V_{sat} \left[(1+k)e^{-t''/\tau} - 1\right].$$

Cette loi reste vérifiée jusqu'à l'instant  $t_3''$  où  $e_- = e_+ = kV_{sat}$  :

$$kV_{sat} = -V_{sat} \left[ (1+k)e^{-t_3''/\tau} - 1 \right] \Rightarrow t_3'' = \tau \ln \left( \frac{1+k}{1-k} \right).$$

À partir de cet instant, la situation est identique à celle de l'instant initial  $t_1$  et le cycle recommence et se poursuit par une succession de charges et de décharges du condensateur (Fig. 16). La période des oscillations est donnée par la somme des durées  $t_2'$  et  $t_3''$  :

$$T = t_2' + t_3'' = 2\tau \ln \left( \frac{1+k}{1-k} \right) = 2\tau \ln \left( 1 + \frac{2R_1}{R_2} \right).$$

## 6 – Oscillateurs sinusoidaux

### 6.1 – Schéma général

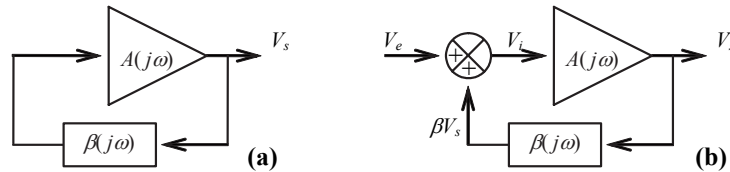


Fig. 17 – Schéma général (a) et système bouclé équivalent (b) d'un oscillateur.

Un oscillateur peut être considéré comme l'association d'un amplificateur  $A(j\omega)$  et d'un circuit sélectif  $\beta(j\omega)$  dont la fonction de transfert est au moins d'ordre deux (Fig. 17.a). On peut étudier les conditions de fonctionnement en représentant l'oscillateur sous la forme d'un système bouclé par un circuit réalisant une réaction positive de la sortie sur l'entrée et dont la grandeur de commande d'entrée  $V_e$  est nulle (Fig. 17.b). Dans ce circuit, la grandeur d'entrée  $V_i$  de l'amplificateur s'écrit :  $V_i = V_e + \beta V_s$  par conséquent la sortie  $V_s$  s'écrit :  $V_s = A \cdot V_i = A(V_e + \beta V_s)$  d'où l'on tire la fonction de transfert en boucle fermée :

$$G(j\omega) = \frac{V_s}{V_e} = \frac{A(j\omega)}{1 - A(j\omega)\beta(j\omega)} \quad (20)$$

Du fait que  $V_e$  est nulle,  $V_s$  ne peut être différente de zéro que si  $G(j\omega)$  est infini, ce qui se produit lorsque la fonction de transfert en boucle ouverte vaut 1, la condition d'oscillation du circuit s'écrit donc :

$$T(j\omega) = A(j\omega)\beta(j\omega) = 1 \quad (21)$$

Du fait qu'il s'agit d'une quantité complexe, cette identité nécessite les deux conditions suivantes :

$$\left. \begin{array}{l} |T(j\omega)| = 1 \\ \angle T(j\omega) = 0 \end{array} \right\} \quad (22)$$

En général ces deux conditions ne peuvent jamais être simultanément réunies si le système est linéaire. Elles sont remplacées par les conditions moins strictes suivantes appelées *critère de Barkhausen* :

$$\left. \begin{array}{l} |T(j\omega)| \geq 1 \\ \angle T(j\omega) = 0 \end{array} \right\} \quad (23)$$

La pulsation des oscillations  $\omega_0$  est déterminée par la seconde relation :  $\angle T(j\omega_0) = 0$  tandis que la première permet simplement de vérifier que les oscillations peuvent démarrer à la fréquence  $\omega_0$  :  $|T(j\omega_0)| \geq 1$ . L'amplitude des oscillations est déterminée par les non linéarités de  $T$  dont le module varie avec l'amplitude des oscillations jusqu'au moment où il atteint la valeur 1.

## 6.2 – Oscillateur LC

### – Principe

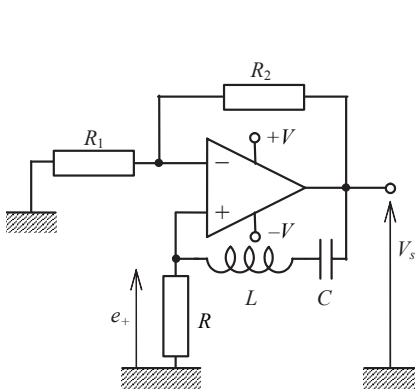


Fig. 18 – Oscillateur LC réalisé avec un AOP.

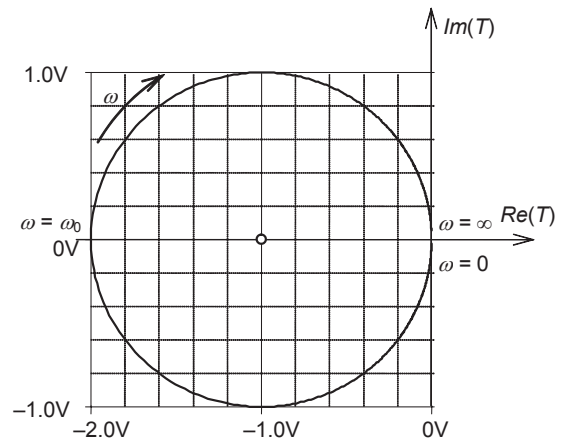


Fig. 19 – Fonction de transfert en boucle ouverte de l'oscillateur LC dans le plan de Nyquist.

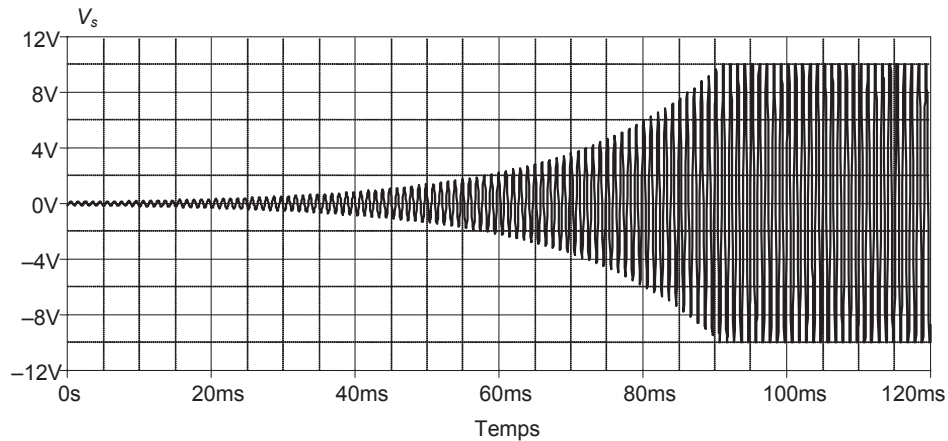


Fig. 20 – Tension de sortie de l'oscillateur LC.

La figure 18 donne un schéma possible d'oscillateur utilisant un AOP avec un circuit sélectif de réaction de type LC. Si l'on identifie le schéma de la figure 18 avec celui de la figure 17 et si l'on considère que l'AOP est idéal (gain en boucle ouverte infini), on voit que le gain  $A(j\omega)$  de l'amplificateur est fixé par les résistances  $R_1$  et  $R_2$  :

$$A(j\omega) = -\frac{V_s}{e_-} = -\frac{R_1 + R_2}{R_1} = -K \quad (24)$$

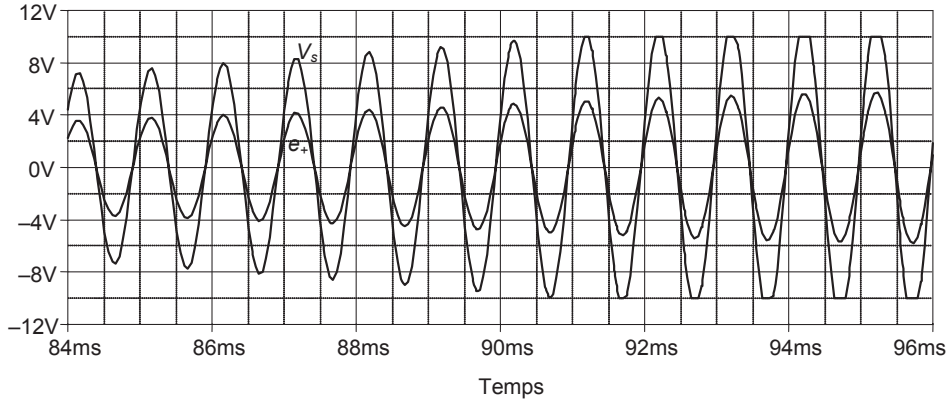


Fig. 21 – Détail des tensions de l'oscillateur LC.

le signe « - » est dû à l'entrée inverseuse de l'AOP. En appelant  $Z_{LC}$  l'impédance du circuit LC série, la fonction de transfert  $\beta(j\omega)$  du circuit de réaction s'écrit :

$$\beta(j\omega) = \frac{e_+}{V_s} = \frac{R}{R + Z_{LC}} \quad (25)$$

#### – Étude de la stabilité du circuit

Elle est réalisée de la même manière qu'au § 3 page 110 en traçant la fonction de transfert en boucle ouverte  $T(j\omega) = A(j\omega)\beta(j\omega)$  dans le diagramme de Nyquist. Ici :

$$T(j\omega) = \frac{-KR}{R + Z_{LC}} = \frac{-KR}{R + jL\omega + 1/(jC\omega)} = \frac{-KR(jC\omega)}{1 - LC\omega^2 + jRC\omega} \quad (26)$$

d'où les parties réelle et imaginaire :

$$\left. \begin{aligned} \operatorname{Re}(T) &= \frac{-KR^2C^2\omega^2}{(1 - LC\omega^2)^2 + R^2C^2\omega^2} \\ \operatorname{Im}(T) &= \frac{-KR(jC\omega)(1 - LC\omega^2)}{(1 - LC\omega^2)^2 + R^2C^2\omega^2} \end{aligned} \right\} \quad (27)$$

L'allure du diagramme qui entoure le point d'affixe  $-1$  montre que le circuit est potentiellement instable ce qui est nécessaire pour un oscillateur.

#### – Critère de Barkhausen

On a vu que  $T(j\omega) = A(j\omega)\beta(j\omega) = -K\beta(j\omega)$ , la condition d'oscillation 21 s'écrit par conséquent :

$$T(j\omega) = 1 \quad \Rightarrow \quad K\beta(j\omega) = -1 \quad (28)$$

La pulsations  $\omega_0$  des oscillations est obtenue en recherchant la valeur de  $\omega$  pour laquelle :  $\angle K\beta(j\omega_0) = \pm\pi$  c'est-à-dire :



$$\angle K\beta(j\omega_0) = -\frac{\pi}{2} - \arctan \frac{RC\omega_0}{1 - LC\omega_0^2} = \pm\pi$$

$$\Rightarrow \arctan \frac{RC\omega_0}{1 - LC\omega_0^2} = \frac{\pi}{2} \Rightarrow LC\omega_0^2 = 1.$$

On peut à présent déterminer la condition de démarrage des oscillations :

$$|K\beta(j\omega_0)| \geq 1 \Rightarrow K \geq 1 \quad (29)$$

Dans le cas présent, cette condition est toujours remplie. Remarquer que si la self avait une résistance (ce qui est toujours le cas dans la pratique) la condition de démarrage aurait demandé un gain plus important.

### – Analyse temporelle

L'analyse temporelle consiste à établir et à étudier l'équation différentielle régissant les courants et les tensions dans le circuit. En admettant que l'AOP a un gain en boucle ouverte très grand, les tensions  $e_+$  et  $e_-$  sont pratiquement au même potentiel, les relations 24 et 25 s'écrivent :

$$\left. \begin{array}{l} e_- = \frac{V_s}{K} \\ e_+ = \frac{RV_s}{R + Z_{LC}} \end{array} \right\} e_+ = e_- \Rightarrow \frac{R}{R + Z_{LC}} = \frac{1}{K} \Rightarrow Z_{LC} + (1 - K)R = 0 \quad (30)$$

Avec :  $Z_{LC} = pL + \frac{1}{pC}$  l'équation précédente s'écrit :  $p^2 + \frac{R(1 - K)}{L}p + \frac{1}{LC} = 0$ . L'équation différentielle recherchée s'obtient en remplaçant l'opérateur de Laplace  $p$  par l'opérateur différentiel :  $p = \frac{d}{dt}$  et en appliquant la relation sur la tension de sortie  $V_s$  par exemple :

$$\ddot{V}_s + \frac{R(1 - K)}{L}\dot{V}_s + \frac{1}{LC}V_s = 0.$$

Cette équation différentielle linéaire du second ordre admet une solution périodique d'amplitude constante uniquement si le terme d'amortissement (coefficient du terme en  $\dot{V}_s$ ) est nul c'est à dire si  $K = 1$ . La pulsation des oscillations est alors  $\omega_0 = \frac{1}{\sqrt{LC}}$ . Dans la pratique,  $K$  ne peut jamais être rigoureusement égal à 1 de sorte que la solution est une sinusoïde dont l'amplitude croît ou décroît exponentiellement suivant que  $K$  est supérieur ou inférieur à 1. En fait, pour que les oscillations démarrent il faut nécessairement  $K > 1$  et ce sont les non linéarités de l'amplificateur qui déterminent l'amplitude des oscillations. Dans le cas présent, l'amplitude des oscillations est limitée par la saturation de l'AOP comme le montre la figure 20 où l'on voit également la phase de démarrage de l'oscillateur LC à AOP idéal. On observe bien la croissance exponentielle des oscillations et la saturation de l'AOP. La figure 21 est un agrandissement de la zone de saturation où l'on voit que  $V_s$  n'est plus sinusoïdale, par contre la tension  $e_+$  proportionnelle au courant, est filtrée par le circuit LC et reste de ce fait voisine d'une sinusoïde.

## 7 – Circuits oscillateurs

Les exemples suivants ne seront traités que succinctement. Le détail des calculs est laissé à titre d'exercice pour le lecteur.

### 7.1 – Générateur de signal

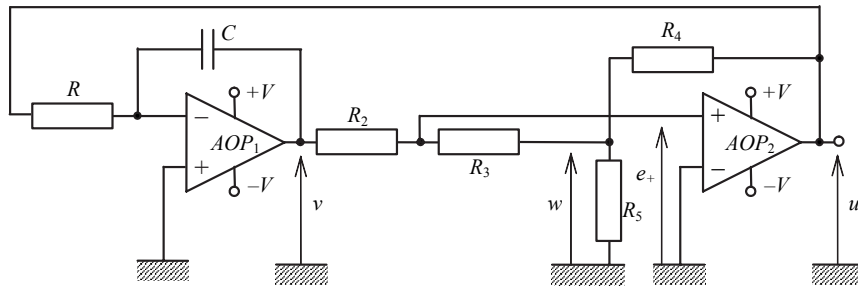


Fig. 22 – Générateur de signal.

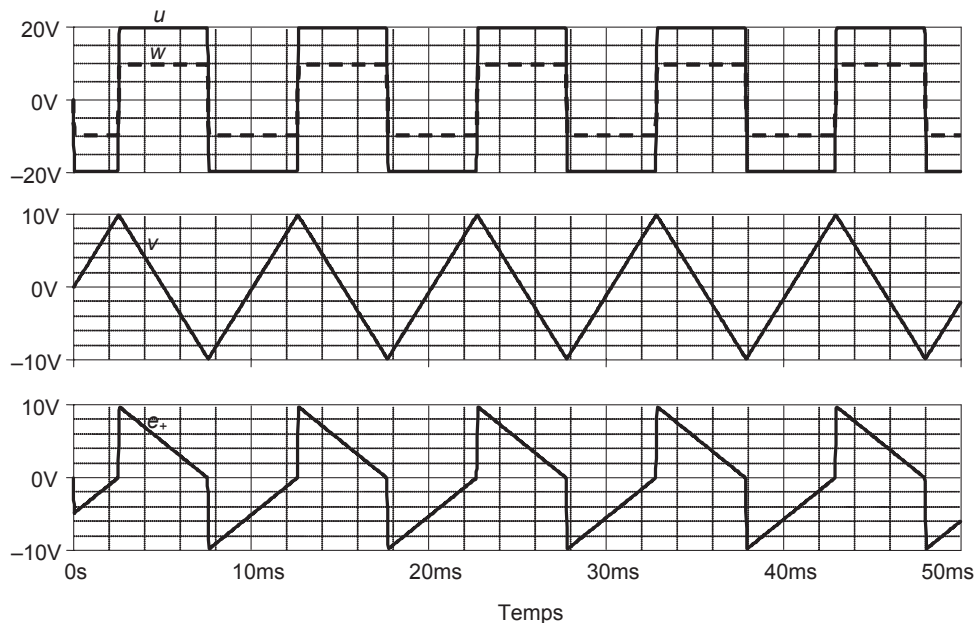


Fig. 23 – Signaux produits par le générateur.

Le circuit représenté figure 22 permet de produire un signal carré et un signal triangulaire. Les AOP utilisés sont idéaux et ont une tension de saturation  $\pm V_{sat}$ . Les résistances  $R_2$  et  $R_3$  ont la même valeur, de plus, cette valeur est beaucoup plus grande que celle des résistances  $R_4$  et  $R_5$ . À l'instant  $t = 0$  on suppose que le condensateur  $C$  est déchargé et que la tension de sortie de l'AOP<sub>2</sub> est égale à  $-V_{sat}$ . Expliquer la forme des principaux signaux représentés figure 23 et montrer que lorsque le régime périodique est établi, la période des oscillations est donnée par :

$$T = 4K\tau \quad \text{avec} \quad K = \frac{R_5}{R_4 + R_5} \quad \text{et} \quad \tau = RC.$$

## 7.2 – Multivibrateur commandé en tension

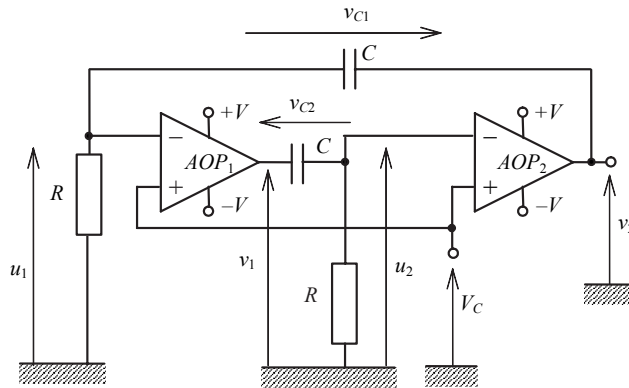


Fig. 24 – Multivibrateur commandé en tension.

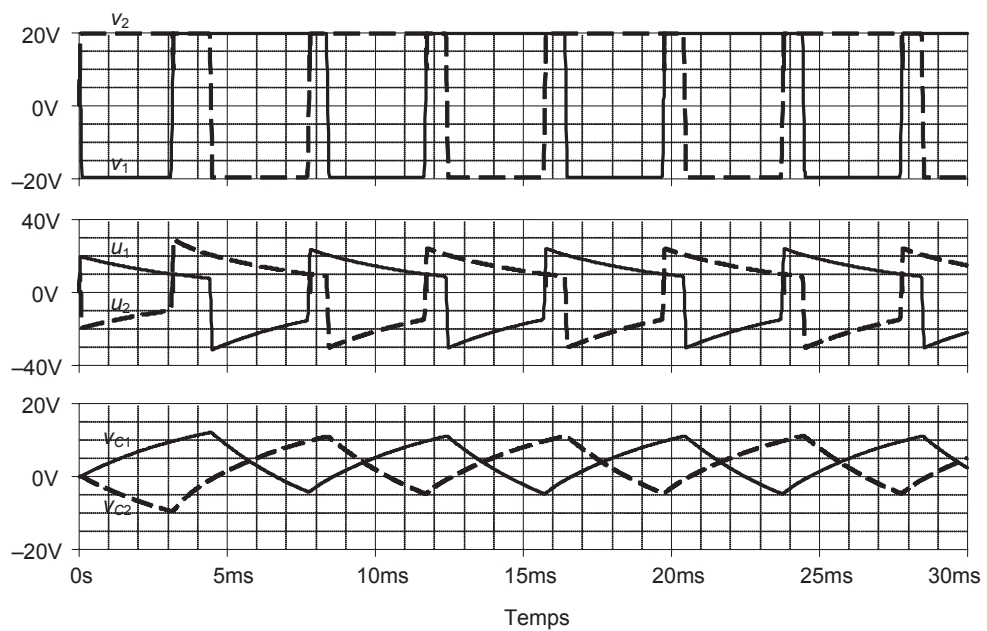


Fig. 25 – Signaux produits par le multivibrateur commandé en tension.

Comme précédemment, les AOP utilisés dans le circuit de la figure 24 sont idéaux et ont une tension de saturation  $\pm V_{sat}$ . À l'instant  $t = 0$  on suppose que les deux condensateurs  $C$  sont déchargés et que la tension de sortie de l'AOP<sub>2</sub> est égale à  $V_{sat}$ . La tension de commande  $V_C$ , positive ou négative, est telle que  $|V_C| < V_{sat}$ . Expliquer la forme des principaux signaux représentés figure 25 et montrer que lorsque le régime périodique est établi, la période des oscillations est donnée par :

$$T = 2\tau \ln \left( \frac{2V_{sat}}{|V_C|} - 1 \right) \quad \text{avec} \quad \tau = RC.$$

### 7.3 – Oscillateur à pont de Wien

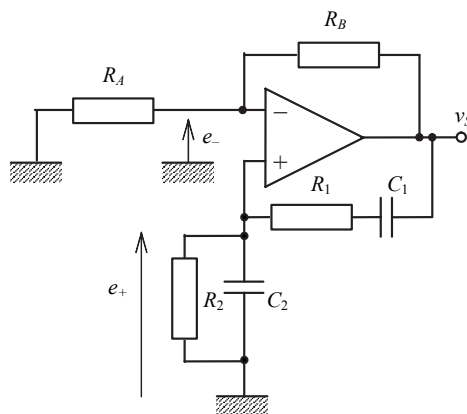


Fig. 26 – Oscillateur à pont de Wien.

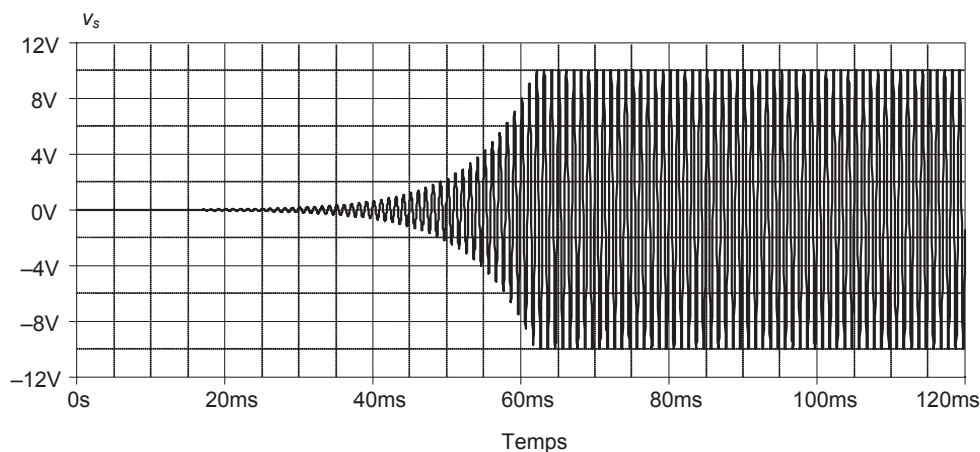
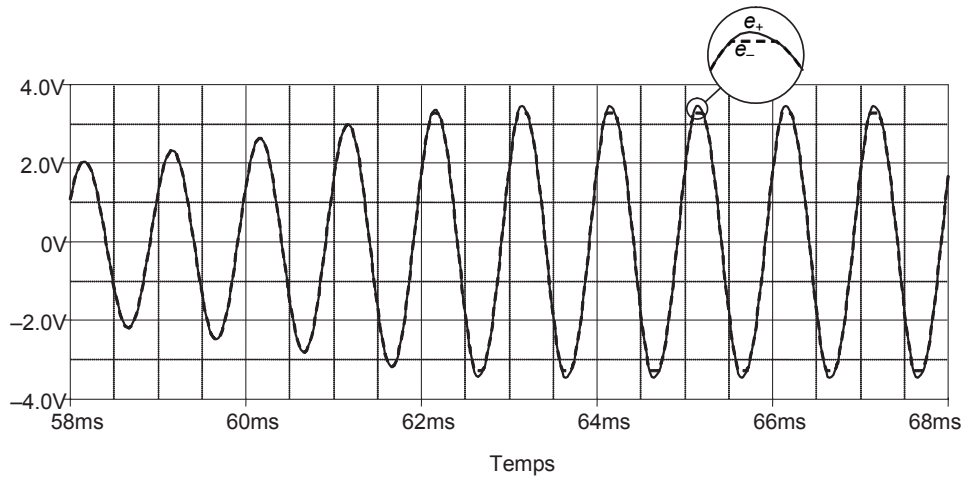


Fig. 27 – Tension de sortie de l'oscillateur à pont de Wien.

Le circuit de la figure 26 représente un oscillateur à pont de Wien réalisé à l'aide d'un AOP. L'analyse de ce circuit s'effectue de façon analogue à celle de l'oscillateur LC présenté précédemment. À titre d'exercice, étudier la stabilité du circuit par le critère de Nyquist et déterminer la condition de démarrage des oscillations par le critère de Barkhausen. Établir l'équation différentielle régissant le comportement du circuit en régime linéaire. Pour simplifier on pourra considérer que  $R_1 = R_2 = R$  et que  $C_1 = C_2 = C$ . Comment choisir la valeur des composants pour que la fréquence d'oscillation soit de 1 kHz ?

**Indications :**

Condition de démarrage :  $G = 1 + \frac{R_B}{R_A} > 3$ , fréquence des oscillations :  $\omega_0 = \frac{1}{\tau}$ .

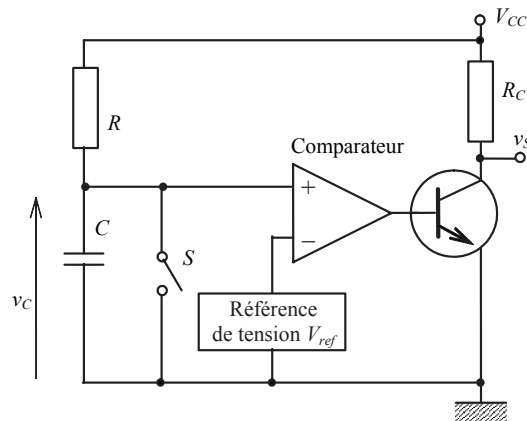


**Fig. 28** – Tensions d'entrée de l'AOP de l'oscillateur à pont de Wien.

La figure 27 représente la tension de sortie de l'oscillateur pendant la phase de démarrage des oscillations et la figure 28 montre un détail des tensions d'entrée de l'AOP au moment de l'établissement du régime permanent.

## 8 – Timer 555

### 8.1 – Principe de fonctionnement



**Fig. 29** – Schéma de principe d'un timer 555.

Le fonctionnement d'un timer de type 555 dont un schéma de principe est représenté figure 29 repose sur la charge et la décharge périodiques d'un condensateur. En supposant qu'à l'instant initial l'interrupteur  $S$  est ouvert et le condensateur  $C$  déchargé, la tension différentielle de l'AOP est négative et donc sa tension de sortie est nulle (l'AOP est alimenté entre  $+V_{CC}$  et 0), le transistor est donc bloqué et la tension de sortie  $v_s \approx V_{CC}$ . Le condensateur va alors se charger à travers la résistance  $R$  avec une constante de temps

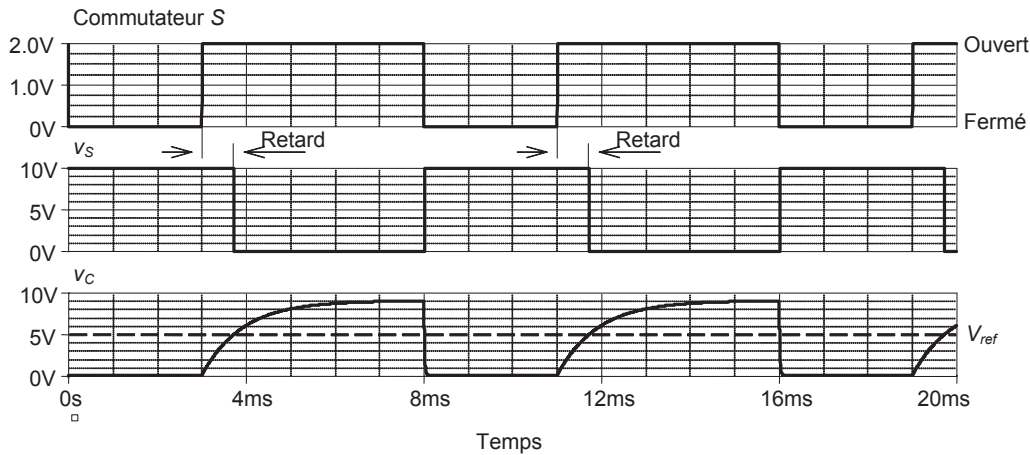


Fig. 30 – Forme des signaux dans le timer 555.

$RC$  et la tension  $v_C$  va tendre vers la tension d'alimentation  $V_{CC}$ . Lorsque la tension  $v_C$  appliquée sur l'entrée  $e_+$  de l'AOP atteint la tension fixe  $V_{ref}$  ( $V_{ref} < V_{CC}$ ) appliquée sur l'entrée  $e_-$ , l'AOP bascule, sa tension de sortie atteint la saturation ( $\approx V_{CC}$ ), le transistor se sature à son tour et la tension de sortie  $v_s \approx 0$ . Si l'on ferme l'interrupteur, le condensateur se décharge très rapidement et la tension  $v_C$  retombe à zéro, donc en dessous de  $V_{ref}$ , l'AOP bascule et retrouve l'état initial. La figure 30 montre les différents signaux au cours du temps. Le retard introduit par le timer entre la fermeture de l'interrupteur et le changement d'état de la tension de sortie est égal au temps nécessaire pour que la tension aux bornes du condensateur atteigne la tension  $V_{ref}$ .

## 8.2 – Timer 555 utilisé en monostable

Le schéma d'un timer 555 utilisé en monostable est représenté figure 31 ainsi que le brochage du circuit matérialisé par le cadre en pointillés.

À l'instant initial on suppose que le condensateur  $C$  est déchargé et que la sortie  $Q$  de la bascule RS<sup>1</sup> est à 0. Tant que la tension sur l'entrée déclenchement est supérieure à  $\frac{V_{CC}}{3}$ , les entrées  $R$  et  $S$  de la bascule sont à 0, la sortie  $\bar{Q} = 1$  et le transistor saturé court-circuite le condensateur dont la tension aux bornes reste nulle. Lorsque la tension de déclenchement tombe à zéro, l'AOP  $B$  bascule, l'entrée  $S$  de la bascule passe à 1, la sortie  $\bar{Q} = 0$ , le transistor se bloque et libère le court-circuit du condensateur qui se charge avec une constante de temps  $RC$ . Si la tension trigger reprend sa valeur initiale, les entrées  $R$  et  $S$  de la bascule sont à 0, donc en position « mémoire », le transistor reste bloqué et le condensateur continue à se charger jusqu'à la valeur  $\frac{2V_{CC}}{3}$ , à cet instant l'AOP  $A$  bascule, l'entrée  $R$  de la bascule passe à 1, la sortie  $\bar{Q} = 1$  et le transistor saturé court-circuite le condensateur dont la tension aux bornes s'annule très rapidement. On retrouve alors l'état initial jusqu'à ce qu'une nouvelle impulsion sur l'entrée trigger redéclenche le monostable. À titre d'exercice, donner l'expression de la tension aux bornes

<sup>1</sup>Le fonctionnement des bascules RS est décrit au § 3 page 220.

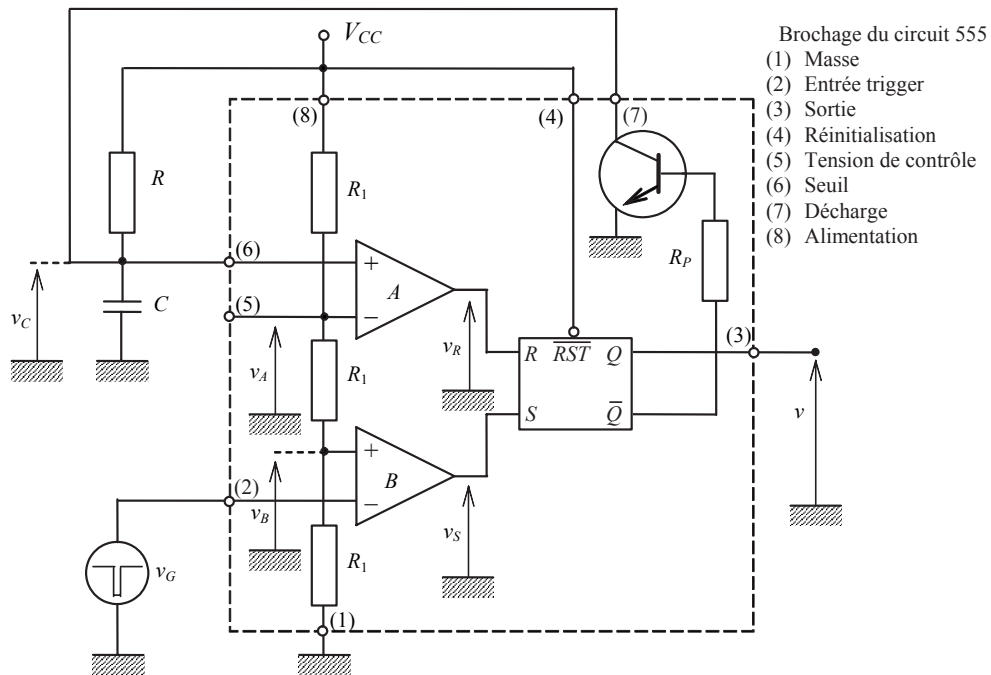


Fig. 31 – Timer 555 monté en monostable.

du condensateur et déterminer la valeur des composants pour que la durée de l'impulsion monostable soit de 10 ms (Fig. 32).

### 8.3 – Timer 555 utilisé en multivibrateur

Par un raisonnement analogue à celui du monostable, expliquer le fonctionnement du multivibrateur astable représenté figure 33. En particulier, montrer qu'en régime permanent, le condensateur se charge et se décharge alternativement avec des constantes de temps  $\tau_1 = (R_A + R_B)C$  et  $\tau_2 = R_B C$  entre  $\frac{V_{CC}}{3}$  et  $\frac{2V_{CC}}{3}$ . En déduire l'expression de la période des oscillations et déterminer la valeur des composants pour obtenir une fréquence de 1 kHz. Les principaux signaux du multivibrateur sont représentés figure 34.

#### Vérifications :

On pourra vérifier le fonctionnement des deux circuits (monostable et multivibrateur) par une simulation à l'aide de *PSpice* dont la bibliothèque de composant contient un modèle de timer 555. Examiner et expliquer alors les signaux aux différents nœuds du circuit. Noter que les nœuds du sous-circuit de la bibliothèque *PSpice* correspondent aux connexions du circuit réel (voir figure 31).

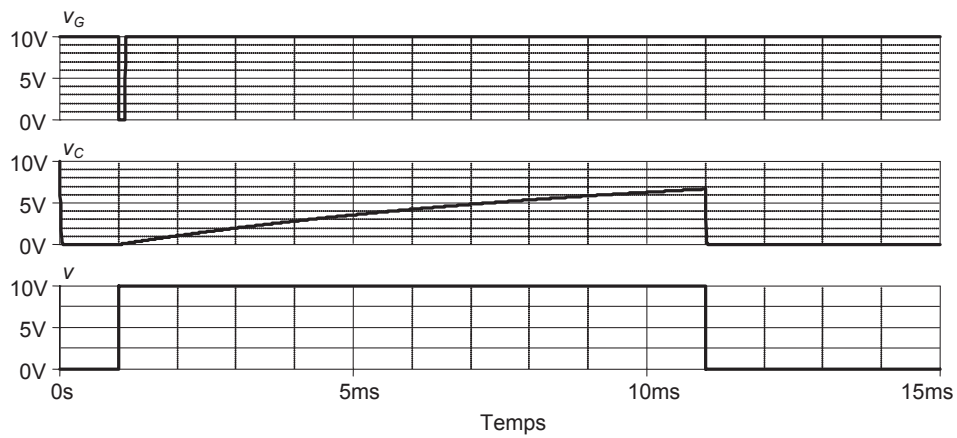


Fig. 32 – Signaux d'un timer 555 monté en monostable.

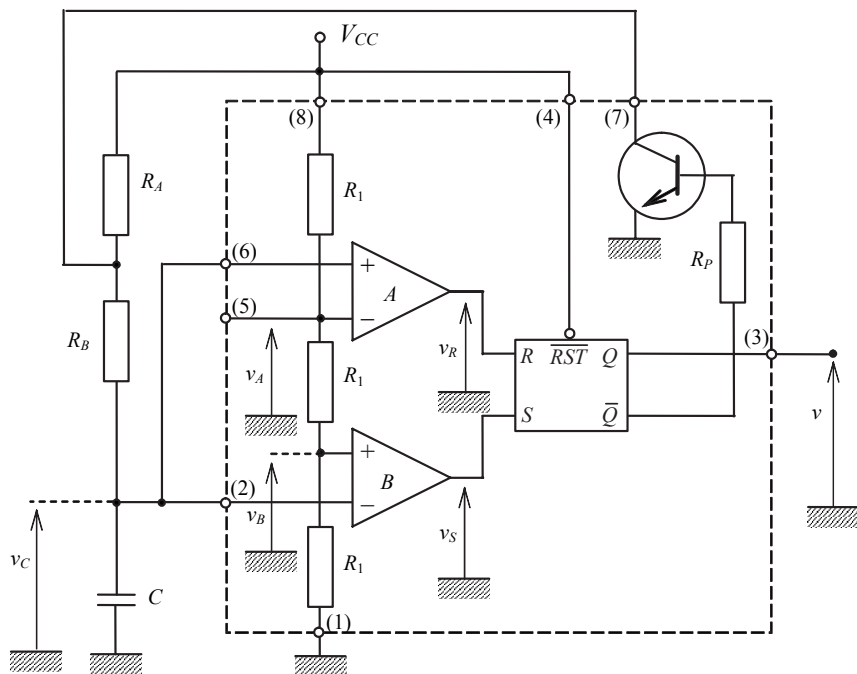
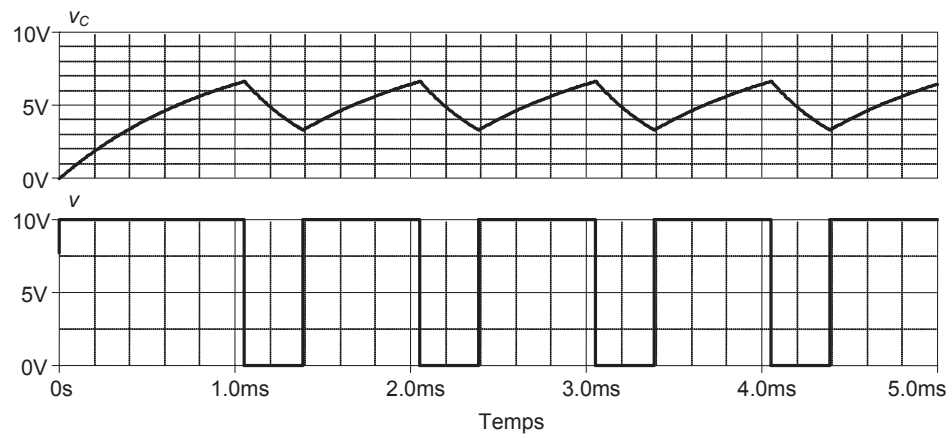


Fig. 33 – Timer 555 monté en multivibrateur astable.





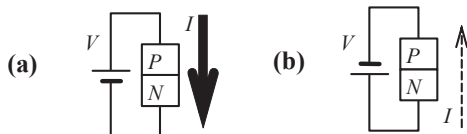
**Fig. 34** – Signaux d'un timer 555 monté en multivibrateur astable.



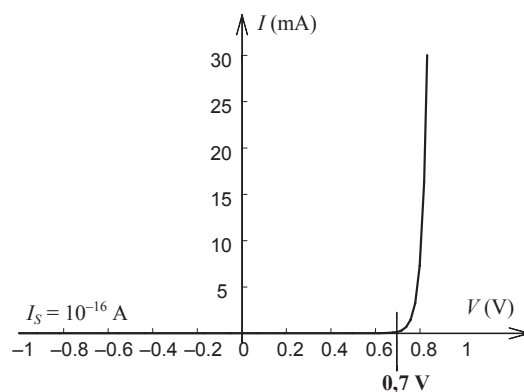
## Chapitre 6

# Composants semi-conducteurs : diodes

### 1 – Jonction P-N



**Fig. 1** – Schéma de principe d'une jonction P-N polarisée dans le sens direct (a) et inverse (b).



**Fig. 2** – Caractéristique courant-tension d'une jonction idéale.

La plupart des composants électroniques semi-conducteurs sont réalisés à partir des propriétés de la jonction P-N. Une diode est en fait la réalisation matérielle d'une jonction P-N. Très sommairement, on peut considérer une jonction P-N comme un dipôle asymétrique qui présente une très faible résistance au passage du courant lorsque la tension est appliquée dans le sens « direct » c'est-à-dire lorsque le potentiel le plus élevé est appliqué sur la région P (anode) et une très grande résistance lorsque la tension est appliquée dans le sens « inverse » c'est-à-dire lorsque le potentiel le plus élevé est appliqué sur la région N (cathode) (Fig. 1).

Cette propriété est formalisée par la loi de Shockley qui exprime le courant dans la jonction en fonction de la tension appliquée à ses bornes sous la forme :

$$I = I_S \left[ \exp \left( \frac{V}{nU_T} \right) - 1 \right] \quad (1)$$

$$\text{avec : } \left\{ \begin{array}{ll} U_T = \frac{kT}{e} & \text{potentiel thermodynamique,} \\ k = 1,38 \cdot 10^{-23} \text{ J/K} & \text{constante de Boltzmann,} \\ e = 1,6 \cdot 10^{-19} \text{ C} & \text{charge de l'électron,} \\ T & \text{température absolue } \Rightarrow U_T = 26 \text{ mV à } 300 \text{ K,} \\ n & \text{facteur d'émission, dépend de la technologie de la diode,} \\ & \text{en pratique } n \approx 1 \text{ pour un transistor bipolaire} \\ & \text{et } n \approx 2 \text{ pour une diode de signal,} \\ & \text{sauf indication contraire, on prendra } n = 1 \\ & \text{dans la suite de ce cours.} \end{array} \right.$$

La tension  $V$  est positive si le potentiel le plus élevé est appliqué sur la région P.

$I_S$  est une constante appelée *courant inverse de saturation* qui dépend des matériaux et de la technologie utilisée pour réaliser la jonction. Dans la pratique, pour les jonctions silicium qui sont les plus utilisées :  $10^{-16} \text{ A} < I_S < 10^{-12} \text{ A}$ .

Si la tension  $V$  est appliquée dans le sens direct (Fig. 1.a) et si  $V$  est supérieure à trois ou quatre fois  $U_T$  (soit environ 100 mV), on a :

$$e^{V/U_T} \gg 1 \quad \Rightarrow \quad I = I_S e^{V/U_T} \quad (2)$$

Si l'on applique à présent une tension inverse, négative sur P (Fig. 1.b), le courant est donné par la même loi de Shockley en changeant simplement le signe de  $V$  :

$$I = I_S \left( e^{-V/U_T} - 1 \right) \quad (3)$$

Dès que  $V$  est supérieure à trois ou quatre  $U_T$  :  $e^{-V/U_T} \ll 1 \quad \Rightarrow \quad I \approx -I_S$  d'où le nom de courant inverse de saturation donné à  $I_S$ .

Bien que  $I_S$  soit très petit, il varie très fortement avec la température (en moyenne  $I_S$  double tous les  $10^\circ\text{C}$  pour une jonction silicium).

La figure 2 représente la loi de Shockley appelée également *caractéristique courant-tension* de la jonction P-N. Remarquer que dans les conditions usuelles d'utilisation représentées, le courant commence à augmenter de façon notable à partir d'une tension de seuil généralement comprise entre 0,6 et 0,8 V caractéristique des jonctions silicium. De plus, au delà de cette tension de seuil, la tension reste pratiquement constante quel que soit le courant qui traverse la diode. Par exemple pour la diode dont la caractéristique est représenté figure 2, lorsque le courant augmente d'un facteur 10 (de 10 mA à 100 mA) la tension aux bornes de la diode n'augmente que d'environ 7%.

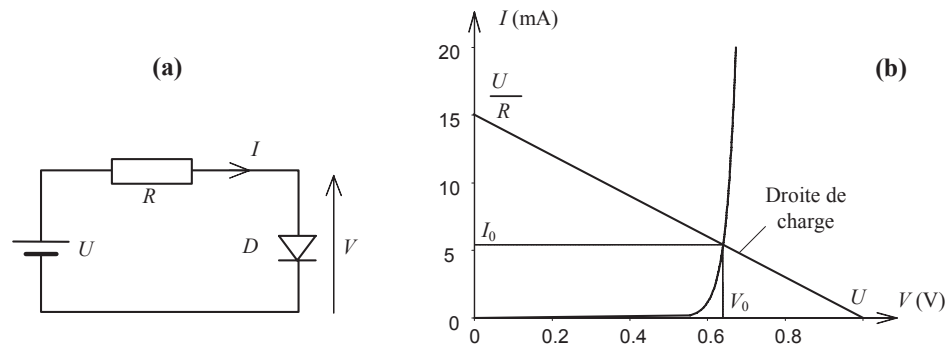
Une explication plus détaillée du comportement de la jonction P-N et de la physique des semi-conducteurs figure à l'annexe 2.

## 2 – Polarisation d'une diode

On appelle polarisation l'ensemble des tensions et des courants continus circulant dans un circuit électrique. Sur la figure 3.a, la diode  $D$  est polarisée par la tension  $U$  au point de repos ( $I_0, V_0$ ) (Fig. 3.b).

Le courant dans le circuit est donné par la loi de maille :

$$U = R \cdot I + V \quad \Rightarrow \quad I = \frac{U - V}{R} \quad (4)$$

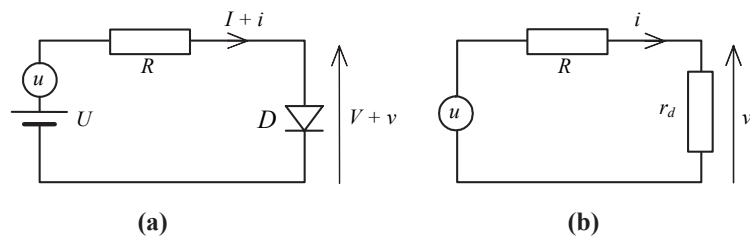


**Fig. 3** – Circuit de polarisation d'une diode (a), caractéristique et droite de charge pour une diode idéale (b).

Cette relation se représente dans le plan  $(I, V)$  par une droite appelée *droite de charge*. La caractéristique de la diode peut être représentée soit graphiquement (Fig. 3.b), soit analytiquement par la loi de Shockley (3).

Le point de polarisation  $(I_0, V_0)$  est à l'intersection de la caractéristique et de la droite de charge.

### 3 – Comportement en petits signaux



**Fig. 4** – Source de petits signaux superposée à la polarisation (a) et schéma équivalent en petits signaux (b).

Si l'on superpose à  $U$  une tension  $u$  de faible amplitude, le schéma de la figure 3.a se transforme en celui de la figure 4.a. Les variations  $u$  provoquent une translation de la droite de charge (Fig. 5) de sorte que le point de fonctionnement évolue autour du point de polarisation. Si les variations sont de faible amplitude, on peut assimiler le morceau de caractéristique concerné à un segment de droite et si l'on ne s'intéresse qu'aux petites variations, on peut éliminer les composantes continues en effectuant un changement d'axes pour amener l'origine au point de polarisation.

Dans le plan  $(i, v)$  ainsi défini, la diode a pour équation de comportement :  $i = \frac{v}{r_d}$  où  $r_d$  s'appelle *résistance dynamique*.

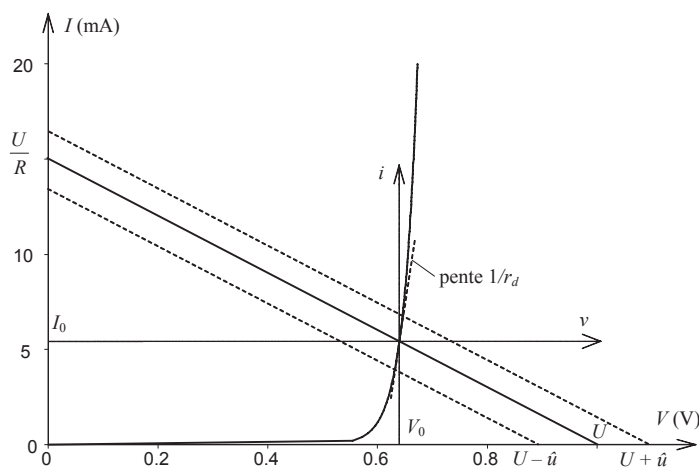


Fig. 5 – Les petites variations  $u$  déplacent la droite de charge.

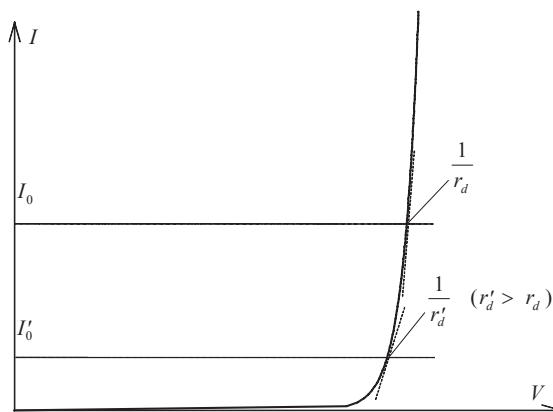


Fig. 6 – Variation de la résistance dynamique avec la polarisation.

Le schéma équivalent en petits signaux du circuit se met alors sous la forme représentée figure 4.b. Il s'agit d'un circuit où tous les composants sont **linéaires** mais qui n'est valable que pour des amplitudes de signaux faibles. On peut alors écrire :

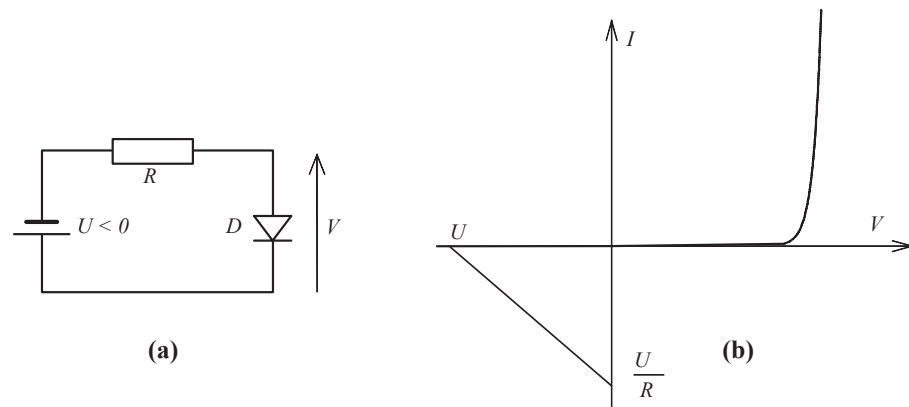
$$v = \frac{r_d u}{R + r_d} \quad \text{et} \quad i = \frac{u}{R + r_d}.$$

Bien que ce schéma dynamique soit valable quelle que soit la polarisation, il ne faut pas perdre de vue que la polarisation influe directement sur la **valeur** des éléments du schéma équivalent. On peut montrer cela soit analytiquement soit graphiquement :

$$I \stackrel{V \gg U_T}{\approx} I_S e^{V/U_T} \quad \Rightarrow \quad \frac{1}{r_d} = \left( \frac{\partial I}{\partial V} \right)_{V_0} = \frac{I_S e^{V_0/U_T}}{U_T} \quad \Rightarrow \quad r_d = \frac{U_T}{I_0} \quad (5)$$

La valeur de  $r_d$  est inversement proportionnelle au courant de polarisation. La figure 6 illustre cette dépendance de  $r_d$  avec le courant de polarisation.

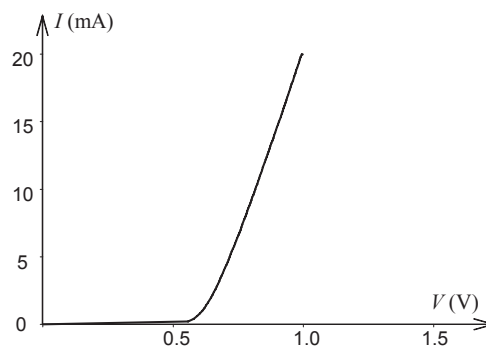
## 4 – Polarisation inverse



**Fig. 7** – Diode polarisée en inverse (a) et point de polarisation correspondant (b).

Lorsque la diode est polarisée en inverse ( $U < 0$ , cf. Fig. 7.a) la tension à ses bornes est  $V_0 \approx U$  et  $I_0 \approx 0$ , la diode se comporte comme un circuit ouvert. Dans le plan  $(I, V)$ , la droite de charge se situe dans le troisième quadrant (Fig. 7.b), son intersection avec la caractéristique de la diode montre également que  $V_0 \approx U$  et  $I_0 \approx 0$ .

## 5 – Caractéristique réelle et caractéristiques non linéaires approchées



**Fig. 8** – Caractéristique d'une diode réelle.

La figure 8 représente la caractéristique d'une diode réelle sur laquelle on voit l'influence de la résistance ohmique du composant. L'analyse de circuits comprenant des composants dont la caractéristique est si complexe peut devenir rapidement inextricable. La figure 9 résume les différents niveaux d'approximation qui peuvent être employés pour analyser les circuits comportant des diodes :

- Forme analytique (Fig. 9.a) :  $I = I_S \left( e^{V/U_T} - 1 \right) \stackrel{V \gg U_T}{\approx} I_S e^{V/U_T}$  (loi de Shockley).

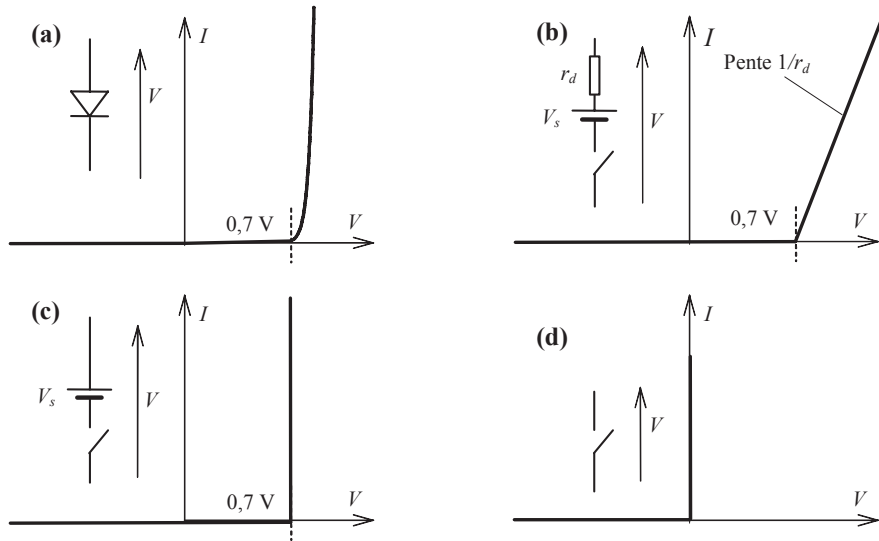


Fig. 9 – Différents niveaux d'approximation pour la modélisation d'une diode.

- Forme linéaire, tension de seuil et interrupteur commandé (Fig. 9.b) la pente  $1/r_d$  peut être obtenue à partir de la pente moyenne observée sur la caractéristique réelle (Fig. 8). L'interrupteur est ouvert lorsque  $V < V_s$  et fermé lorsque  $V > V_s$ .
- Tension de seuil et interrupteur commandé (Fig. 9.c). L'interrupteur fonctionne comme précédemment.
- Interrupteur commandé idéal (Fig. 9.d). Ici l'interrupteur est ouvert si  $V < 0$  et fermé si  $V > 0$ .

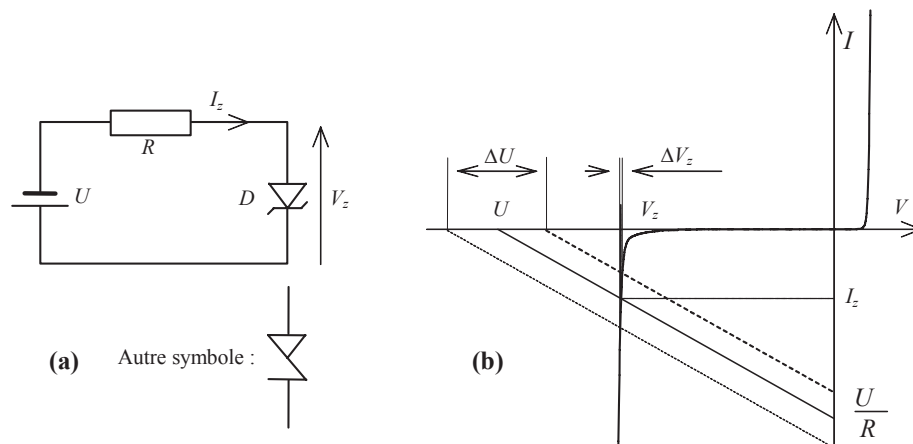
Le choix de l'un ou l'autre des modèles dépend de l'application étudiée. Par exemple, dans le cas de redressement de signaux de grande amplitude ( $\approx 100$  V) on peut se contenter d'une approximation du type interrupteur idéal (d). Pour des amplitudes plus faibles ( $\approx 10$  V) on pourra tenir compte de la tension de seuil (c). Pour des signaux de quelques volts dans un circuit où les résistances sont faibles on pourra être amené à tenir compte de la résistance interne (b)...

## 6 – Diodes Zener

Lorsque l'on augmente la tension aux bornes d'une diode polarisée en inverse, on observe à partir d'une certaine valeur une brusque augmentation du courant. La valeur de seuil et le mécanisme mis à contribution (effet Zener ou effet d'avalanche<sup>1</sup>) dépend du type de diode (dopage, technologie, etc.). Le seuil peut prendre des valeurs comprises entre quelques volts et quelques centaines de volts. Dans certains cas ce phénomène est irréversible et la jonction est détruite, dans d'autres cas, il est réversible et les diodes ainsi réalisées portent le nom de diode Zener et sont utilisées pour la stabilisation de tension. La figure 10.a présente le circuit de polarisation d'une diode Zener ainsi que les symboles utilisés, la figure 10.b montre le principe de stabilisation de tension par une diode Zener.

<sup>1</sup>Les mécanismes physiques de l'effet Zener et de l'effet d'avalanche sont décrits à l'annexe 2.





**Fig. 10** – Une diode Zener peut être utilisée pour stabiliser une tension : les variations de  $V_z$  sont beaucoup plus faibles que celles de  $U$ .

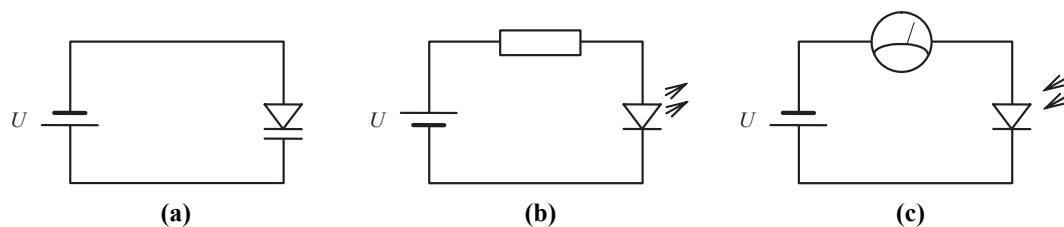
On trouve des diodes Zener de tension  $V_z$  comprises entre 1,8 V et 200 V, dissipant des puissances de  $\frac{1}{4}$  W à 50 W. L'effet Zener ne peut se produire que si le courant qui parcourt la diode est suffisant, en général le constructeur précise cette valeur sous le symbole  $I_{ZT}$  (courant  $I_z$  de test). Ce courant correspond habituellement au  $\frac{1}{4}$  de la puissance maximale que peut dissiper la diode. Par exemple :

$$V_z = 10 \text{ V} \quad \text{et} \quad P_{ZM} = 1 \text{ W} \quad \Rightarrow \quad I_{ZT} = \frac{1}{4} \cdot \frac{P_{ZM}}{V_z} = 25 \text{ mA}.$$

Les valeurs de tensions Zener sont normalisées, les plus courantes appartiennent à la série Renard E12 (cf. annexe 4).

Dans le sens direct, une diode Zener a exactement la même caractéristique qu'une diode normale (Fig. 10.b). De même que pour la polarisation directe, le schéma équivalent en petits signaux d'une diode Zener polarisée en inverse est une résistance dont la valeur dépend du point de polarisation, elle est généralement de quelques ohms.

## 7 – Diodes spéciales



**Fig. 11** – Diode varicap (a), diode électroluminescente (b) et photodiode (c).

### 7.1 – Diodes varicap

Une jonction polarisée en inverse se comporte comme une capacité de valeur :

$$C_t = \frac{K}{(V_D + U)^m} \quad (6)$$

où  $V_D$  est la hauteur de la barrière de potentiel<sup>2</sup> et  $U$  la tension inverse appliquée. Selon le type de dopage,  $m$  peut prendre des valeurs inférieures ou supérieures à 1, dans le cas d'une jonction abrupte on montre que  $m = \frac{1}{2}$  :

$$C_t = \frac{K}{\sqrt{V_D + U}} \quad (7)$$

Certaines diodes appelées *varicap*, sont spécialement conçues pour mettre cette particularité à profit, on réalise ainsi un condensateur dont la capacité varie avec la tension appliquée (Fig. 11.a). Ce composant est utilisé par exemple pour réaliser des oscillateurs dont la fréquence peut être commandée par une tension (*VCO = Voltage Controlled Oscillator*).

### 7.2 – Diodes électroluminescentes

Dans une diode **polarisée en direct**, les mouvements de charges électriques au niveau de la jonction s'accompagnent d'un rayonnement d'énergie qui se dissipe le plus souvent sous forme de chaleur. Les diodes électroluminescentes : DEL (ou *LED = Light Emitting Diode*) (Fig. 11.b) sont des composants dans lesquels le rayonnement se situe dans le spectre visible, la longueur d'onde du rayonnement lumineux dépend du semi-conducteur utilisé. En général le seuil de conduction de ces diodes se situe entre 1,5 et 2,5 V pour des courants compris entre 10 et 50 mA.

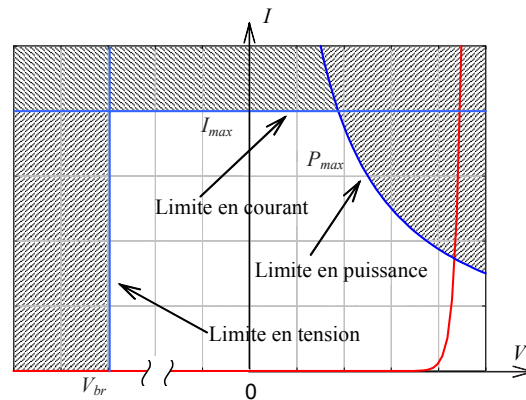
### 7.3 – Photodiodes

Dans une diode **polarisée en inverse**, le courant est dû à la création de charges électriques mobiles provoquée principalement par l'agitation thermique. Un apport d'énergie extérieure peut également créer des porteurs de charge, c'est le cas de certaines radiations dans le spectre visible ou infrarouge. Une photodiode (Fig. 11.c) est une diode optimisée pour la génération de porteurs par énergie lumineuse : plus l'intensité lumineuse est importante, plus le courant inverse augmente. Comme il s'agit d'un courant inverse de saturation, sa valeur est extrêmement faible si bien qu'elle est difficilement exploitable c'est pourquoi ces diodes sont souvent associées à un transistor permettant d'amplifier le courant, ce composant est alors appelé *phototransistor*.

## 8 – Limites d'utilisation des diodes

Avant de choisir une diode, il y a lieu de déterminer quelles seront les conditions extrêmes d'utilisation et de vérifier sur la fiche des caractéristiques du constructeur que le composant les supportera. Les principales limites d'utilisation sont :

<sup>2</sup>Pour une jonction silicium  $V_D \approx 0,7$  V à ne pas confondre avec la tension de seuil de la diode bien qu'elle ait la même valeur numérique (voir annexe 2).



**Fig. 12** – Principales limites d'utilisation d'une diode.

- le courant maximal direct ( $I_{max}$ ),
- la tension maximale inverse ( $V_{br}$ ),
- la puissance maximale ( $P_{max}$ ),
- la température maximale de la jonction.

Les deux dernières limitations sont liées par la loi d'échauffement de la jonction (*loi d'Ohm thermique*) :

$$T_j - T_a = R_{th} \times P \quad \text{avec : } \begin{cases} T_j & \text{température de la jonction,} \\ T_a & \text{température ambiante (25°C),} \\ R_{th} & \text{résistance thermique (°C/W),} \\ P & \text{puissance dissipée (W).} \end{cases}$$

Pour la plupart des composants, la température maximale est de 175°C. La résistance thermique est donnée par le constructeur, elle peut être réduite grâce à l'utilisation d'un radiateur.

La puissance dissipée par une diode est  $P = V \times I$ , la limitation en puissance s'écrit donc :

$$P < P_{max} \quad \Rightarrow \quad V \cdot I < P_{max} \quad \Rightarrow \quad I < \frac{P_{max}}{V}.$$

Dans le plan ( $I, V$ ), l'ensemble des points satisfaisant cette condition est situé en dessous d'une hyperbole limite (hyperbole de dissipation maximale) comme le montre la figure 12 où les limitations en courant et en tension ont également été représentées.

**Remarques :**

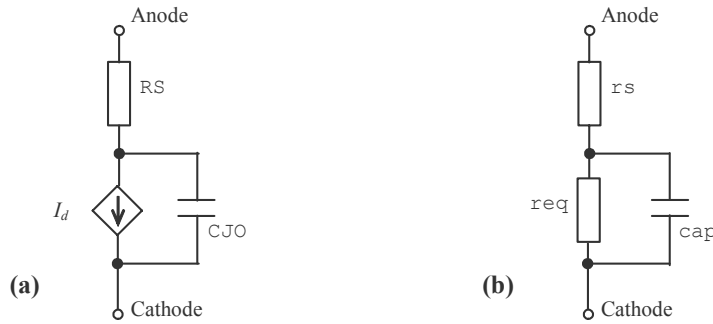
- les diodes dont la puissance maximale est inférieure à 0,5 W sont dites de *signal*,
- celles qui supportent des puissances supérieures à 0,5 W sont appelées *redresseurs*.

## 9 – Simulation des diodes avec PSpice

### 9.1 – Syntaxe

Voir le § 5 page 14 pour les conventions typographiques utilisées.

Forme générale :



Paramètre	PSpice	Définition	Défaut	Unité
$V_{br}$	BV	Tension inverse d'avalanche	$\infty$	V
$C_{j0}$	CJO	Capacité de jonction à polarisation nulle	0	F
$I_{br}$	IBV	Courant inverse d'avalanche	$10^{-10}$	A
$I_S$	IS	Courant de saturation	$10^{-14}$	A
$n$	N	Coefficient d'émission	1	
$R_s$	RS	Résistance parasite	0	$\Omega$

**Fig. 13** – Modèles de diode utilisés par PSpice : modèle non linéaire pour les analyses .DC et .TRAN (a) modèle linéaire pour l'analyse .AC (b) et tableau des principaux paramètres du modèle de diode.

D<nom> <nœud+ > <nœud- > <nom de modèle> [surface]

Exemples : 

Dclamp 14 0 DMOD
D13 15 17 SWITCH 1.5

Forme du modèle :

.MODEL <nom du modèle> D [paramètres du modèle]

## 9.2 – Modélisation

La diode est modélisée par une diode intrinsèque en série avec une résistance ohmique. Le <nœud+ > est l'anode tandis que le <nœud- > est la cathode. Le courant est compté positivement lorsqu'il circule dans la diode de l'anode vers la cathode. IBV et BV sont tous les deux considérés comme des quantités positives. Dans sa forme la plus simple, la loi de comportement est celle d'une diode de Shockley (cf. § 1 page 131) sous la forme (1) le tableau de la figure 13 des caractéristiques du modèle indique la nature et la valeur par défaut des principaux paramètres, on voit par exemple que, s'ils ne sont pas précisés dans le modèle, le courant de saturation IS vaut  $10^{-14}$  et le facteur d'émission N vaut 1. Il existe de nombreux autres paramètres décrits dans la documentation en ligne de PSpice mais qui ne seront pas traités ici.

## 9.3 – Schéma équivalent

Pour déterminer le comportement d'un circuit comportant une diode, PSpice commence toujours par calculer le point de polarisation statique du circuit en utilisant le schéma non linéaire représenté Fig. 13.a et détermine alors les paramètres petits signaux linéaires du schéma équivalent de la figure 13.b. Ce schéma équivalent linéaire n'est utilisé que pour

les analyses de type AC (cf. tableau IV page 31). Pour les autres analyses non linéaires (DC et temporelle) c'est le schéma de la figure 13.a qui est utilisé (noter que la capacité n'intervient que pour les analyses temporelles).

## 9.4 – Exemples

### – Tracé de la caractéristique directe d'une diode

```
* Caracteristique de diode *
*
I 0 1 10m ac=1
D 1 0 diode
.model diode D(Is=1e-16 cjo=2p)
.dc I 0 30m 50u
.op
.probe
.end
```

**Fig. 14** – *Fichier-circuit pour la détermination de la caractéristique courant-tension d'une diode.*

La caractéristique  $I(V)$  représentée sur la figure 2 page 131 peut être obtenue à partir du fichier-circuit de la figure 14. La figure 15 représente un extrait du fichier de sortie dans lequel figurent les paramètres petits signaux du schéma équivalent linéaire de la diode. Noter sur cet exemple que la capacité `cap` du schéma équivalent linéaire est différente de la capacité `CJO` à polarisation nulle. À titre d'exercice, expliquer la valeur du paramètre `req` indiquée dans le fichier de sortie.

```
**** OPERATING POINT INFORMATION          TEMPERATURE = 27.000 DEG C
*****
**** DIODES
NAME          D
MODEL         diode
ID            1.00E-02
VD            8.34E-01
REQ           2.59E+00
CAP           3.77E-12
```

**Fig. 15** – *Extrait du fichier de sortie.*

### – Modèle de diode réelle

```
*** General Purpose Fast Rectifier ***
.model D1N914 D(Is=168.1E-21 N=1 Rs=.1 Ikf=0 Xti=3 Eg=1.11 Cjo=4p M=.3333
+           Vj=.75 Fc=.5 Isr=100p Nr=2 Bv=100 Ibv=100u Tt=11.54n)
```

**Fig. 16** – *Extrait de la bibliothèque de composants de PSpice.*

La figure 16 montre un extrait de la bibliothèque de composants fournie avec *PSpice* dans lequel les paramètres correspondent à ceux d'une diode réelle. À titre d'exercice on pourra comparer la caractéristique d'une diode réelle et celle d'une diode idéale.

## – Diode Zener

```

* Caracteristique de Zener *
*
I 0 1
D 1 0 zener
.model zener D(Is=1e-16 bv=5 ibv=1m)
.dc I -30m 30m 100u
.probe
.end

```

Fig. 17 – Fichier-circuit pour la détermination de la caractéristique courant-tension d'une Zener.

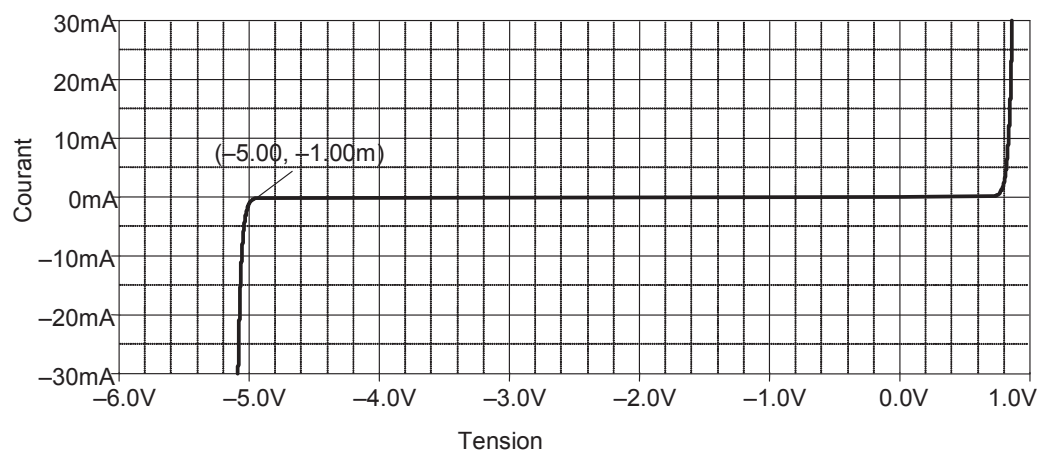


Fig. 18 – Caractéristique courant-tension d'une Zener.

Les paramètres BV et IBV décrits dans le tableau de la figure 13 page 140 peuvent être utilisés pour simuler le comportement d'une diode Zener, ils représentent la tension et le courant à partir desquels le phénomène d'avalanche se produit. Par exemple, la figure 17 montre le fichier-circuit permettant d'obtenir la caractéristique d'une diode Zener de tension de seuil  $V_z = 5$  V pour  $I_z = 1$  mA représentée sur la figure 18.

## Chapitre 7

# Transistors bipolaires à jonctions

### 1 – Constitution

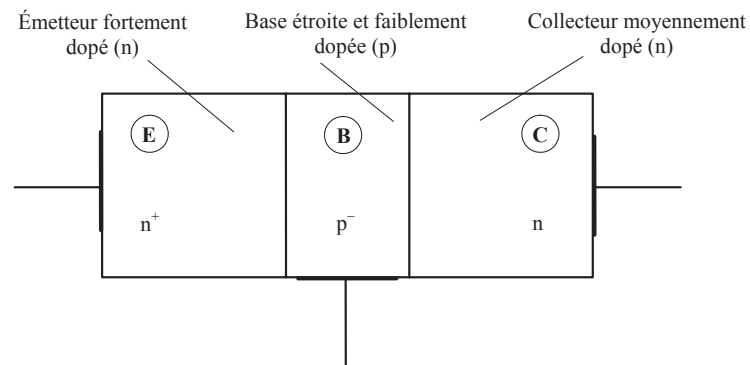


Fig. 1 – Constitution d'un transistor NPN.

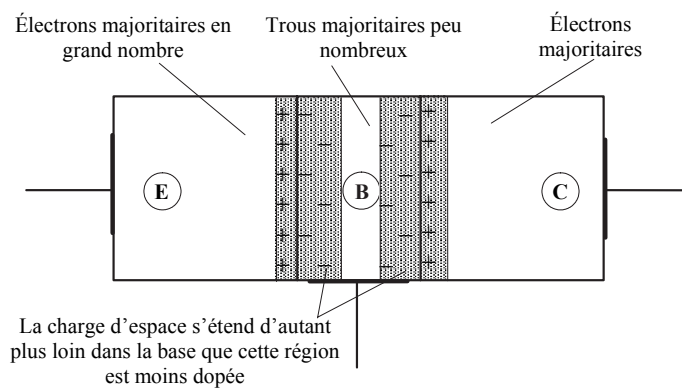


Fig. 2 – Répartition des charges d'espace dans un transistor NPN non polarisé.

La figure 1 montre la constitution schématique d'un transistor NPN. Il est formé de trois régions de semi-conducteurs de types opposés : une base étroite et peu dopée ( $p^-$ ) placée

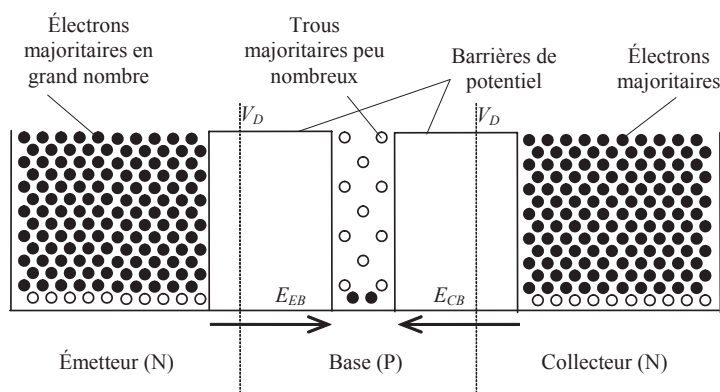


Fig. 3 – Transistor NPN non polarisé, seules les charges mobiles ont été représentées.

entre un émetteur fortement dopé ( $n^+$ ) et un collecteur moyennement dopé ( $n$ ). Un transistor PNP est constitué des mêmes régions avec des dopages de types opposés. La figure 2 montre la constitution des zones de charge d'espace au voisinage des deux jonctions émetteur–base et collecteur–base<sup>1</sup>.

En utilisant l'image des réservoirs de charges mobiles illustrant le fonctionnement de la jonction P-N, on peut décrire l'état d'équilibre d'un transistor NPN sous la forme représentée figure 3. On remarque la présence de deux barrières de potentiel de hauteur  $V_D \approx 0,7 \text{ V}$  caractéristique des jonctions silicium. Les deux champs électriques correspondant sont dirigés en sens contraires.

La contribution des deux types de porteurs et l'existence de deux jonctions P-N expliquent le nom de « transistor bipolaire à jonctions » ou BJT (*Bipolar Junction Transistor*) donné à ce composant. L'origine du terme « transistor » sera décrite un peu plus loin.

## 2 – Effet transistor

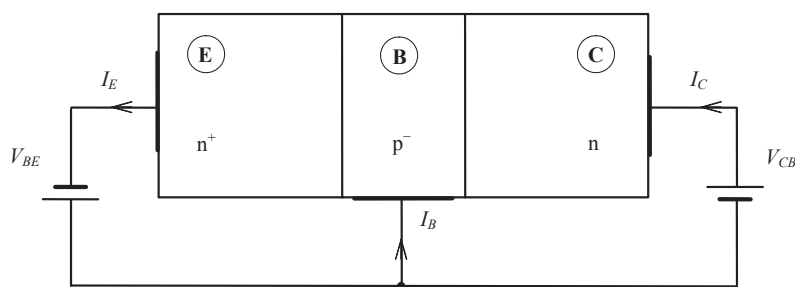


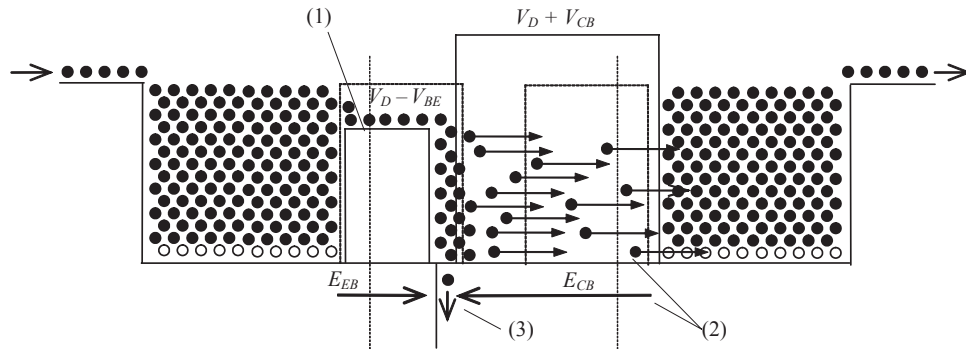
Fig. 4 – Polarisation d'un transistor NPN en régime normal.

En fonctionnement normal (régime actif ou linéaire) :

– la jonction émetteur–base doit être polarisée dans le sens passant,

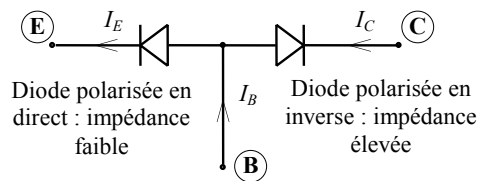
<sup>1</sup>Pour comprendre le fonctionnement du transistor bipolaire, le lecteur est invité à revoir quelques notions de physique des semi-conducteurs et le principe de la jonction P-N à l'annexe 2.





**Fig. 5** – Principe de l'effet transistor :

- (1) l'abaissement de la barrière de potentiel dû à la polarisation directe entraîne l'injection d'un grand nombre d'électrons dans la base,
- (2) le champ électrique intense dû à la polarisation inverse « aspire » les électrons dans le collecteur et provoque le courant dans le circuit extérieur,
- (3) un petit nombre d'électrons se recombinaient dans la base et provoque le courant de base, ce courant est d'autant plus faible que la base est étroite et peu peuplée.



**Fig. 6** – Comportement idéalisé d'un transistor NPN.

– la jonction collecteur–base doit être polarisée en inverse (Fig. 4).

La polarisation directe de la jonction émetteur–base entraîne une diminution de la hauteur de la barrière de potentiel ce qui provoque l'injection d'électrons dans la base où ils sont minoritaires. Ces électrons commencent à se recombinaient avec les trous de la base mais comme celle-ci est étroite et peu peuplée, les électrons sont rapidement « happés » par le fort champ électrique de la jonction collecteur–base polarisée en inverse et sont aspirés vers le collecteur. Un très petit nombre d'électrons (entre 0,5% et 5%) a le temps de se recombinaient dans la base de sorte que le courant de base est très faible (Fig. 5).

On appelle  $\alpha$  la proportion des électrons qui atteignent le collecteur, comme la recombinaison est très faible, presque tous les électrons passent dans le collecteur de sorte que  $\alpha$  est légèrement inférieur à 1, en général :  $0,95 \leq \alpha \leq 0,995$ .

Lorsqu'un transistor NPN est polarisé normalement les courants circulent comme le représente la figure 4. Le mécanisme de transfert des électrons de l'émetteur vers le collecteur se traduit par la relation :  $I_C = \alpha I_E$ . En appliquant la loi des nœuds on obtient :

$$I_E = I_B + I_C \quad \Rightarrow \quad I_B = \left( \frac{1 - \alpha}{\alpha} \right) I_C,$$

d'où l'on déduit :

$$I_C = \left( \frac{\alpha}{1 - \alpha} \right) I_B = \beta I_B \tag{1}$$

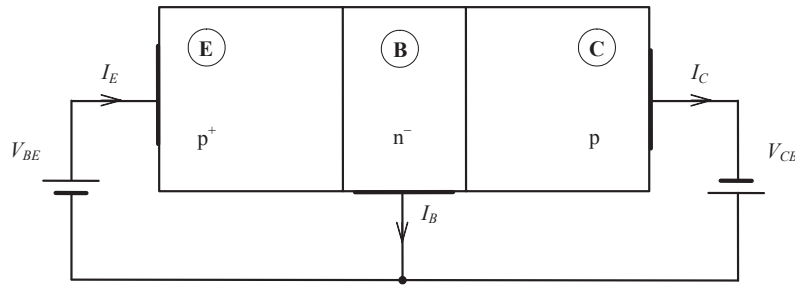


Fig. 7 – Polarisation d'un transistor PNP en régime normal.

Le coefficient  $\beta = \frac{\alpha}{1 - \alpha}$  est appelé *gain statique en courant* du transistor, du fait que  $\alpha$  est peu différent de 1,  $\beta$  est généralement assez grand :

$$0,95 \leq \alpha \leq 0,995 \quad \Rightarrow \quad 20 \leq \beta \leq 200.$$

Ce paramètre est quelquefois désigné par le symbole  $h_{FE}$ .

La relation  $I_C = \beta I_B$  montre que le courant de collecteur est directement proportionnel au courant de base : la fonction principale d'un transistor polarisé dans la région active consiste en une **amplification de courant**. Noter qu'en première approximation, dès que la jonction collecteur–base est bloquée, le courant  $I_C$  ne dépend pratiquement pas de  $V_{CB}$ , par contre il est directement lié à la hauteur de la barrière de potentiel de la jonction base–émetteur et suit une loi de type Shockley :

$$I_C = I_S \left[ \exp\left(\frac{V_{BE}}{U_T}\right) - 1 \right] \stackrel{V_{BE} \gg U_T}{\approx} I_S e^{V_{BE}/U_T} \quad (2)$$

analogue à la loi de courant dans une diode.

Si l'on représente les deux jonctions sous la forme de deux diodes tête-bêche (Fig. 6) on voit que le fonctionnement du transistor permet de faire passer le **même courant** d'une région de faible impédance (diode polarisée en direct) vers une région de haute impédance (diode polarisée en inverse). C'est cette particularité qui est à l'origine du nom de ce composant : résistance de transit, en anglais : *transit resistor* = transistor<sup>2</sup>.

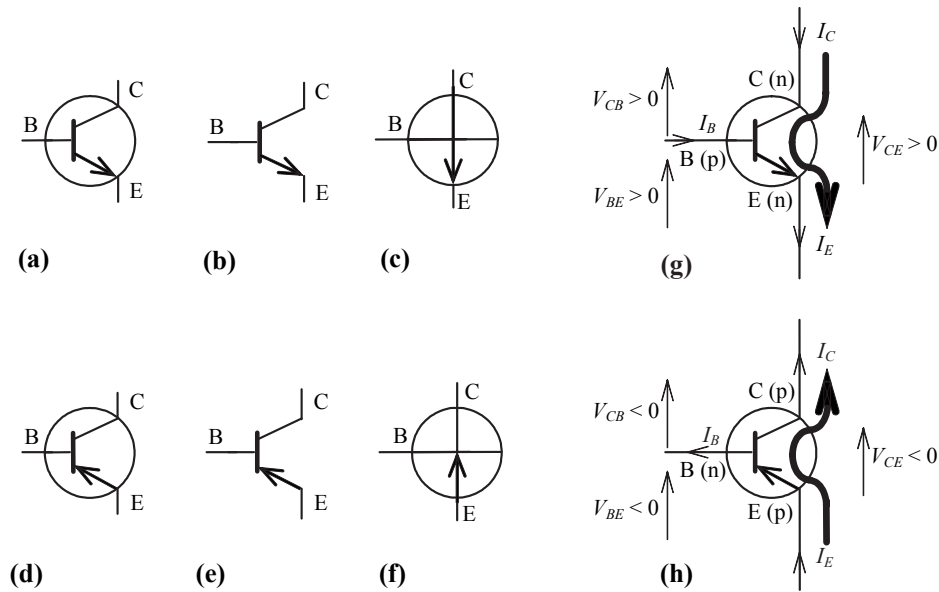
Pour un transistor PNP, les tensions de polarisation sont inversées pour respecter les conditions de fonctionnement en régime actif (Fig. 7).

### 3 – Symboles

La figure 8 montre les symboles utilisés pour la représentation des transistors bipolaires, les symboles (c) et (f) ne sont pratiquement plus utilisés. Noter que dans tous les cas la **flèche désigne l'émetteur** et qu'elle est toujours dirigée de **P vers N**.

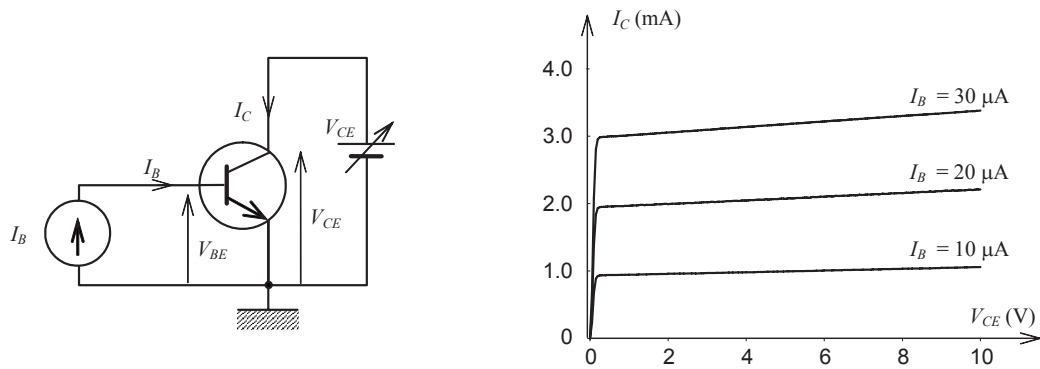
La figure 8 représente également les sens réels des courants et le signe des tensions des transistors NPN et PNP lorsqu'ils sont polarisés dans la région active.

<sup>2</sup>La découverte du transistor est l'œuvre de trois physiciens américains : Bardeen, Brattain et Shockley en 1948 (prix Nobel en 1956).



**Fig. 8** – Symboles utilisés pour les transistors bipolaires : transistor NPN (a–c), transistor PNP (d–f) (les symboles (c) et (f) sont tombés en désuétude). Sens des courants et signe des tensions pour un transistor NPN (g) et pour un transistor PNP (h).

## 4 – Caractéristiques d'un transistor



**Fig. 9** – Schéma de montage et caractéristiques de sortie d'un transistor bipolaire.

### 4.1 – Caractéristique de sortie

Le courant  $I_B$  est maintenu constant par le générateur situé entre la base et l'émetteur et l'on mesure le courant de collecteur  $I_C$  en fonction de la tension  $V_{CE}$  appliquée entre le collecteur et l'émetteur (Fig. 9). Le résultat, représenté sur la figure 9, montre deux régions distinctes :

- Pour les très faibles valeurs de  $V_{CE}$ , inférieures à quelques dixièmes de volt, la diode collecteur–base est peu ou pas polarisée dans le sens inverse, le champ interne  $E_{CB}$ , (Fig. 5) est faible, et beaucoup d'électrons se recombinent dans la base. Au fur et à

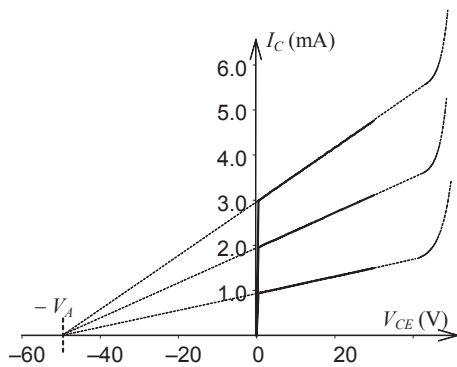


Fig. 10 – Effet Early et effet d'avalanche dans un transistor bipolaire.

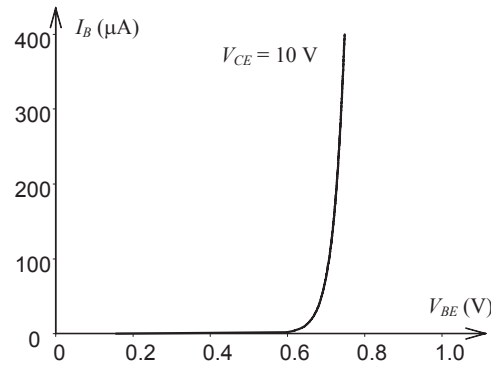


Fig. 11 – Caractéristique d'entrée d'un transistor bipolaire.

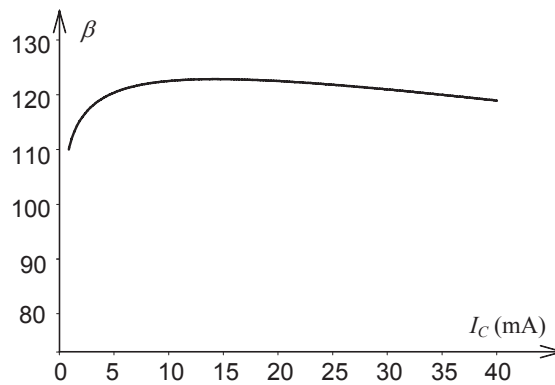


Fig. 12 – Variation du gain en courant avec le courant de collecteur.

mesure que  $V_{CE}$  augmente, un nombre de plus en plus grand d'électrons atteignent le collecteur et le courant  $I_C$  augmente rapidement.

- À partir d'une certaine valeur  $V_{CEsat} \approx$  quelques dixièmes de volt, appelée *tension de saturation*, pratiquement tous les électrons atteignent le collecteur, le courant devient approximativement constant pour une valeur donnée du courant de base, on a alors :  $I_C = \beta I_B$ . C'est la région de comportement actif normal (linéaire) du transistor bipolaire. Toutefois, quand on augmente  $V_{CE}$ , on observe une légère augmentation du courant  $I_C$  due au fait que la zone de charge d'espace collecteur-base s'élargit et que moins d'électrons se recombinent dans la base, la proportion d'électrons qui atteignent le collecteur est donc plus importante d'où l'augmentation de  $I_C$ . Si l'on prolonge les droites  $I_C(V_{CE})$  dans le second quadrant, on s'aperçoit qu'elles semblent provenir d'un point unique situé à quelques dizaines de volts sur l'axe  $V_{CE}$  à une abscisse  $-V_A$  appelée *tension d'Early* qui dépend du type et de la technologie du transistor (Fig. 10).

Dans la région de comportement actif, le transistor se comporte comme une **source de courant commandée en courant**.

- Au delà d'une tension  $V_{CEmax}$  appelée *tension d'avalanche*, souvent notée  $V_{BR}$  (*break-down*), la jonction collecteur-base est le siège d'un phénomène analogue à celui qui est décrit au § 5 page 278, l'ionisation des atomes de la région de charge d'espace entraîne une forte augmentation du courant et donc de la température de la jonction d'où un

risque important de destruction (Fig. 10). La tension  $V_{BR}$  dépend des transistors utilisés, elle peut varier de quelques dizaines à quelques centaines de volts.

#### 4.2 – Caractéristique d'entrée

On maintient à présent la tension  $V_{CE}$  fixée et l'on trace le courant  $I_B$  en fonction de la tension  $V_{BE}$ . La jonction émetteur–base, polarisée dans le sens direct, se comporte comme une diode, elle a une caractéristique analogue (Fig. 11).

#### 4.3 – Gain en courant

Si l'on trace le gain  $\beta = \frac{I_C}{I_B}$  en fonction de  $I_C$ , on obtient la courbe représentée figure 12. Cette courbe montre que la proportionnalité entre les deux courants est seulement une loi approchée. Cette loi est cependant suffisamment bien vérifiée pour permettre de rendre compte de la plupart des comportements du transistor en régime actif.

### 5 – Polarisation d'un transistor

#### 5.1 – Règles essentielles

Pour qu'un transistor (NPN ou PNP) travaille en régime actif (ou linéaire) il faut que :

- la jonction émetteur–base soit polarisée dans le sens passant,
- la jonction collecteur–base soit polarisée dans le sens bloquant.

Dans ces conditions on peut considérer que :

- la tension base–émetteur est pratiquement constante :  
 $V_{BE} \approx 0,7 \text{ V}$  (NPN) ou  $V_{BE} \approx -0,7 \text{ V}$  (PNP),
- le courant de collecteur est proportionnel au courant de base :  $I_C = \beta I_B$ ,
- du fait que  $\beta \gg 1$ , on peut dans de nombreux cas négliger le courant de base devant le courant de collecteur :  $I_E = I_B + I_C \stackrel{I_B \ll I_C}{\approx} I_C$ .

#### 5.2 – Point de polarisation

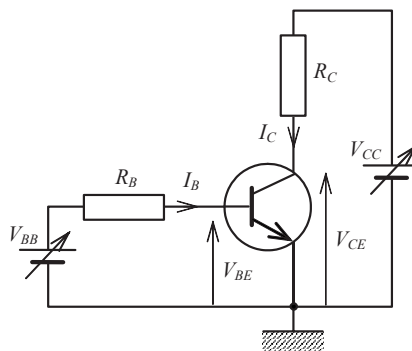


Fig. 13 – Polarisation d'un transistor NPN.

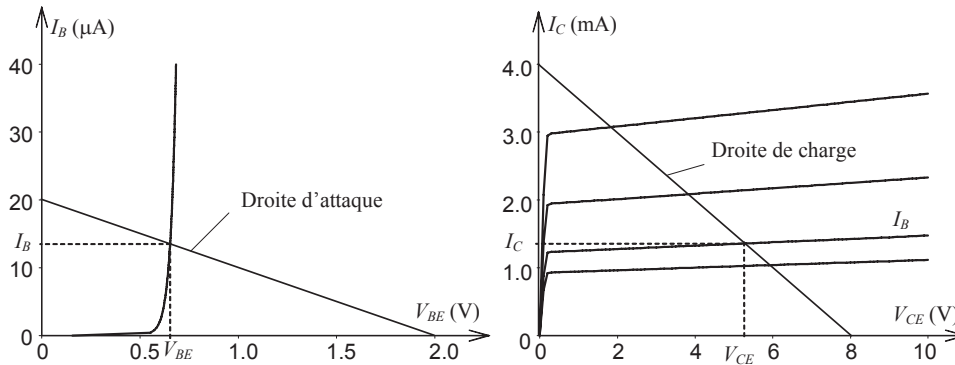


Fig. 14 – Détermination graphique du point de polarisation.

Connaissant  $V_{BB}$ ,  $V_{CC}$ ,  $R_B$  et  $R_C$ , comment déterminer le point de polarisation défini par les coordonnées  $(I_B, V_{BE})$  et  $(I_C, V_{CE})$  (Fig. 13) ?

Pour analyser un tel circuit on considère les deux mailles :

$$\{V_{BB}, R_B, V_{BE}\} \text{ et } \{V_{CC}, R_C, V_{CE}\}$$

respectivement appelées *maille d'entrée* et *maille de sortie*. On peut écrire :

$$V_{BB} = R_B I_B + V_{BE},$$

$$V_{CC} = R_C I_C + V_{CE}.$$

Compte tenu des règles énoncées précédemment, sachant que  $V_{BE} \approx 0,7 \text{ V}$  on peut obtenir  $I_B$  à partir de :  $I_B = \frac{V_{BB} - V_{BE}}{R_B}$ . De même, sachant que  $I_C = \beta I_B$ , on peut tirer  $V_{CE}$  de la relation :  $V_{CE} = V_{CC} - R_C I_C$ .

Il est également possible de procéder graphiquement pour déterminer le point de polarisation (Fig. 14).

Dans le plan d'entrée, le point de polarisation est à l'intersection de la caractéristique  $I_B(V_{BE})$  et de la droite d'attaque  $I_B = \frac{V_{BB} - V_{BE}}{R_B}$ , cette droite coupe l'axe  $V_{BE}$  à l'abscisse  $V_{BB}$  et l'axe  $I_B$  à l'ordonnée  $\frac{V_{BB}}{R_B}$  ce qui permet de déterminer le couple  $(I_B, V_{BE})$ . Cette valeur de  $I_B$  correspond, dans le plan de sortie, à une caractéristique particulière  $I_C(V_{CE})$ . Le point de polarisation cherché se situe à l'intersection de cette caractéristique et de la *droite de charge*  $I_C = \frac{V_{CC} - V_{CE}}{R_C}$  qui coupe l'axe  $V_{CE}$  à l'abscisse  $V_{CC}$  et l'axe  $I_C$  à l'ordonnée  $\frac{V_{CC}}{R_C}$ .

### Exemple

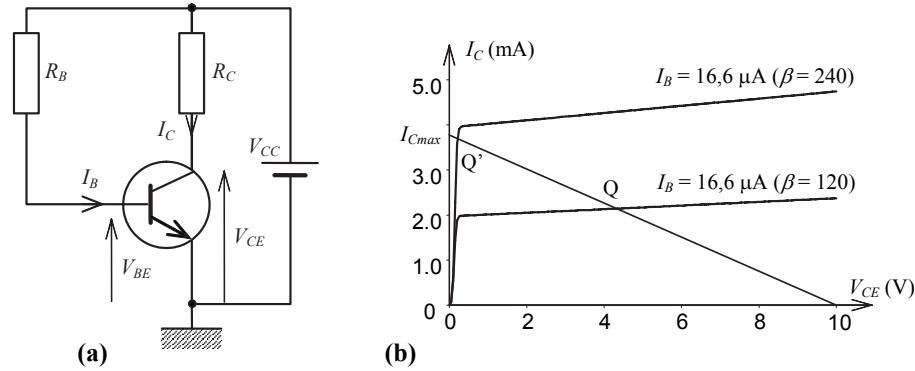
Sur le montage de la figure 13, on fixe :

$$V_{CC} = 8 \text{ V}, \quad V_{BB} = 2 \text{ V}, \quad R_C = 2 \text{ k}\Omega, \quad R_B = 100 \text{ k}\Omega,$$

le gain du transistor vaut  $\beta = 100$ . On sait que  $V_{BE} \approx 0,7 \text{ V}$ , d'où  $I_B \approx \frac{2 - 0,7}{100} = 13 \mu\text{A}$  donc :  $I_C = 100 \times 0,013 = 1,3 \text{ mA}$  et enfin  $V_{CE} \approx 8 - 2 \times 1,3 = 5,4 \text{ V}$ .

La détermination graphique représentée sur la figure 14 donne approximativement les mêmes valeurs.

### 5.3 – Polarisation simple



**Fig. 15** – Montage de polarisation simple d'un transistor (a), le point de polarisation n'est pas stable vis-à-vis de la dispersion des caractéristiques (b).

La manière la plus simple de polariser un transistor consiste à utiliser une alimentation continue, une résistance de base et une résistance de collecteur (Fig. 15.a).

Les problèmes se posent généralement sous deux formes :

- analyse d'un circuit : on connaît les éléments de polarisation  $V_{CC}$ ,  $R_B$ , et  $R_C$ , ainsi que les caractéristiques du transistor ( $\beta$ ) et il faut calculer les coordonnées du point de polarisation,
- conception d'un circuit : on connaît la tension d'alimentation  $V_{CC}$  et les caractéristiques du transistor et on choisit le point de polarisation soit en fonction des indications du constructeur, soit pour des considérations de performance (dynamique, gain, impédance...) et il faut calculer  $R_B$  et  $R_C$ .

#### Exemple

$$V_{CC} = 10 \text{ V}, \quad \beta = 120, \quad I_C = 2 \text{ mA}.$$

On souhaite que le point de polarisation soit au milieu de la droite de charge<sup>3</sup>.

Pour que le point de polarisation Q soit au milieu de la droite de charge il faut que :

$$V_{CE} \approx \frac{V_{CC}}{2} = 5 \text{ V}.$$

De l'équation de la maille de sortie on tire  $R_C = \frac{V_{CC} - V_{CE}}{I_C} = 2,5 \text{ k}\Omega$ , on choisira alors la valeur normalisée la plus proche :  $R_C = 2,7 \text{ k}\Omega$  d'où le courant réel :

$$I_C = \frac{V_{CC} - V_{CE}}{R_C} = 1,85 \text{ mA}. \text{ Le courant de base vaut alors } I_B = \frac{I_C}{\beta} = 15,4 \mu\text{A}.$$

Dans la maille d'entrée on a  $R_B = \frac{V_{CC} - V_{BE}}{I_B} = 603 \text{ k}\Omega$ . On choisira la valeur normalisée la plus proche :  $R_B = 560 \text{ k}\Omega$ . On a considéré ici que  $V_{BE} \approx 0,7 \text{ V}$ .

<sup>3</sup>Voir au § 7 page 155 les raisons de ce choix.

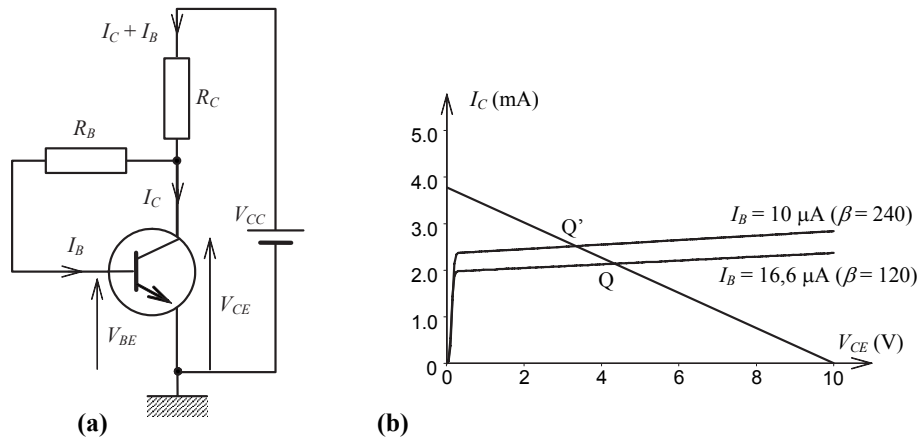
### Inconvénient

Le montage n'est pas stable vis-à-vis des variations de température et de la dispersion des caractéristiques. Supposons en effet que le transistor de gain initial 120 soit remplacé par un transistor de gain 240 (une dispersion de 100% n'est pas rare en électronique), si les éléments de polarisation ne sont pas modifiés, le courant de base ne change pas :  $I_B = \frac{V_{CC} - V_{BE}}{R_B} = 16,6 \mu\text{A}$ . Comme le gain vaut à présent 240, le courant de collecteur devrait être  $I_C = \beta I_B \approx 4 \text{ mA}$  mais le courant maximal que peut délivrer le circuit extérieur est limité à  $I_{Cmax} = \frac{V_{CC}}{R_C} = 3,7 \text{ mA}$ , le transistor est donc saturé, le point de polarisation initialement en Q passe en Q' (Fig. 15.b) et le transistor ne peut plus assurer l'amplification de courant.

Pour pallier cet inconvénient, il faut utiliser d'autres circuits de polarisation réalisant une réaction par le collecteur ou l'émetteur. Quelques circuits de polarisation plus élaborés sont traités dans le paragraphe suivant.

## 6 – Autres circuits de polarisation

### 6.1 – Polarisation automatique (réaction de collecteur)



**Fig. 16** – Montage de polarisation automatique (a). La polarisation automatique permet une meilleure stabilisation du point de polarisation (b).

Pour pallier les inconvénients de la polarisation simple (Fig. 15), on peut placer la résistance de base entre la base et le collecteur (Fig. 16.a) et calculer  $R_C$  et  $R_B$  pour obtenir le même point de polarisation que précédemment :

$$V_{CC} = 10 \text{ V}, \beta = 120, I_C = 2 \text{ mA}, V_{CE} = 5 \text{ V}.$$

Dans la maille de sortie :  $V_{CC} = R_C(I_C + I_B) + V_{CE} \approx R_C I_C + V_{CE}$  d'où l'on tire :

$$R_C = \frac{V_{CC} - V_{CE}}{I_C} \approx 2,7 \text{ k}\Omega.$$

Dans la maille d'entrée :  $V_{CC} = R_C(I_C + I_B) + R_B I_B + V_{BE} \approx (R_B + \beta R_C) I_B + V_{BE}$

$$\text{d'où : } R_B = \frac{V_{CC} - V_{BE}}{I_B} - \beta R_C \approx 270 \text{ k}\Omega.$$



Si l'on exprime  $I_B$  à partir de la relation précédente on obtient :  $I_B = \frac{V_{CC} - V_{BE}}{R_B + \beta R_C}$ .

Cette expression montre que, contrairement à la polarisation simple où  $I_B$  reste constant quel que soit  $\beta$ , ici, une augmentation de  $\beta$  entraîne une diminution de  $I_B$  de sorte que  $I_C$  augmente beaucoup moins. Par exemple, pour  $\beta = 240$ , on obtient  $I_B = 10 \mu\text{A}$  d'où  $I_C = 2,4 \text{ mA}$  et  $V_{CE} = 3,5 \text{ V}$ . Si l'on compare les figures 15.b et 16.b, on voit que pour une même dispersion, la position du point de polarisation est moins affectée dans le cas de la polarisation automatique que dans le cas d'une polarisation simple.

## 6.2 – Polarisation par pont de base et réaction d'émetteur

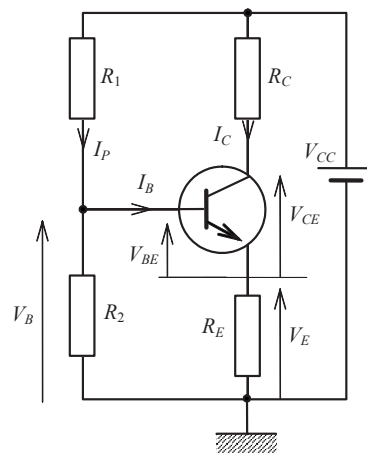


Fig. 17 – Polarisation par pont de base et réaction d'émetteur.

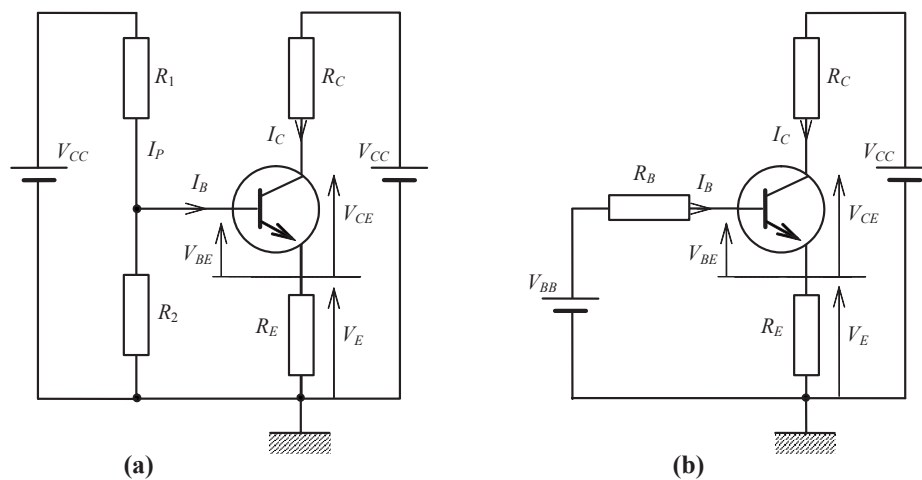
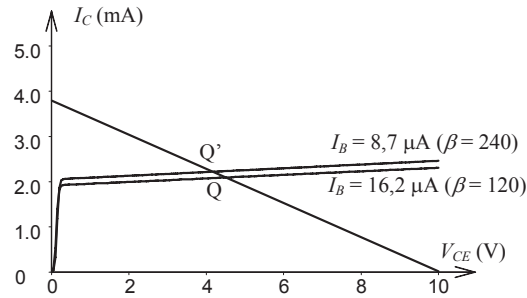


Fig. 18 – Transformations du schéma de polarisation pour le calcul du courant de base.

C'est un type de polarisation très souvent utilisé car il permet la meilleure stabilisation du point de polarisation vis-à-vis de la dispersion des caractéristiques (Fig. 17). On admettra



**Fig. 19** – La polarisation par pont de base et réaction d'émetteur permet une stabilisation efficace du point de polarisation.

que la stabilisation est satisfaisante pour la plus grande partie des applications lorsque les deux conditions suivantes sont satisfaites :

- la tension de base  $V_B$  est maintenue constante,
- la tension d'émetteur  $V_E$  vaut approximativement le dixième de la tension d'alimentation  $V_{CC}$ .

La première condition peut être obtenue en fixant  $I_P$  tel que  $I_P \gg I_B$ , de telle sorte que les variations de  $I_B$  ne modifient pas le potentiel  $V_B$ .

Dans la pratique on fixera  $I_P \approx 10I_B$  et  $V_E \approx \frac{V_{CC}}{10}$ .

Reprenons le même transistor et le même point de polarisation que précédemment :

$V_{CC} = 10 \text{ V}$ ,  $\beta = 120$ ,  $I_C = 2 \text{ mA}$ ,  $V_{CE} = 5 \text{ V}$ .

Le courant  $I_C$  et la condition sur  $V_E$  permettent de calculer  $R_E$ , en effet :  $I_E \approx I_C = 2 \text{ mA}$  et  $V_E \approx \frac{V_{CC}}{10} = 1 \text{ V}$ , d'où  $R_E = \frac{V_E}{I_C} \approx 470 \Omega$ .

Dans la maille de sortie :  $V_{CC} = (R_C + R_E) I_C + V_{CE}$  d'où :

$$R_C = \frac{V_{CC} - V_{CE}}{I_C} - R_E \approx 2,2 \text{ k}\Omega.$$

On peut recalculer le courant  $I_C$  compte tenu de la valeur normalisée des résistances :

$$I_C = \frac{V_{CC} - V_{CE}}{R_C + R_E} \approx 1,9 \text{ mA}.$$

Dans la maille d'entrée :  $I_B = \frac{I_C}{\beta} = 15,8 \mu\text{A}$ , d'où :  $I_P \approx 10I_B \approx 160 \mu\text{A}$ . Dans ces conditions,  $I_B$  est négligeable devant  $I_P$  et

$$V_{CC} \approx (R_1 + R_2) I_P \Rightarrow (R_1 + R_2) = 63 \text{ k}\Omega.$$

Dans la maille d'entrée inférieure on a :

$$R_2 I_P = V_{BE} + R_E I_C \Rightarrow R_2 = \frac{V_{BE} + R_E I_C}{I_P} \approx 10 \text{ k}\Omega \Rightarrow R_1 \approx 63 \text{ k}\Omega.$$

Le mécanisme de la stabilisation peut à présent être expliqué. Il faut pour cela calculer le courant de base, ce calcul peut se faire en transformant le schéma de la figure 17 en son équivalent représenté figure 18.a et par application du théorème de Thévenin à l'ensemble  $\{V_{CC}, R_1, R_2\}$ , on obtient alors le schéma équivalent de la figure 18.b.

L'application du théorème de Thévenin donne :

$$V_{BB} = \frac{R_2 V_{CC}}{R_1 + R_2} \approx 1,75 \text{ V et } R_B = \frac{R_1 R_2}{R_1 + R_2} \approx 8,25 \text{ k}\Omega.$$

Dans la maille d'entrée du schéma de la figure 18.b on a alors :

$$I_B = \frac{V_{BB} - V_{BE}}{R_B + \beta R_E} \approx 16,2 \text{ }\mu\text{A}.$$

Cette expression montre que si  $\beta$  augmente  $I_B$  diminue donc  $I_C$  reste à peu près constant. Par exemple si  $\beta = 240$ , avec les mêmes éléments de polarisation on obtient :

$$I_B = \frac{V_{BB} - V_{BE}}{R_B + \beta R_E} \approx 8,7 \text{ }\mu\text{A d'où } I_C = \beta I_B \approx 2,1 \text{ mA}.$$

Dans le plan  $(I_C, V_{CE})$  la droite de charge  $I_C = \frac{V_{CC} - V_{CE}}{R_C + R_E}$  coupe les caractéristiques correspondant à  $\beta = 120$  et  $\beta = 240$  en Q et Q' respectivement (Fig. 19). La comparaison des figures 15.b, 16.b et 19 permet d'évaluer les performances des différents circuits de polarisation.

### Remarque :

La polarisation par réaction d'émetteur a été présentée conjointement avec la polarisation par pont de base mais il est tout à fait possible d'utiliser séparément ces deux modes de polarisation, la stabilisation est alors un peu moins efficace.

## 7 – Fonctionnement en régime linéaire

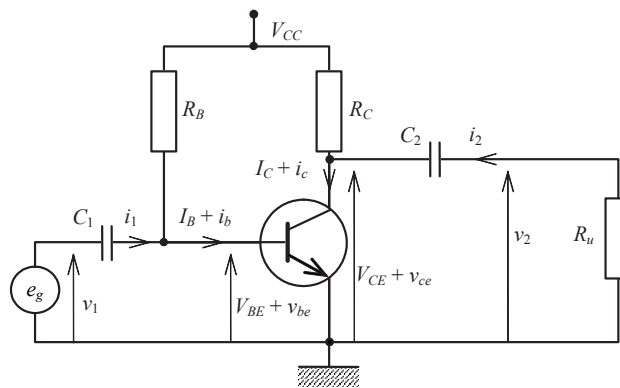


Fig. 20 – Amplificateur à BJT émetteur commun.

Comme la plupart des autres transistors, le transistor bipolaire peut être utilisé soit en régime linéaire, soit en commutation. Le régime linéaire est caractérisé par le fait que le courant de collecteur est proportionnel au courant de base de sorte que le composant peut être utilisé pour réaliser une fonction d'amplification par exemple comme le montre la figure 20.

Les éléments  $V_{CC}$ ,  $R_B$ , et  $R_C$ , sont nécessaires à la **polarisation** du transistor, c'est-à-dire qu'ils permettent au transistor de réaliser sa fonction d'amplification de courant. Lorsque le transistor est polarisé correctement il peut être utilisé pour amplifier les signaux issus d'un générateur alternatif  $e_g$ . Dans le montage émetteur commun, ce générateur attaque la base du transistor et les signaux amplifiés sont recueillis sur le collecteur. Pour éviter

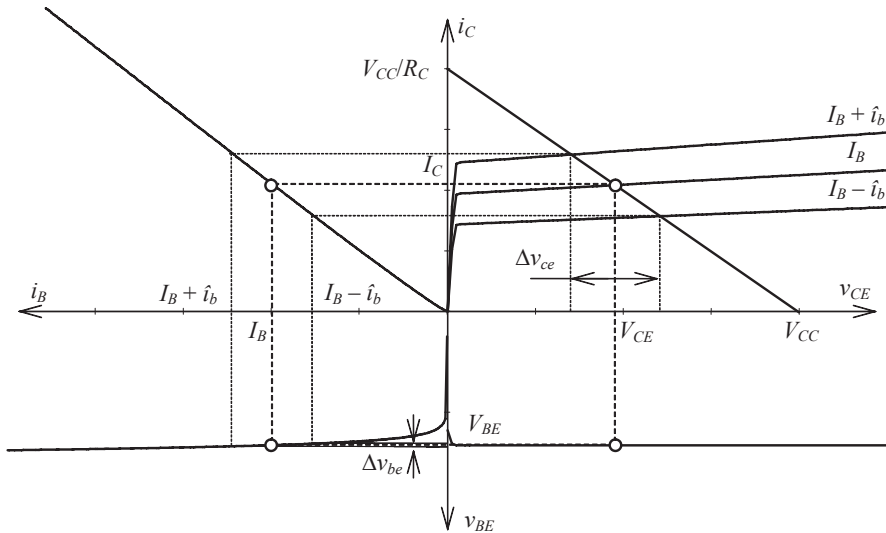


Fig. 21 – Point de fonctionnement en petits signaux.

que la tension continue  $V_{CC}$  perturbe le fonctionnement du générateur  $e_g$  ou que celui-ci modifie le point de polarisation du transistor, on place un condensateur de liaison  $C_1$  entre le générateur et la base du transistor de sorte que la composante continue des courants et des tensions soit éliminée. De même, pour éliminer la composante continue des grandeurs de sortie, on place un condensateur de liaison  $C_2$  entre le collecteur et la sortie représentée par la résistance d'utilisation  $R_u$ . Les condensateurs  $C_1$  et  $C_2$  sont calculés de telle sorte qu'ils présentent une impédance faible devant les autres impédances du circuit à la fréquence de travail de l'amplificateur.

La présence d'un générateur  $e_g$  a pour effet de **superposer** aux courants et aux tensions de polarisation une petite variation (Fig. 20). On note<sup>4</sup> :

$$\begin{aligned} i_B &= I_B + i_b, & i_C &= I_C + i_c, \\ v_{BE} &= V_{BE} + v_{be}, & v_{CE} &= V_{CE} + v_{ce}. \end{aligned}$$

La figure 21 représente les quatre quadrants des caractéristiques du transistor où l'on voit comment le signal  $e_g$  modifie l'équilibre du circuit. Comme on l'a dit, le point de polarisation est fixé par les éléments de polarisation (alimentation, résistances...), si l'on applique une petite variation  $v_{be}$  à la tension  $V_{BE}$ , cela entraîne une variation  $i_b$  autour de  $I_B$  d'où une variation  $i_c$  autour de  $I_C$  et  $v_{ce}$  autour de  $V_{CE}$ . Le point représentatif du comportement en petits signaux s'appelle *point de fonctionnement*.

Noter sur la figure 21 que la tension de sortie instantanée est définie par l'intersection de la droite de charge avec la caractéristique correspondant à  $I_B + i_b$ , l'amplitude du signal  $v_{ce}$  correspond aux intersections de la droite de charge avec les caractéristiques  $I_B + i_b$  et  $I_B - i_b$  où  $i_b$  désigne l'amplitude de  $i_b$ . Si  $i_b$  augmente, l'amplitude de  $v_{ce}$  augmente mais elle ne pourra pas dépasser les limites fixées par les positions de blocage et de saturation (Fig. 22).

On appelle *dynamique de sortie* l'amplitude possible  $\Delta I_C = I_{Cmax} - I_{Cmin}$  que l'on peut obtenir sans déformation notable. On voit sur la figure 22 que pour une amplitude :

<sup>4</sup>Voir les conventions de notation des tensions et des courants continus et variables à l'annexe 3.

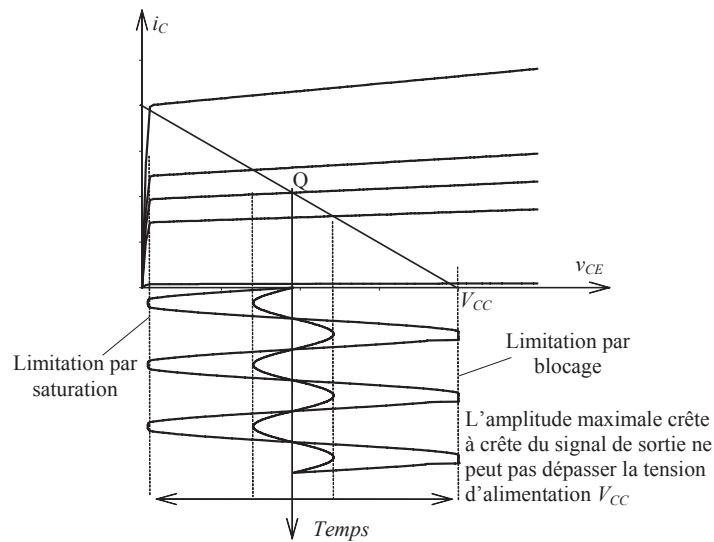


Fig. 22 – Forme du signal de sortie.

$\Delta I_B = I_{Bmax} - I_{Bmin}$ , la dynamique de sortie est maximale lorsque le point de polarisation  $Q$  se situe approximativement au milieu de la droite de charge.

Le comportement dynamique des tripôles actifs (FET, MOS, BJT) est traité plus en détail à l'annexe 3.

## 8 – Fonctionnement en commutation

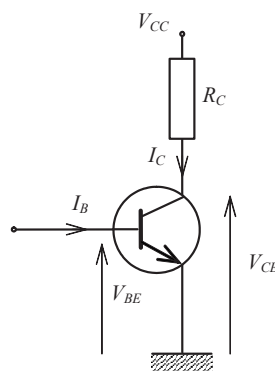


Fig. 23 – Transistor en commutation.

Dans de très nombreuses applications, le transistor n'est pas utilisé en régime linéaire mais plutôt comme un interrupteur commandé ne prenant que deux états : ouvert ou fermé, on parle alors de fonctionnement en relais, en tout-ou-rien ou de fonctionnement en commutation. Examinons le comportement du circuit représenté figure 23, lorsque le courant de base  $I_B$  est très faible (Fig. 24.a), la caractéristique  $I_C(V_{CE})$  correspondant à  $I_B = I_{BB} \approx 0$  est pratiquement confondue avec l'axe  $V_{CE}$  (Fig. 24.b), le point de

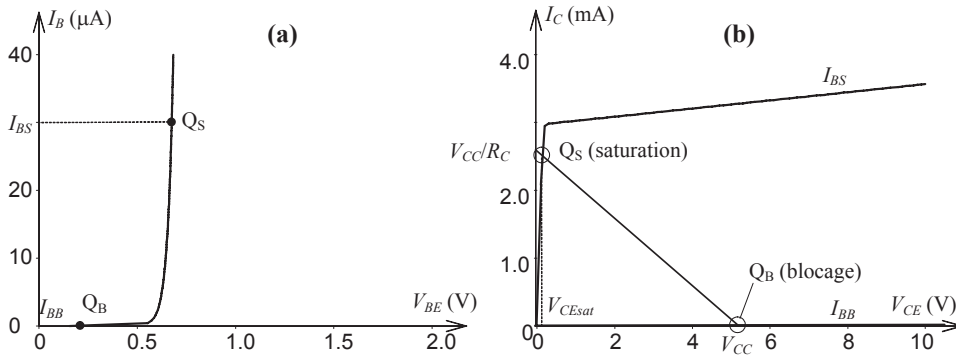


Fig. 24 – Point de polarisation d'un transistor en commutation.

polarisation du circuit se situe également sur cet axe en  $Q_B$  où  $I_C \approx 0$  et  $V_{CE} \approx V_{CC}$ , on dit que le *transistor est bloqué*, il se comporte comme un interrupteur **ouvert**. On peut réaliser cette situation en polarisant la jonction émetteur–base dans le sens bloquant ou par une tension  $V_{BE}$  inférieure à  $0,7\text{ V}$ .

Lorsque  $I_B$  augmente, la caractéristique de sortie se déplace vers le haut, il arrive un moment où le point de polarisation s'immobilise au point  $Q_S$  (Fig. 24.b) où  $I_C \approx \frac{V_{CC}}{R_C}$  et  $V_{CE} \approx V_{CEsat} \approx$  quelques dixièmes de volt.

Même si le courant  $I_B$  continue à augmenter, le courant  $I_C$  reste pratiquement constant et indépendant de  $I_B$ , la loi de comportement linéaire ne s'applique plus dans ce cas car la jonction collecteur–base n'est plus bloquée, on dit que *le transistor est saturé*, il se comporte comme un interrupteur **fermé**. Cette situation se produit lorsque  $I_B \geq \frac{V_{CC}}{\beta R_C}$  tel que  $I_{BS}$  sur la figure 24.b.

## 9 – Limites de fonctionnement des transistors

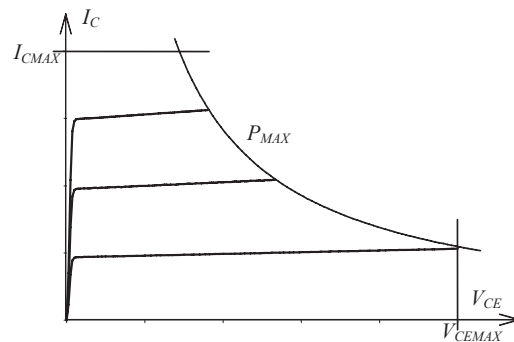


Fig. 25 – Principales limites d'utilisation d'un transistor.

On distingue plusieurs types de limitations dans les transistors (Fig. 25) :

– limitations en tension :  $V_{CE} < V_{CEmax}$  et  $V_{CB} < V_{CBmax}$ ,

- limitation en courant :  $I_C < I_{Cmax}$ ,
- limitation en puissance :  $P < P_{max}$ , comme la plus grande partie de la puissance dissipée est due au courant de collecteur, on peut dire que :

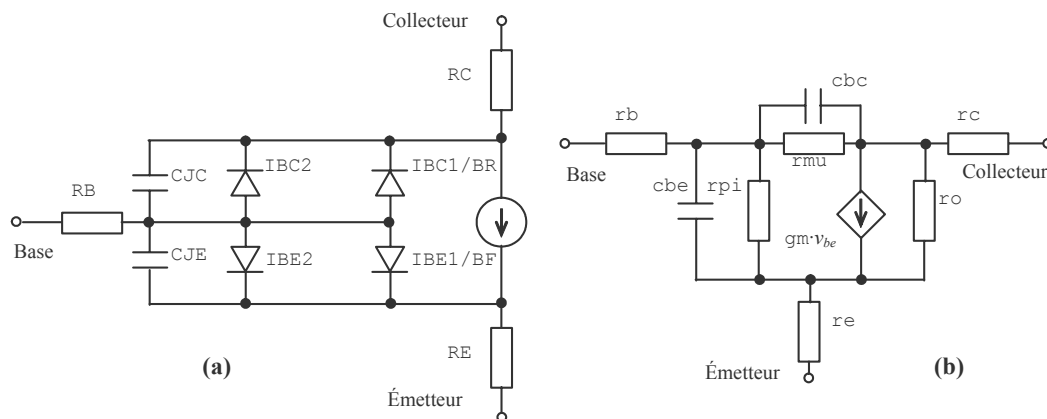
$$P \approx I_C V_{CE} < P_{max} \quad \text{ou encore} \quad I_C < \frac{P_{max}}{V_{CE}},$$

dans le plan  $(I_C, V_{CE})$ , le point de polarisation doit se tenir en dessous de l'hyperbole de dissipation maximale (Fig. 25).

La documentation technique du transistor 2N3904 donne par exemple :

$$V_{CEmax} = 40 \text{ V}, \quad V_{CBmax} = 60 \text{ V}, \quad I_{Cmax} = 200 \text{ mA}, \quad P_{max} = 310 \text{ mW}.$$

## 10 – Simulation des transistors bipolaires avec *PSpice*



Paramètre	<i>PSpice</i>	Définition	Défaut	Unité
$\beta$	BF	Gain direct idéal maximal	100	
$C_{jc}$	CJC	Capacité de jonction base-collecteur à polar. nulle	0	F
$C_{je}$	CJE	Capacité de jonction base-émetteur à polar. nulle	0	F
$C_{js}$	CJS	Capacité de jonction base-substrat à polar. nulle	0	F
$I_S$	IS	Courant de saturation de la jonction P-N	$10^{-16}$	A
$n$	NF	Coefficient d'émission du courant direct	1	
$R_b$	RB	Résistance (maximale) de base à polar. nulle	0	$\Omega$
$R_c$	RC	Résistance ohmique de collecteur	0	$\Omega$
$R_e$	RE	Résistance ohmique d'émetteur	0	$\Omega$
$\tau_f$	TF	Temps de transit idéal direct	0	s
$V_A$	VAF	Tension d'Early directe	$\infty$	V

**Fig. 26** – Modèles de BJT utilisés par *PSpice* : modèle non linéaire pour les analyses *.DC* et *.TRAN* (a), modèle linéaire pour l'analyse *.AC* (b) et tableau des principaux paramètres du modèle de transistor bipolaire.

### 10.1 – Syntaxe

Voir le § 5, page 14 pour les conventions typographiques utilisées.

Forme générale :

Q<nom> <nœud de collecteur> <nœud de base> <nœud d'émetteur> [nœud de substrat]  
 + <nom de modèle> [surface]

Exemples : 

Q1 14 2 13 PNPnom
Q13 15 3 0 1 NPNstrong 1.5

Forme du modèle :

```
.MODEL <nom du modèle> NPN [paramètres du modèle]
.MODEL <nom du modèle> PNP [paramètres du modèle]
.MODEL <nom du modèle> LPNP [paramètres du modèle]
```

## 10.2 – Modélisation

Le transistor bipolaire est modélisé par un transistor intrinsèque avec des résistances ohmiques en série avec le collecteur ( $RC/[surface]$ ), avec la base (sa valeur varie avec le courant) et avec l'émetteur ( $RE/[surface]$ ). Le nœud de substrat est optionnel, il est mis à la masse par défaut. Le courant est compté positivement lorsqu'il entre dans le composant. La  $[surface]$  représente l'aire relative du composant, sa valeur par défaut est 1.

## 10.3 – Schéma équivalent

Pour déterminer le comportement d'un circuit comportant un BJT, *PSpice* commence toujours par calculer le point de polarisation statique du circuit en utilisant le schéma non linéaire représenté figure 26.a et détermine alors les paramètres petits signaux linéaires du schéma équivalent de la figure 26.b. Ce schéma équivalent linéaire n'est utilisé que pour les analyses de type AC (cf. tableau IV page 31). Pour les autres analyses non linéaires (DC et temporelle) c'est le schéma de la figure 26.a qui est utilisé (noter que les capacités n'interviennent que pour les analyses temporelles).

## 10.4 – Exemples

```
* Caracteristiques de sortie d'un BJT *
*
.param   ib=0
Vcc 10 0 10
Q1 10 1 0 bjt
Ib 0 1 {ib}
.model bjt NPN(Bf=100 Va=60 Cjc=2p Cje=2p)
.op
.dc Vcc 0 10 10m
.step param ib=0 30u 10u
.probe
.end
```

Fig. 27 – Fichier-circuit pour la détermination des caractéristiques de sortie d'un transistor bipolaire.

## Caractéristiques de sortie



```

**** OPERATING POINT INFORMATION      TEMPERATURE = 27.000 DEG C
**** CURRENT STEP                      PARAM IB = 10.0000E-06
*****
**** BIPOLAR JUNCTION TRANSISTORS
NAME          Q1
MODEL         bjt
IB            1.00E-05
IC            1.15E-03
VBE           7.74E-01
VBC           -9.23E+00
VCE           1.00E+01
BETADC        1.15E+02
GM            4.46E-02
RPI           2.59E+03
RX            0.00E+00
RO            6.00E+04
CBE           3.40E-12
CBC           8.51E-13
CJS           0.00E+00
BETAAC        1.15E+02
CBX           0.00E+00
FT            1.67E+09

```

Fig. 28 – Extrait du fichier de sortie.

```

.model Q2N3904 NPN(Is=6.734f Xti=3 Eg=1.11 Vaf=74.03 Bf=416.4 Ne=1.259
+ Ise=6.734f Ikf=66.78m Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1
+ Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593 Vje=.75
+ Tr=239.5n Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10)
* National pid=23 case=T092

```

Fig. 29 – Extrait de la bibliothèque de composants de PSpice.

Le réseau de caractéristiques de sortie représentée sur la figure 9 page 147 peut être obtenu à partir du fichier-circuit de la figure 27. La figure 28 représente un extrait du fichier de sortie dans lequel figurent les paramètres petits signaux du schéma équivalent linéaire du BJT. Noter sur cet exemple que les capacités *cbe* et *cbc* du schéma équivalent linéaire sont différentes des capacités *CJE* et *CJC* à polarisation nulle.

### Modèle de BJT réel

La figure 29 montre un extrait de la bibliothèque de composants fournie avec *PSpice* dans lequel les paramètres correspondent à ceux d'un transistor bipolaire réel. À titre d'exercice on pourra comparer les caractéristiques d'un composant réel et celles d'un composant idéal.

## 11 – Applications des transistors bipolaires

Dans de nombreux cas, l'association de deux transistors, identiques ou différents, permet de réaliser des fonctions intéressantes telle que l'amplification en classe B (amplificateur *push-pull*), la réalisation d'un transistor équivalent à grand gain (*Darlington*), l'amplification différentielle ou la polarisation d'un autre transistor.

### 11.1 – Amplificateur push-pull

#### – Principe

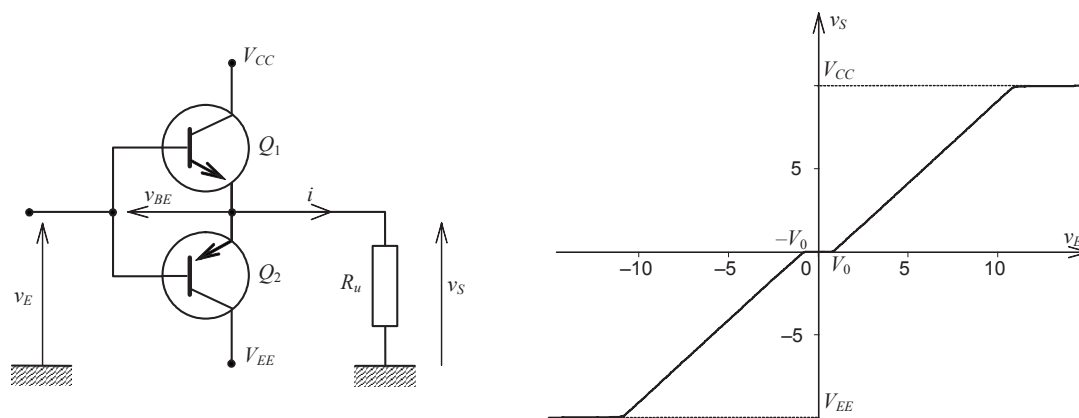


Fig. 30 – Schéma de principe et caractéristique de transfert d'un amplificateur push-pull.

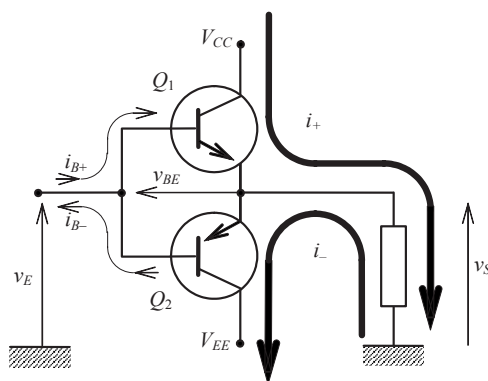


Fig. 31 – Sens des courants dans un amplificateur push-pull.

La figure 30 représente le schéma d'un amplificateur *push-pull* :

$$v_E = v_{BE} + v_S \quad \text{d'où : } v_S = v_E - v_{BE}.$$

Pour  $v_E > 0$ ,  $i_{B2} > 0$

$$\Rightarrow Q_2 \text{ bloqué : } \begin{array}{l} \text{si } 0 < v_E < V_0 \ (\approx 0,7 \text{ V}) \Rightarrow Q_1 \text{ bloqué } v_S = 0, \\ \text{si } v_E > V_0 \Rightarrow v_{BE} \approx V_0 \Rightarrow v_S = v_E - V_0. \end{array}$$

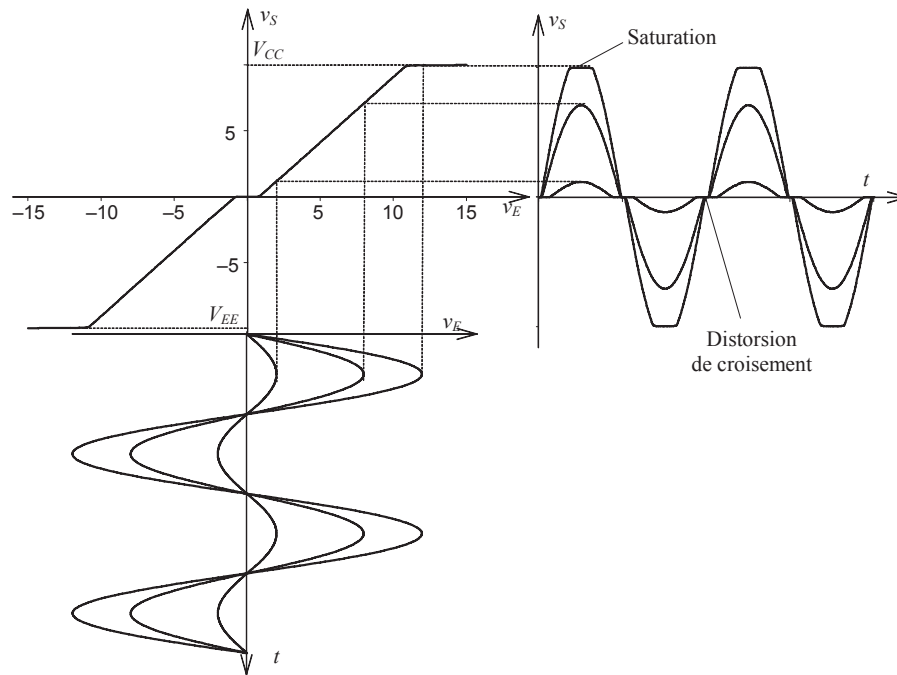
Pour  $v_E < 0$ ,  $i_{B1} < 0$

$$\Rightarrow Q_1 \text{ bloqué : } \begin{array}{l} \text{si } -V_0 < v_E < 0 \Rightarrow Q_2 \text{ bloqué } v_S = 0, \\ \text{si } v_E < -V_0 \Rightarrow v_{BE} \approx -V_0 \Rightarrow v_S = v_E + V_0. \end{array}$$

De plus lorsque  $Q_1$  conduit, il faut que  $v_{CB1} > 0 \Rightarrow V_{CC} - v_E > 0 \Rightarrow v_E < V_{CC}$ ,

de même lorsque  $Q_2$  conduit, il faut que  $v_{CB2} < 0 \Rightarrow V_{EE} - v_E < 0 \Rightarrow v_E > V_{EE}$ .

La figure 30 représente la fonction de transfert statique  $v_S(v_E)$  de l'amplificateur.



**Fig. 32** – Principales distorsions d'un amplificateur push-pull : saturation et distorsion de croisement.

### – Courants

Si  $v_E > 0$ ,  $i_B > 0$ ,  $Q_2$  est bloqué, c'est  $Q_1$  qui « pousse » le courant dans la charge.

Si  $v_E < 0$ ,  $i_B < 0$ ,  $Q_1$  est bloqué, c'est  $Q_2$  qui « tire » le courant de la charge (Fig. 31). D'où le nom de « push-pull » (pousse-tire) donné à ce montage.

### – Distorsion

À cause de la caractéristique de transfert non linéaire, le signal de sortie n'est pas rigoureusement homothétique au signal d'entrée. À faible niveau on observe une importante distorsion de croisement au passage par zéro et à fort niveau la saturation du signal de sortie aux valeurs des tensions d'alimentation (Fig. 32). Il existe plusieurs techniques permettant de corriger la distorsion de croisement : diodes, multiplicateur de  $V_{BE}$ , etc.

### – Gains

Du fait que  $v_S = v_E - V_0 \Rightarrow G_v = \frac{v_S}{v_E} = 1 - \frac{V_0}{v_E} \leq 1$  (aussi bien pour l'alternance positive que pour l'alternance négative). Dans les deux cas également on a :

$$i = \beta \cdot i_B \Rightarrow G_i = \frac{i}{i_B} = \beta \text{ (si les deux transistors ont des caractéristiques identiques).}$$

Ce type de montage se trouve principalement dans les étages de sortie des circuits, il constitue « l'étage de puissance » traditionnel, il peut être utilisé pour attaquer les haut-parleurs d'un récepteur radio par exemple. Contrairement aux amplificateurs de classe A

(transistor en émetteur commun par exemple) le circuit ne consomme aucun courant s'il n'y a pas de signal d'entrée.

### 11.2 – Montage Darlington

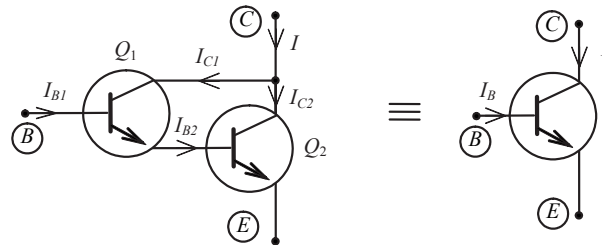


Fig. 33 – Montage Darlington.

Pour obtenir des gains importants, les transistors sont souvent associés sous la forme représentée sur la figure 33. Dans cette association les transistors ne sont généralement pas identiques.

Si les deux transistors sont polarisés dans la région active on a :

$$\left. \begin{array}{l} I_{C1} = \beta_1 I_{B1} \approx I_{B2} \\ I_{C2} = \beta_2 I_{B2} = \beta_2 \beta_1 I_{B1} \end{array} \right\} \Rightarrow I = I_{C1} + I_{C2} = \beta_1(1 + \beta_2) \approx \beta_1 \beta_2 I_{B1}.$$

L'ensemble des deux transistors se comporte comme un transistor unique de gain égal au produit des gains des deux transistors :  $I = \beta \cdot I_B$  avec  $\beta = \beta_1 \beta_2$ .

Il existe d'autres configurations de ce type associant par exemple deux transistors de types opposés (NPN et PNP).

### 11.3 – La paire différentielle

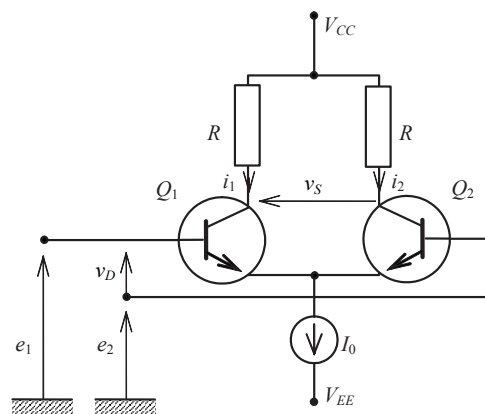
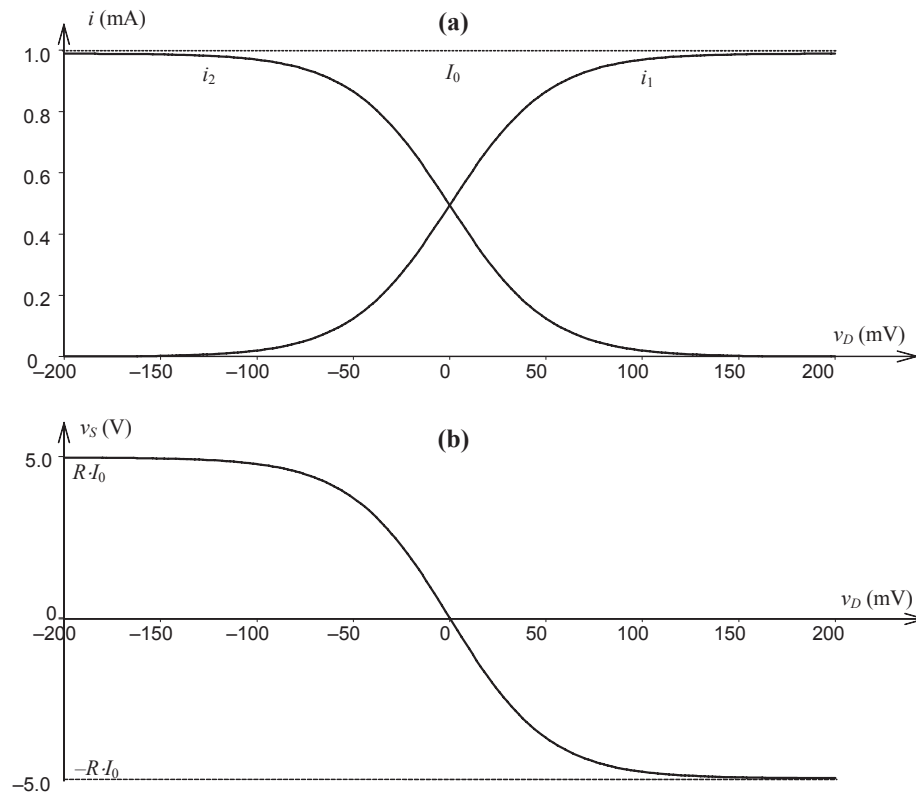


Fig. 34 – Paire différentielle.



**Fig. 35** – Fonctions de transfert d'un amplificateur différentiel : courants de collecteur (a) et tension de sortie (b).

Une autre association très souvent utilisée est la *paire différentielle* (Fig. 34) que l'on trouve habituellement à l'entrée des amplificateurs opérationnels. Dans cette configuration les transistors sont supposés identiques.

Une méthode d'analyse du comportement de ce dispositif consiste à utiliser la loi de Shockley pour les transistors :

$$i_1 = I_S e^{\frac{v_{BE1}}{U_T}} \quad \text{et} \quad i_2 = I_S e^{\frac{v_{BE2}}{U_T}} \quad (\text{si } v_{BE} \gg U_T).$$

En appelant :  $v_D = e_1 - e_2$ , on a :

$$\frac{i_1}{i_2} = e^{\frac{v_{BE1} - v_{BE2}}{U_T}} = e^{\frac{e_1 - e_2}{U_T}} = e^{\frac{v_D}{U_T}}.$$

D'autre part :

$$I_0 = i_1 + i_2 = i_2 \left( 1 + e^{\frac{v_D}{U_T}} \right) \quad \Rightarrow \quad i_2 = \frac{I_0}{1 + e^{\frac{v_D}{U_T}}} \quad \text{et} \quad i_1 = \frac{I_0 e^{\frac{v_D}{U_T}}}{1 + e^{\frac{v_D}{U_T}}}.$$

La tension de sortie se situe entre les collecteurs des deux transistors d'où :

$$v_S = v_{C1} - v_{C2}, \quad \text{or} : \quad \left. \begin{array}{l} v_{C1} = V_{CC} - R \cdot i_1 \\ v_{C2} = V_{CC} - R \cdot i_2 \end{array} \right\} \quad \Rightarrow \quad v_S = R(i_2 - i_1).$$

D'où :

$$v_S = RI_0 \frac{1 - e^{\frac{v_D}{2U_T}}}{1 + e^{\frac{v_D}{2U_T}}} = -RI_0 \frac{e^{\frac{v_D}{2U_T}} - e^{-\frac{v_D}{2U_T}}}{e^{\frac{v_D}{2U_T}} + e^{-\frac{v_D}{2U_T}}} = -RI_0 \tanh\left(\frac{v_D}{2U_T}\right).$$

La figure 35.a représente l'évolution des courants  $i_1$  et  $i_2$  en fonction de la tension différentielle  $v_D$ , tandis que la figure 35.b montre la fonction de transfert  $v_S(v_D)$ .

Dans cet exemple :  $V_{CC} = 10 \text{ V}$ ,  $V_{EE} = -10 \text{ V}$ ,  $I_0 = 1 \text{ mA}$ ,  $R = 5 \text{ k}\Omega$ .

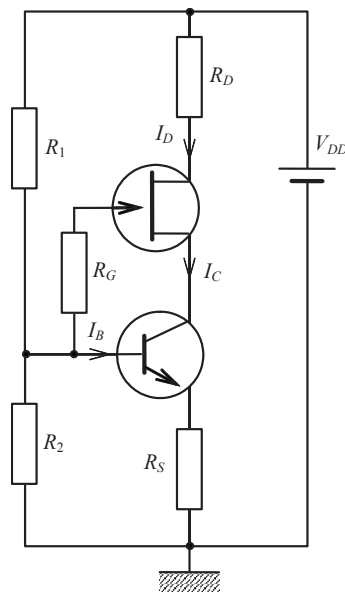
La fonction de transfert montre que le gain maximum est obtenu au voisinage de  $v_D = 0$ , en ce point :

$$\tanh\left(\frac{v_D}{2U_T}\right) \approx \frac{v_D}{2U_T} \Rightarrow v_S \approx \frac{-RI_0 v_D}{2U_T} \Rightarrow G_D = \frac{v_S}{v_D} \approx \frac{-RI_0}{2U_T}.$$

En établissant le schéma équivalent en petits signaux du circuit (voir annexe 3) on trouve que :  $G_d = \frac{-h_{21}R}{h_{11}}$ , or on sait que  $h_{11} \approx \frac{\beta U_T}{I_C}$  et que  $h_{21} \approx \beta$ , ici :  $I_C = \frac{I_0}{2}$ , par conséquent :  $G_d \approx \frac{-\beta R I_0}{\beta 2U_T} = \frac{-RI_0}{2U_T}$ , on obtient bien le même résultat.

Noter que l'expression du gain de l'amplificateur différentiel ne fait pas intervenir le gain des transistors.

#### 11.4 – Polarisation d'un FET par un transistor bipolaire



$$\begin{aligned} V_{DD} &= 30 \text{ V} \\ R_D &= 8,2 \text{ k}\Omega \\ R_S &= 10 \text{ k}\Omega \\ R_1 &= 20 \text{ k}\Omega \\ R_2 &= 10 \text{ k}\Omega \\ R_G &= 10 \text{ M}\Omega \end{aligned}$$

$$\text{BJT : } \beta = 100, V_{BE} = 0,8 \text{ V}$$

$$\text{FET : } I_{DSS} = 8 \text{ mA}, V_{GS0} = -4 \text{ V}$$

Fig. 36 – Polarisation d'un FET par un BJT monté en source de courant.

Si l'on veut maintenir constant le courant de drain quel que soit le FET utilisé<sup>5</sup>, on peut utiliser un transistor bipolaire monté en source de courant (Fig. 36). À titre d'exercice, déterminer les courants et les tensions de polarisation du circuit de la figure 36.

**Solution :**

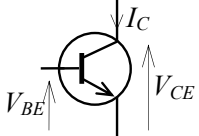
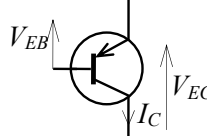
<sup>5</sup>Le transistor à effet de champ à jonction (FET) est décrit au chapitre 8.

$I_B = 9,14 \mu\text{A}$ ,  $I_C = I_D = 0,91 \text{ mA}$ ,  $V_{GS} = -2,1 \text{ V}$ ,  $V_{CE} = 2,9 \text{ V}$ ,  $V_{DS} = 10,5 \text{ V}$ .

## 12 – Résumé

Le tableau I résume les symboles des différents types de transistors, les principaux paramètres caractéristiques et les lois de comportement en fonction des conditions de polarisation.

**Tableau I** – Tableau récapitulatif des principales caractéristiques des transistors bipolaires.

	<b>BJT npn</b>	<b>BJT pnp</b>
Symbole		
$\beta$	20 à 200	
Loi de Shockley	$I_C = I_S [\exp(V_{BE}/U_T) - 1]$	
$V_{BE}$	+	-
$V_{CE}$	+	-
Conduction si :	$V_{BE} \geq 0,7 \text{ V}$	$V_{EB} \geq 0,7 \text{ V}$
Blocage si :	$V_{BE} < 0,7 \text{ V}$	$V_{EB} > 0,7 \text{ V}$
Saturation si :	$V_{BE} > 0,7 \text{ V}$ et $V_{CE} < 0,1 \text{ V}$	$V_{EB} > 0,7 \text{ V}$ et $V_{EC} < 0,1 \text{ V}$
Régime linéaire si :	$V_{BE} \geq 0,7 \text{ V}$ et $V_{BE} < V_{CE}$	$V_{EB} \geq 0,7 \text{ V}$ et $V_{EB} < V_{EC}$
Régime linéaire :	$I_C = \beta I_B$	
Régime linéaire :	$V_{BE} \approx 0,7 \text{ V}$	$V_{EB} \approx 0,7 \text{ V}$



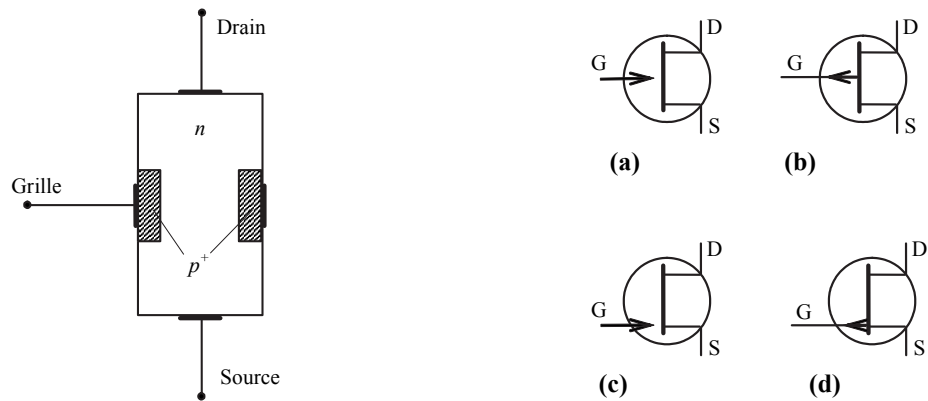


## Chapitre 8

# Transistors à effet de champ à jonction

### 1 – Constitution

#### 1.1 – Schéma de principe



**Fig. 1** – Transistor à effet de champ canal  $n$  et symboles utilisés pour les transistors à effet de champ : à canal  $n$  (a), à canal  $p$  (b), autre représentation d'un JFET canal  $n$  (c), autre représentation d'un JFET canal  $p$  (d).

Un transistor à effet de champ à jonction, en abrégé TEC ou JTEC ou encore FET ou JFET (*Junction Field Effect Transistor*) est constitué schématiquement d'un **canal** de semi-conducteur de type  $n$  ou  $p$  dans lequel sont insérées deux régions de semi-conducteur de type opposé  $p^+$  ou  $n^+$  fortement dopées, reliées intérieurement. Les électrodes situées sur le canal s'appellent le **drain** (*drain*) et la **source** (*source*), l'électrode connectée sur les régions insérées s'appelle la **grille** (*gate*). La figure 1 représente un transistor à effet de champ canal  $n$ .

## 1.2 – Symboles

La figure 1 montre les symboles utilisés pour représenter ce composant. Noter que la flèche est, dans tous les cas, orientée de  $p$  vers  $n$ .

## 2 – Principe de fonctionnement du JFET

### 2.1 – Description

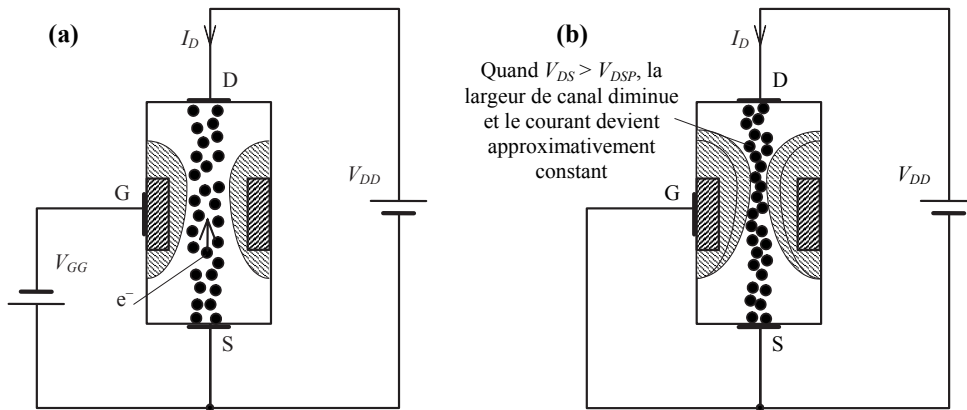


Fig. 2 – Polarisation d'un transistor à effet de champ (a) et saturation du courant dans un FET (b).

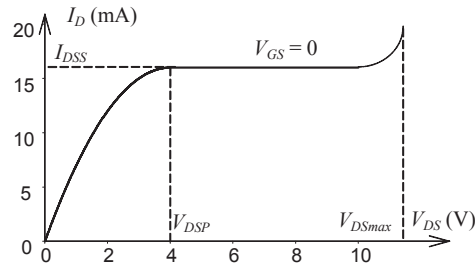


Fig. 3 – Caractéristique d'un FET pour  $V_{GS} = 0$ .

Dans un transistor à effet de champ **la jonction grille-canal est toujours polarisée en inverse**. La figure 2.a montre la polarisation d'un transistor à effet de champ par deux sources de tension  $V_{DD}$  et  $V_{GG}$ , le sens de la tension  $V_{GG}$  montre que  $V_{GS} < 0$ .

Lorsque  $V_{GS} = 0$ , la jonction grille-canal est quand même polarisée en inverse car le drain est à un potentiel positif. De ce fait, il se produit au voisinage de la jonction une zone de charge d'espace. Comme le dopage de la grille est beaucoup plus important que celui du canal, la zone de charge d'espace qui s'étend toujours davantage dans la région la moins dopée, occupera principalement le canal. Rappelons ici que dans une région de charge d'espace où règne un champ électrique très intense il ne peut circuler aucune charge libre. Pour les électrons issus de la source (d'où son nom) le seul passage possible est la zone

laissée libre dans le canal. Sous l'effet d'une tension positive entre drain et source, les électrons circulent de la source vers le drain.

## 2.2 – Polarisation

Quand on augmente la tension  $V_{DS}$  on distingue différents comportements :

- pour les faibles valeurs de  $V_{DS}$ , l'accroissement de  $V_{DS}$  ne modifie pas sensiblement la forme de la zone de charge d'espace, le canal se comporte comme une simple résistance et le courant est approximativement proportionnel à la tension (Fig. 3),
  - pour les valeurs plus élevées de  $V_{DS}$ , au dessus d'une valeur particulière notée  $V_{DSP}$ , le champ électrique interne augmente et la zone de charge d'espace s'étend davantage dans le canal (Fig. 2.b) ce qui a tendance à le rétrécir et par conséquent à augmenter sa résistance : plus la tension augmente, plus la résistance augmente de telle sorte que le courant reste pratiquement constant (Fig. 3),
  - si l'on continue à augmenter  $V_{DS}$ , on atteint la limite de claquage  $V_{DSmax}$  qui vaut en général quelques dizaines de volts, par exemple  $V_{DSmax} = 30$  V pour un FET 2N5459.
- La valeur de la tension  $V_{DSP}$  à partir de laquelle le FET se comporte comme une source de courant est un des paramètres caractéristiques du transistor, elle est généralement de quelques volts (2 à 8 V pour un FET 2N5459).

De même le *courant drain-source de saturation* :  $I_{DSS}$  est typique du composant il est généralement de quelques milliampères (4 à 16 mA pour un FET 2N5459).

## 3 – Caractéristiques du FET

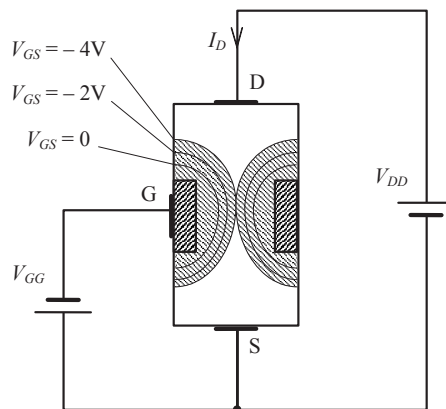
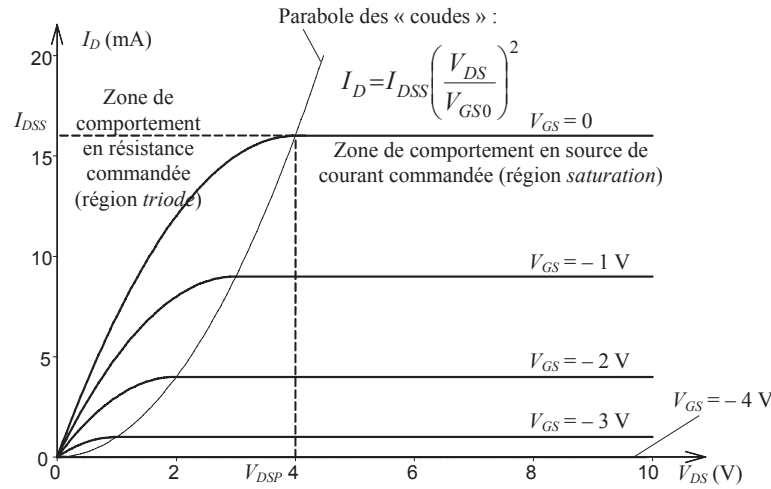


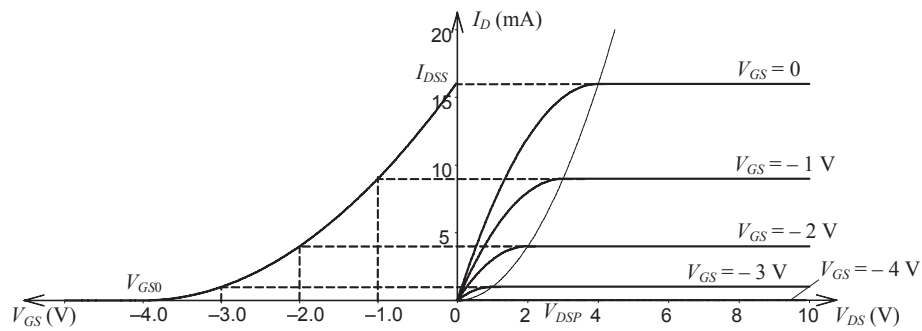
Fig. 4 – Action de la tension de grille sur la zone de charge d'espace.

### 3.1 – Caractéristiques de sortie ou de drain

On appelle *caractéristique de sortie* (ou *de drain*) d'un FET la courbe donnant le courant  $I_D$  en fonction de  $V_{DS}$  pour différentes valeurs de  $V_{GS}$ . Au fur et à mesure que  $V_{GS}$  augmente (en valeur absolue) la zone de charge d'espace s'étend davantage dans le canal et le



**Fig. 5** – Caractéristiques de sortie d'un FET. Quand  $|V_{GS}|$  augmente la résistance initiale augmente et le courant de saturation diminue.



**Fig. 6** – Caractéristique d'entrée ou de transconductance d'un FET (à gauche) et correspondance avec les caractéristiques de sortie (à droite).

passage de libre circulation des porteurs se rétrécit (Fig. 4). Lorsque  $V_{GS}$  est fixé, le transistor se comporte, vis-à-vis de  $V_{DS}$ , sensiblement de la même manière que précédemment mais avec une résistance initiale plus élevée et un courant de saturation plus faible, en outre, la tension de coude délimitant les deux modes de fonctionnement est plus faible (Fig. 5).

Si l'on augmente encore  $V_{GS}$ , à partir d'une valeur limite notée  $V_{GS0}$  ou  $V_{TO}$ , le canal est complètement fermé (*pincé*) et le courant de drain est nul quel que soit  $V_{DS}$ . Cette tension limite est appelée *tension de pincement*. On montre qu'en valeur absolue  $V_{GS0}$  et  $V_{DSP}$  ont la même valeur numérique c'est-à-dire quelques volts.

Il faut noter également que le lieu des coudes qui sépare les deux types de comportement du FET est une parabole. Cette parabole permet de distinguer les deux régions intéressantes du FET (voir figure 5) :

- à gauche de la parabole ( $V_{DS} < V_{GS} - V_{GS0}$ ), dans la région appelée « mode triode<sup>1</sup> » ou « mode ohmique » le FET se comporte comme une résistance non linéaire variable commandée par la tension  $V_{GS}$ ,
- à droite de la parabole ( $V_{DS} > V_{GS} - V_{GS0}$ ), dans la région dite de « mode saturation » on dispose d'un générateur de courant dont le débit est commandé par la tension  $V_{GS}$ , le FET peut alors se comparer à un robinet, on peut l'utiliser pour l'amplification des signaux ou comme source de courant commandée.

### Remarque :

La jonction grille–canal est polarisée en inverse ce qui signifie que le courant de grille est extrêmement faible (quelques pA) il sera systématiquement négligé.

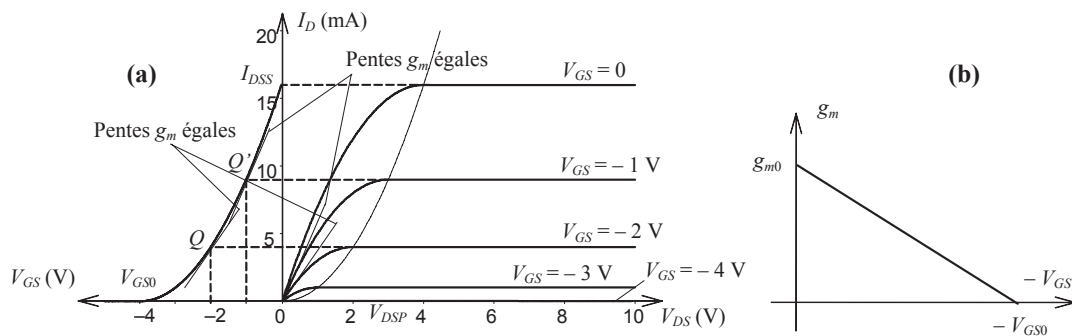
$$I_G = 0 \quad \Rightarrow \quad I_S = I_D.$$

Cette particularité confère au FET une de ses caractéristiques les plus intéressantes : une impédance d'entrée extrêmement élevée de quelque dizaines à quelques centaines de mégohms.

## 3.2 – Caractéristique de transconductance

On appelle ainsi la courbe donnant le courant de saturation en fonction de  $V_{GS}$  à  $V_{DS}$  fixé supérieur à  $V_{DSP}$  (Fig. 6).

## 4 – Lois de comportement analytiques du FET



**Fig. 7** – La pente des tangentes à l'origine des caractéristiques de sortie est égale à la pente de la caractéristique de transconductance pour la valeur correspondante de  $V_{GS}$  (a). La transconductance  $g_m$  varie linéairement avec  $V_{GS}$  (b).

Contrairement au transistor bipolaire, il est possible de donner une expression analytique relativement simple des différentes caractéristiques du transistor à effet de champ.

### 4.1 – Caractéristique dans la région de saturation

C'est la région de comportement en source de courant commandé, lorsque

<sup>1</sup>Par analogie avec le comportement des tubes à vide appelés *triodes*.

$V_{DS} > V_{GS} - V_{GS0}$  et lorsque  $|V_{GS}| < |V_{GS0}|$  le courant de drain s'exprime par :

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_{GS0}}\right)^2 \quad (1)$$

Pour  $V_{GS} = 0$  on a  $I_D = I_{DSS}$  et pour  $|V_{GS}| > |V_{GS0}|$  on a  $I_D = 0$ .

En réalité, les caractéristiques ne sont pas tout à fait horizontales, le courant  $I_D$  augmente légèrement avec  $V_{DS}$ , pour tenir compte de ce phénomène analogue à l'effet Early pour les transistors bipolaires, on introduit un terme correctif dans la relation précédente :

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_{GS0}}\right)^2 (1 + \lambda V_{DS}) \quad \text{avec en général : } \lambda V_{DS} \ll 1 \quad (2)$$

Les modèles de composants utilisés par SPICE font appel à des paramètres un peu différents, la loi de comportement du courant de drain est donnée sous la forme :

$$I_D = \beta (V_{GS} - V_{TO})^2 \quad \text{ou en tenant compte de l'effet Early :}$$

$$I_D = \beta (V_{GS} - V_{TO})^2 (1 + \lambda V_{DS}).$$

Dans cette relation la tension de pincement  $V_{GS0}$ , également appelée *tension de seuil*, est notée  $V_{TO}$  (*Threshold Voltage*) et le *coefficient de transconductance*  $\beta$  est lié aux caractéristiques du FET par la relation :

$$\beta = \frac{I_{DSS}}{V_{TO}^2} = \frac{I_{DSS}}{V_{GS0}^2}.$$

## 4.2 – Caractéristique dans la région triode

C'est la région de comportement en résistance commandée, lorsque

$V_{DS} < V_{GS} - V_{GS0}$  et toujours pour  $|V_{GS}| > |V_{GS0}|$ , on a :

$$I_D = \frac{I_{DSS}}{V_{GS0}} \left[ 2 \left( \frac{V_{GS}}{V_{GS0}} - 1 \right) - \frac{V_{DS}}{V_{GS0}} \right] V_{DS} \quad (3)$$

Pour les faibles valeurs de  $V_{DS}$  ( $V_{DS} \ll |V_{GS0}|$ ), on peut utiliser la relation approchée :

$$I_D = \frac{2I_{DSS}}{V_{GS0}} \left( \frac{V_{GS}}{V_{GS0}} - 1 \right) V_{DS} \quad (4)$$

## 4.3 – Parabole de séparation

On l'obtient à partir de l'une ou l'autre des deux lois de comportement lorsque

$V_{DS} = V_{GS} - V_{GS0}$  :

$$I_D = I_{DSS} \left( \frac{V_{DS}}{V_{GS0}} \right)^2 \quad (5)$$

(cf. Fig. 5).

#### 4.4 – Pente des caractéristiques

La relation approchée (4) donne la variation de pente à l'origine des caractéristiques de sortie qui vaut :

$$g_m = \frac{\partial I_D}{\partial V_{DS}} = \frac{2I_{DSS}}{V_{GS0}} \left( \frac{V_{GS}}{V_{GS0}} - 1 \right) = g_{m0} \left( 1 - \frac{V_{GS}}{V_{GS0}} \right) \quad (6)$$

avec :  $g_{m0} = \frac{-2I_{DSS}}{V_{GS0}}$  valeur de  $g_m$  pour  $V_{GS} = 0$ .

Cette valeur est identique à la pente de la caractéristique de tranconductance dans la région de saturation (Fig. 7.a), en effet, en régime de saturation le courant de drain est donné par la relation (1) dont la pente vaut :

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \frac{-2I_{DSS}}{V_{GS0}} \left( 1 - \frac{V_{GS}}{V_{GS0}} \right) = g_{m0} \left( 1 - \frac{V_{GS}}{V_{GS0}} \right).$$

Cette relation montre que  $g_m$ , appelée simplement *tranconductance* ou *pente* du FET varie linéairement avec  $V_{GS}$  (cf. Fig. 7.b).

Les valeurs typiques de  $g_{m0}$  sont de l'ordre de quelques mA/V à quelques dizaines de mA/V.

Pour de faibles variations  $v_{DS}$  de la tension drain-source au voisinage d'une polarisation nulle ( $V_{DS} \approx 0$ ), les relations (4) et (6) permettent d'exprimer les variations du courant de drain  $i_D$  sous la forme  $i_D = g_m v_{DS}$ . Cette propriété est exploitée dans les applications où l'on doit pouvoir faire varier une résistance à l'aide d'une tension (commande automatique de gain).

## 5 – Circuits de polarisation des FET

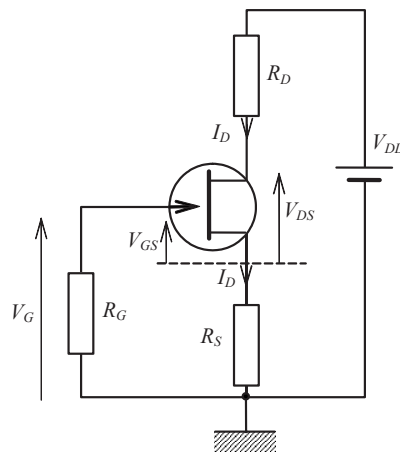


Fig. 8 – Polarisation automatique d'un FET.

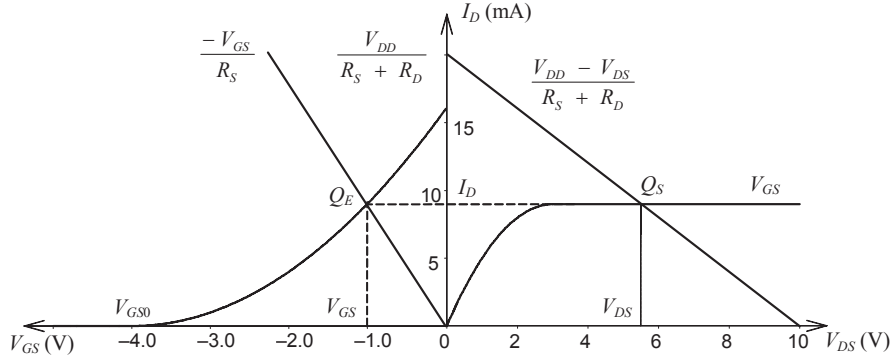


Fig. 9 – Point de polarisation d'un FET.

### 5.1 – Dispersion des caractéristiques

Une des principales difficultés de la conception des circuits électroniques provient de la très grande dispersion des caractéristiques des composants, les FET en particulier présentent des variations très importantes. On relève par exemple pour le transistor 2N5459 :

$$4 \text{ mA} < I_{DSS} < 16 \text{ mA} \quad \text{et} \quad 2 \text{ V} < |V_{GS0}| < 8 \text{ V}.$$

Les circuits de polarisation doivent tenir compte de cette particularité pour éviter qu'un changement de composant ou la fabrication en série d'un dispositif ne donne lieu à des dysfonctionnements dus à la dispersion.

### 5.2 – Polarisation automatique

Le montage est représenté Fig. 8, la polarisation du transistor doit remplir les conditions suivantes :

$$V_{GS0} < V_{GS} < 0 \quad \text{et} \quad V_{DS} > V_{GS} - V_{GS0}.$$

Dans la maille d'entrée le courant de grille est nul :  $I_G = 0 \Rightarrow V_G = 0$ , or :

$$V_G = V_{GS} + R_S I_D \Rightarrow I_D = \frac{-V_{GS}}{R_S}.$$

Cette relation représentée par une droite de pente  $-1/R_S$  est appelée *droite de polarisation automatique*. Le point de polarisation est à l'intersection de cette droite avec la caractéristique de transconductance (Fig. 9).

On peut également obtenir les coordonnées du point de polarisation en résolvant le système :

$$\begin{cases} I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_{GS0}}\right)^2 \\ I_D = \frac{-V_{GS}}{R_S} \end{cases}$$

Dans la maille de sortie on a d'autre part :

$$V_{DD} = (R_S + R_D) I_D + V_{DS} \Rightarrow I_D = \frac{V_{DD} - V_{DS}}{R_S + R_D}.$$



C'est l'équation de la *droite de charge* qui coupe la caractéristique de sortie à  $V_{GS}$  constante (déterminée dans la maille d'entrée) au point de polarisation  $Q_S$  (Fig. 9).

### 5.3 – Rôle de la résistance de grille

Cette résistance ne joue pas de rôle fonctionnel dans la détermination du point de polarisation, elle ne sert qu'à fixer le potentiel de grille. Lorsque le transistor est utilisé en amplificateur par exemple, l'entrée se fait sur la grille, la résistance  $R_G$  apparaît alors en parallèle sur l'impédance d'entrée du transistor, comme celle-ci est très élevée, en général c'est  $R_G$  qui fixe l'impédance d'entrée du montage. On lui attribue habituellement une valeur élevée (plusieurs  $M\Omega$ ).

### 5.4 – Exemple

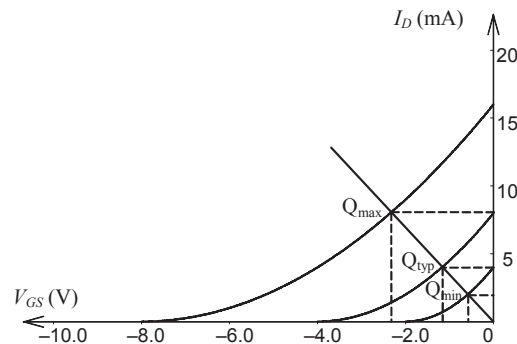


Fig. 10 – Variation du point de polarisation avec la dispersion des caractéristiques d'un FET.

Un FET 2N5459 a pour caractéristiques  $I_{DSS} = 8 \text{ mA}$  et  $V_{GS0} = -4 \text{ V}$ . Déterminer  $R_S$  pour que  $I_D = I_{DSS}/2 = 4 \text{ mA}$  et  $R_D$  pour que le transistor fonctionne dans la région de saturation (générateur de courant). On donne la tension d'alimentation  $V_{DD} = 20 \text{ V}$ .

$$I_D = 4 \text{ mA} \Rightarrow \frac{V_{GS}}{V_{GS0}} = 1 - \sqrt{\frac{I_D}{I_{DSS}}} = 1 - \frac{1}{\sqrt{2}} \text{ d'où l'on tire } V_{GS} \approx -1,17 \text{ V.}$$

$$\text{On en déduit : } R_S = \frac{-V_{GS}}{I_D} = 293 \Omega, \text{ valeur normalisée la plus proche : } R_S = 270 \Omega.$$

Pour être sûr que le transistor fonctionne en générateur de courant on peut choisir :  $V_{DS} > V_{DSP}$ , on prendra par exemple  $V_{DS} = \frac{V_{DSmax}}{3} = 10 \text{ V}$ , on a alors :

$$V_{DD} = (R_S + R_D) I_D + V_{DS} \Rightarrow R_D = \frac{V_{DD} - V_{DS}}{I_D} - R_S = 2,23 \text{ k}\Omega,$$

on prendra donc :  $R_D = 2,2 \text{ k}\Omega$ .

Ce type de polarisation très simple présente l'inconvénient d'être sensible à la dispersion des caractéristiques. La figure 10 montre la caractéristique moyenne qui a servi au calcul et les caractéristiques extrêmes données par le constructeur (également résumées sur le tableau I). On s'aperçoit que si l'on change de composant sans changer les éléments de polarisation, le point de polarisation peut passer à des valeurs très différentes (le courant  $I_D$  varie dans un rapport 4).

Les coordonnées du point de polarisation sont obtenues soit graphiquement (Fig. 10), soit analytiquement en reportant l'équation de la droite de polarisation dans l'équation de la caractéristique :

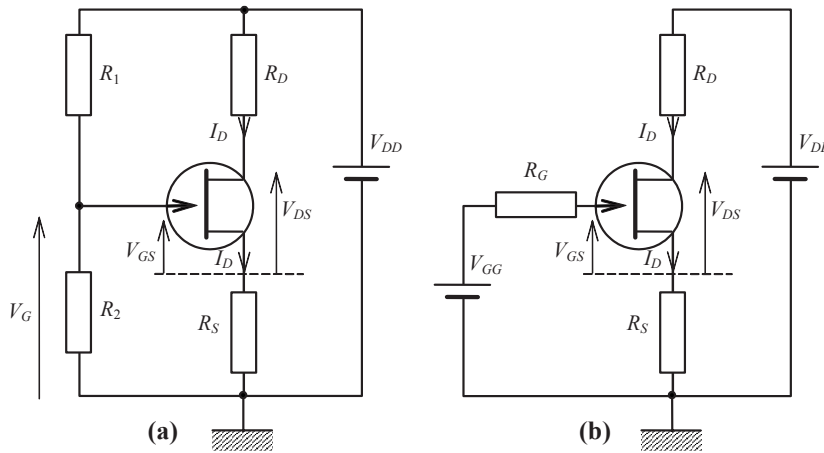
$$\left. \begin{aligned} I_D &= I_{DSS} \left(1 - \frac{V_{GS}}{V_{GS0}}\right)^2 \\ I_D &= \frac{-V_{GS}}{R_S} \end{aligned} \right\} \Rightarrow I_D = I_{DSS} \left(1 - \frac{R_S I_D}{V_{GS0}}\right)^2,$$

d'où l'on tire  $I_D$  puis  $V_{GS}$  à partir de l'équation de la droite de polarisation. Le tableau I résume les résultats obtenus pour la valeur typique et les valeurs extrêmes données par le fabricant.

**Tableau I** – Modification du point de polarisation avec la dispersion des caractéristiques.

	$I_{DSS}$ (mA)	$V_{GS0}$ (V)	$I_D$ (mA)	$V_{GS}$ (V)
$Q_{min}$	4	- 2	2,07	- 0,56
$Q_{typ}$	8	- 4	4,15	- 1,12
$Q_{max}$	16	- 8	8,3	- 2,24

## 5.5 – Polarisation par pont de grille



**Fig. 11** – Polarisation par pont de grille d'un FET : montage (a), circuit de grille équivalent (b).

Pour limiter les variations de polarisation dues à la dispersion des caractéristiques on peut utiliser la polarisation par pont de grille représentée Fig. 11.a.

Pour analyser ce montage, le circuit de grille  $\{V_{DD}, R_1, R_2\}$  est remplacé par son équivalent de Thévenin  $\{V_{GG}, R_G\}$  (Fig. 11.b) avec :

$$V_{GG} = \frac{R_2 V_{DD}}{R_1 + R_2} \text{ et } R_G = R_1 // R_2 = \frac{R_1 R_2}{R_1 + R_2}.$$

Dans la maille d'entrée on a :

$$I_G = 0 \Rightarrow V_G = V_{GG} = V_{GS} + R_S I_D \Rightarrow I_D = \frac{V_{GG} - V_{GS}}{R_S}.$$

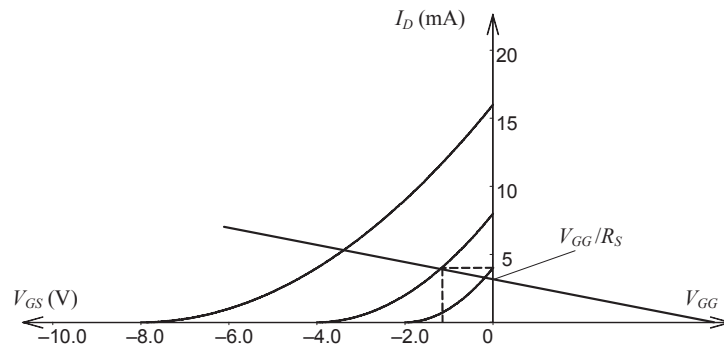


Fig. 12 – Droite de polarisation d'un montage à pont de grille.

La droite polarisation  $I_D(V_{GS})$  coupe l'axe  $V_{GS}$  en  $V_{GG}$  et l'axe  $I_D$  en  $\frac{V_{GG}}{R_S}$  (Fig. 12). La droite de charge étant plus horizontale, le courant  $I_D$  varie moins lorsqu'on passe d'un transistor à un autre.

## 6 – Modélisation des FET à jonction

### 6.1 – Syntaxe

Voir le § 5 page 14 pour les conventions typographiques utilisées.

Forme générale :

J<nom> <nœud de drain> <nœud de grille> <nœud de source>  
+ <nom de modèle> [surface]

Exemples : 

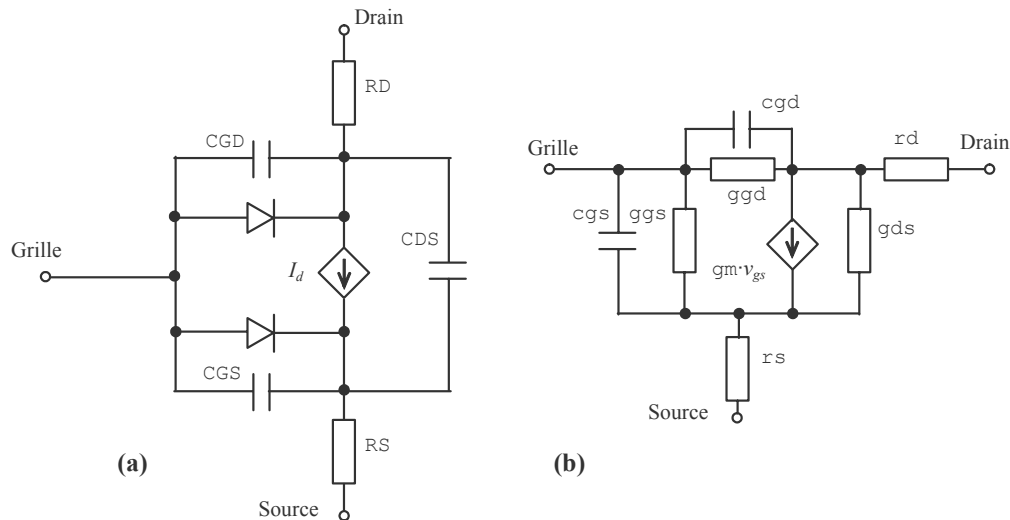
Jin 100 1 0 Jfast
J13 22 14 23 Jnom 2.0

Forme du modèle :

.MODEL <nom du modèle> NJF [paramètres du modèle]  
.MODEL <nom du modèle> PJF [paramètres du modèle]

### 6.2 – Modélisation

Le JFET est modélisé par un FET intrinsèque avec une résistance ohmique  $R_D$  en série avec le drain et une résistance ohmique  $R_S$  en série avec la source. Le courant est compté positivement lorsqu'il entre dans une électrode. La [surface] représente l'aire relative du composant dont la valeur par défaut vaut 1. Il existe de nombreux autres paramètres décrits dans la documentation en ligne de *PSpice* mais qui ne seront pas traités ici.



Paramètre	PSpice	Définition	Défaut	Unité
$\beta$	BETA	Coefficient de transconductance	$10^{-4}$	$A/V^2$
$C_{gd}$	CGD	Capacité de la jonction grille–drain à polar. nulle	0	F
$C_{gs}$	CGS	Capacité de la jonction grille–source à polar. nulle	0	F
$\lambda$	LAMBDA	Modulation de longueur du canal	0	$V^{-1}$
$R_d$	RD	Résistance ohmique de drain	0	$\Omega$
$R_s$	RS	Résistance ohmique de source	0	$\Omega$
$R_e$	RE	Résistance ohmique d'émetteur	0	$\Omega$
$V_{TO}$	VT0	Tension de seuil	-2,0	V

**Fig. 13** – Modèles de JFET utilisés par PSpice : modèle non linéaire pour les analyses .DC et .TRAN (a), modèle linéaire pour l'analyse .AC (b) et tableau des principaux paramètres du modèle de transistor à effet de champ.

### 6.3 – Schéma équivalent

Pour déterminer le comportement d'un circuit comportant un JFET, PSpice commence toujours par calculer le point de polarisation statique du circuit en utilisant le schéma non linéaire représenté Fig. 13.a et détermine alors les paramètres petits signaux linéaires du schéma équivalent de la figure 13.b. Ce schéma équivalent linéaire n'est utilisé que pour les analyses de type AC (cf. tableau IV page 31). Pour les autres analyses non linéaires (DC et temporelle) c'est le schéma de la figure 13.a qui est utilisé (noter que les capacités n'interviennent que pour les analyses temporelles).

### 6.4 – Exemples

#### – Caractéristiques de sortie

Le réseau de caractéristiques de sortie représentée sur la figure 6 page 172 peut être obtenu à partir du fichier-circuit de la figure 14. La figure 15 représente un extrait du fichier de sortie dans lequel figurent les paramètres petits signaux du schéma équivalent linéaire du JFET. Noter sur cet exemple que les capacités  $c_{gd}$  et  $c_{gs}$  du schéma équivalent linéaire sont différentes des capacités CGD et CGS à polarisation nulle.

```

* Caracteristiques de sortie d'un JFET *
.param   vg=0
Vdd      10  0  10
J1       10  1  0  fet
Vgg      1   0  {vg}
.model   fet  NJF(Beta=1m  Vto=-4  Cgd=2p  Cgs=2p)
.op
.dc      Vdd  0  10  10m
.step    param  vg=-4 0 1
.probe
.end

```

Fig. 14 – *Fichier-circuit pour la détermination des caractéristiques de sortie d'un JFET.*

```

**** OPERATING POINT INFORMATION      TEMPERATURE = 27.000 DEG C
**** CURRENT STEP                      PARAM VG = 0
*****
**** JFETS
NAME      J1
MODEL     fet
ID        1.60E-02
VGS       0.00E+00
VDS       1.00E+01
GM        8.00E-03
GDS       0.00E+00
CGS       2.00E-12
CGD       6.03E-13

```

Fig. 15 – *Extrait du fichier de sortie.*

### – Modèle de JFET réel

La figure 16 montre un extrait de la bibliothèque de composants fournie avec *PSpice* dans lequel les paramètres correspondent à ceux d'un JFET réel. À titre d'exercice on pourra comparer les caractéristiques d'un JFET réel et celles d'un JFET idéal.

```

.model J2N3819 NJF(Beta=1.304m Betatce=-.5 Rd=1 Rs=1 Lambda=2.25m Vto=-3
+   Vtotc=-2.5m Is=33.57f Isr=322.4f N=1 Nr=2 Xti=3 Alpha=311.7u
+   Vk=243.6 Cgd=1.6p M=.3622 Pb=1 Fc=.5 Cgs=2.414p Kf=9.882E-18
+   Af=1)

```

Fig. 16 – *Extrait de la bibliothèque de composants de PSpice.*



# Chapitre 9

## Transistors MOS

### 1 – Introduction

On appelle transistor à « effet de champ » des composants électroniques semi-conducteurs, la plupart du temps réalisés en silicium, comportant trois (quelquefois quatre) électrodes. Le principe de base de ces composants consiste à commander le **courant** qui circule entre deux des électrodes appelées respectivement « source » et « drain » grâce à une **tension** appliquée sur la troisième électrode appelée « grille ». Il existe deux types principaux de transistors à effet de champ : les transistors à effet de champ à jonction (FET)<sup>1</sup> et les transistors MOS. Ces derniers sont les composants actifs les plus utilisés actuellement dans l'industrie électronique à cause de leur simplicité qui permet la réalisation de composants très petits (submicroniques) et par conséquent une très grande densité d'intégration.

Le mécanisme de contrôle du courant dans la région conductrice appelée « canal » repose sur les propriétés des milieux semi-conducteurs et des jonctions. Ces propriétés sont décrites à l'annexe 2.

### 2 – MOS à enrichissement

#### 2.1 – Constitution des transistors MOS à enrichissement

Le transistor MOS (Métal Oxyde Semi-conducteur) également appelé IGFET (*Insulated Gate Field Effect Transistor*) est actuellement le plus utilisé des transistors à effet de champ. Il est constitué d'un *substrat* de type  $p$  sur lequel est déposé une couche d'isolant (oxyde de silicium  $\text{SiO}_2$ ). Sur cette couche est placée une électrode métallique<sup>2</sup> appelée la « grille ». De part et d'autre de la grille, dans le substrat, sont insérées deux régions de type  $n^+$  appelées respectivement le « drain » et la « source » (Fig. 1). Il existe une version complémentaire appelée pMOS dans laquelle la nature des dopants est opposée.

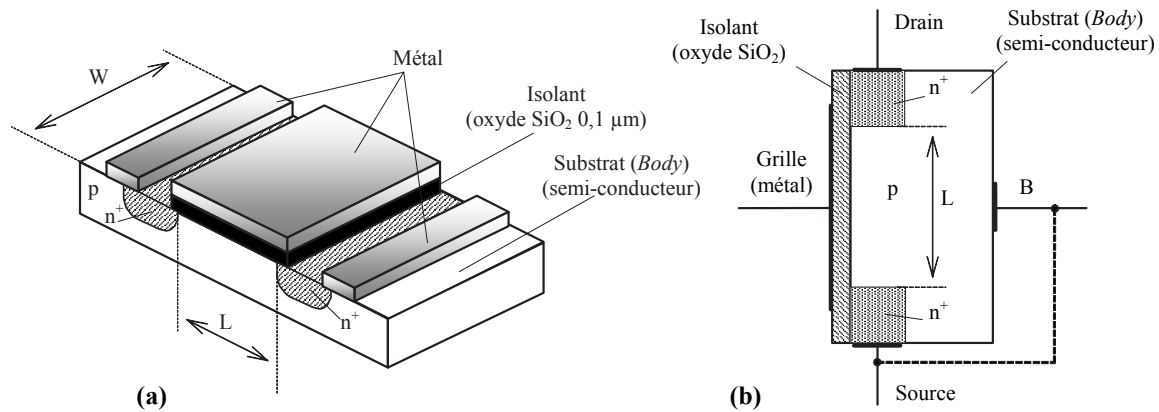


Fig. 1 – Constitution schématique d'un transistor nMOS (a) et schéma de principe (b).

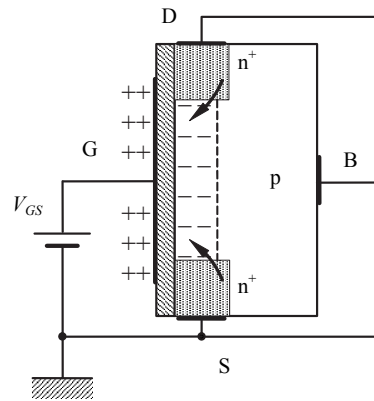


Fig. 2 – Formation de la couche d'inversion.

## 2.2 – Principe de fonctionnement d'un MOS à enrichissement

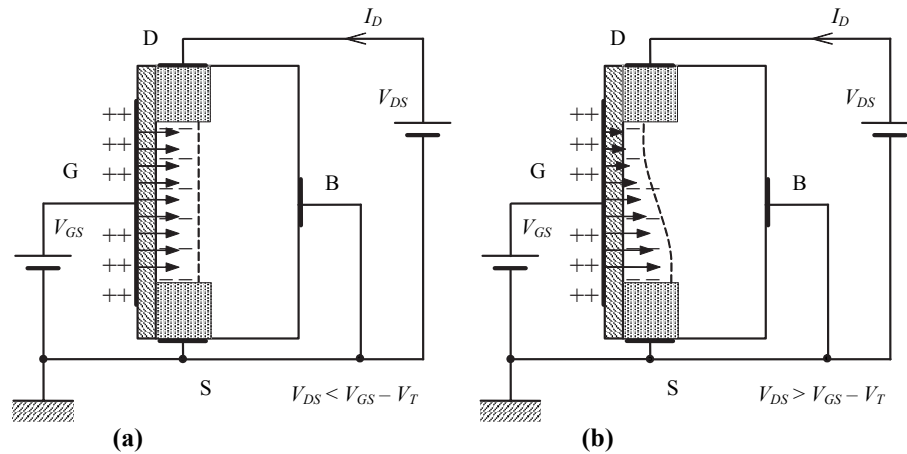
L'ensemble grille (conducteur) – oxyde (isolant) – semi-conducteur forme un condensateur plan, ce dispositif est aussi appelé FET à grille isolée à cause de la présence de la couche d'oxyde. La particularité de ce composant est son impédance extrêmement élevée (de  $10^{10}$  à  $10^{15} \Omega$ ) et le fait qu'il ne passe aucun courant dans la grille quelle que soit sa polarisation.

Supposons que le drain, la source et le substrat soient reliés à la masse et que la grille soit polarisée positivement (Fig. 2), la zone située dans le substrat juste sous la couche isolante se charge négativement par influence en attirant les électrons libres du drain et de la source. Si la tension  $V_{GS}$  est suffisante, il se forme une couche conductrice de type  $n$  appelée *couche d'inversion* ou canal  $n$  dans le substrat de type  $p$  d'où le nom de nMOS donné à ce composant.

<sup>1</sup>La constitution, le principe de fonctionnement et la polarisation des FET sont traités au chapitre 8.

<sup>2</sup>Le métal est à présent remplacé par une couche de polysilicium dopé conducteur. Le composant conserve toutefois sa désignation de MOS.



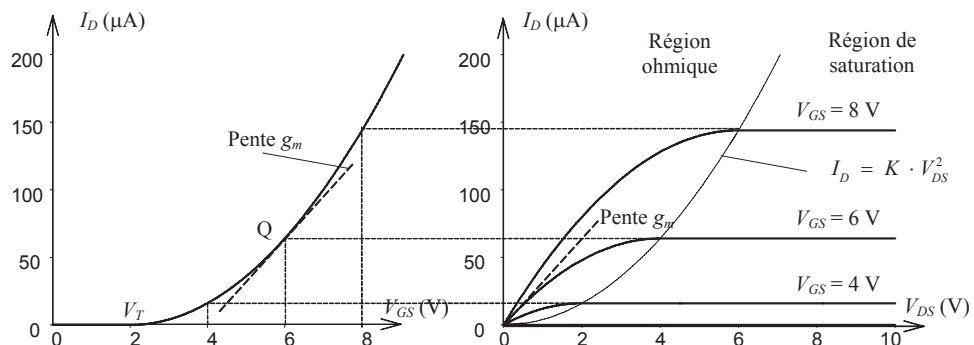


**Fig. 3** – Pour les faibles valeurs de  $V_{DS}$ , le champ électrique entre grille et substrat reste sensiblement uniforme (a), tandis que pour les valeurs plus élevées il tend à se réduire au niveau du drain (b).

La couche d'inversion ne devient conductrice que si  $V_{GS}$  dépasse une certaine tension appelée tension de seuil (*threshold*) notée  $V_{GS0}$  ou  $V_{T0}$  ou simplement  $V_T$ . Au delà de cette valeur, plus  $V_{GS}$  augmente plus la couche s'enrichit et plus le canal devient conducteur d'où le nom de nMOS à **enrichissement** (*enhancement*).

Appliquons à présent une tension  $V_{DS}$  entre drain et source, si  $V_{DS} < V_{GS} - V_T$ , les charges libres du canal d'inversion se déplacent et créent un courant  $I_D$  proportionnel à la tension  $V_{DS}$  : le barreau se comporte comme une résistance dont la valeur est commandée par la tension  $V_{GS}$  (Fig. 3.a). Si  $V_{DS} > V_{GS} - V_T$ , le champ électrique entre grille et substrat a tendance à diminuer au niveau du drain, la couche d'inversion se rétrécit et la résistance du canal augmente avec  $V_{DS}$  de telle sorte que  $I_D$  devient pratiquement constant, on atteint alors le régime de saturation (Fig. 3.b).

### 2.3 – Caractéristiques du nMOS



**Fig. 4** – Caractéristiques d'entrée et de sortie d'un nMOS à enrichissement.

On appelle « caractéristiques » d'un transistor les courbes représentant la façon dont le courant de drain  $I_D$  varie :

- soit en fonction de la tension  $V_{GS}$  appliquée entre grille et source lorsque la tension  $V_{DS}$  entre drain et source est maintenue constante (caractéristique d'entrée ou de transconductance),
- soit en fonction de la tension  $V_{DS}$  lorsque la tension  $V_{GS}$  est maintenue constante (caractéristique de sortie).

En régime de saturation, c'est-à-dire si  $V_{DS} > V_{GS} - V_T$  la caractéristique de transconductance du nMOS représentée figure 4 se met sous la forme :

$$\begin{cases} I_D = 0 & \text{si } V_{GS} < V_T \\ I_D = \frac{k'}{2} \frac{W}{L} (V_{GS} - V_T)^2 & \text{si } V_{GS} > V_T \quad \text{et si } V_{DS} > V_{GS} - V_T \end{cases} \quad (1)$$

Le coefficient de transconductance  $k'$  est une constante qui dépend des caractéristiques physiques et de la géométrie du transistor :  $k' = \mu_n C_0$  où  $\mu_n$  est la mobilité des électrons dans le canal et  $C_0$  la capacité par unité de surface de grille.  $W$  et  $L$  sont respectivement la largeur et la longueur de la couche d'inversion (Fig. 1), la surface de grille est par conséquent :  $S = W \times L$ . Pour les nMOS courants :  $0, 1 \leq k' \leq 10 \mu\text{A}/\text{V}^2$ . La longueur  $L$  est généralement fixée par la limite technologique utilisée (actuellement quelques dixièmes de  $\mu\text{m}$ ) et  $W$ , de l'ordre de quelques  $\mu\text{m}$  à quelques dizaines de  $\mu\text{m}$  dans les cas les plus courants, est utilisée pour paramétrer la conductivité du transistor déterminée par le rapport  $\frac{W}{L}$  appelé *rapport d'aspect* du MOS.

Le courant de drain en régime de saturation est souvent exprimé sous la forme :

$$I_D = K (V_{GS} - V_T)^2 \quad \text{avec} \quad K = \frac{k'}{2} \frac{W}{L} \quad (2)$$

On appelle « pente » ou « transconductance » du transistor, souvent notée  $g_m$ , la pente de la caractéristique d'entrée en un point de polarisation particulier (par exemple le point Q sur la figure 4), c'est la dérivée de la caractéristique  $I_D(V_{GS})$  en Q :

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = 2K (V_{GS} - V_T) \quad (3)$$

Lorsque  $V_{GS} > V_T$  la transconductance du transistor varie linéairement avec la tension  $V_{GS}$ .

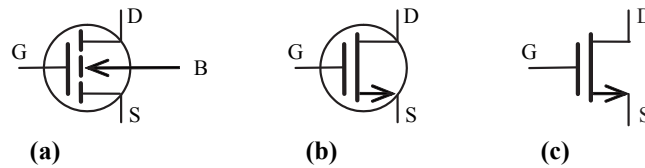
Dans le plan de sortie  $(I_D, V_{GS})$ , à  $V_{GS}$  constant, on distingue deux types de comportement :

- Pour les faibles valeurs de  $V_{DS}$ , ( $V_{DS} < V_{GS} - V_T$ ), où le courant  $I_D$  augmente avec la tension  $V_{DS}$ , on parle de comportement *triode* ou *ohmique*. La loi de variation s'exprime sous la forme :  $I_D = K [2(V_{GS} - V_T) \cdot V_{DS} - V_{DS}^2]$ .
- Pour les très faibles valeurs de  $V_{DS}$  ( $V_{DS} \ll V_{GS} - V_T$ ), cette relation peut s'écrire approximativement :  $I_D \approx 2K (V_{GS} - V_T) \cdot V_{DS}$ , ce qui permet de calculer la pente à l'origine des caractéristiques de sortie en fonction de  $V_{GS}$  :  $g_m = \frac{\partial I_D}{\partial V_{DS}} = 2K (V_{GS} - V_T)$ .

Noter que cette expression est identique à celle de la transconductance du transistor c'est pourquoi elle est souvent désignée par le même symbole. La relation obtenue montre qu'à faible tension  $V_{DS}$  le transistor se comporte comme une résistance commandée en tension (Fig. 4).

– Pour  $V_{DS} > V_{GS} - V_T$ , où le courant  $I_D$ , fixé par la valeur de  $V_{GS}$ , reste à peu près constant, on dit que le nMOS travaille en régime de saturation (générateur de courant). La relation  $V_{DS} = V_{GS} - V_T$  sépare les deux régimes de fonctionnement et en reportant cette valeur dans l'expression de  $I_D$  on obtient l'équation de la parabole de séparation :  $I_D = K \cdot V_{DS}^2$ .

## 2.4 – Symboles des nMOS à enrichissement

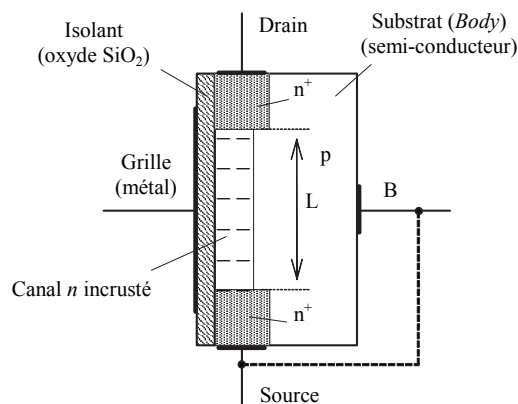


**Fig. 5** – Symboles des nMOS à enrichissement : symbole spécifique (a) et symboles simplifiés (b) et (c).

La figure 5 montre les représentations usuelles d'un nMOS à enrichissement. La première (Fig. 5.a) est le symbole spécifique dans lequel la connexion de substrat est explicitement représentée, la couche d'inversion est symbolisée par un trait discontinu. Les deux autres (Fig. 5.b et c) sont des symboles simplifiés, le substrat est alors implicitement connecté à la source. Noter, comme pour tous les composants semi-conducteurs, que la flèche indique toujours le sens d'une jonction P-N, pour la représentation spécifique par exemple, la flèche va du substrat (P) vers le canal (N) tandis que pour la représentation simplifiée elle va du substrat (P) vers la source (N). Dans le cas de la représentation simplifiée, la flèche indique en outre le sens réel du courant lorsque le transistor conduit.

## 3 – Autres transistors MOS

### 3.1 – nMOS à appauvrissement



**Fig. 6** – Constitution d'un nMOS à appauvrissement.

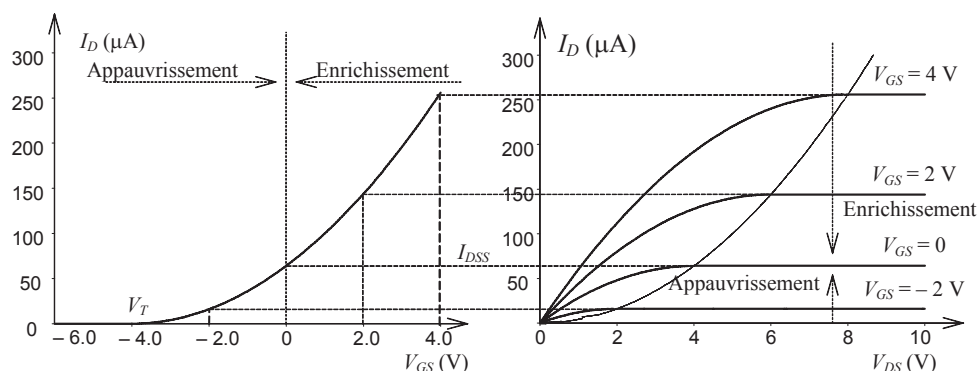


Fig. 7 – Caractéristiques d'entrée et de sortie d'un nMOS à appauvrissement.

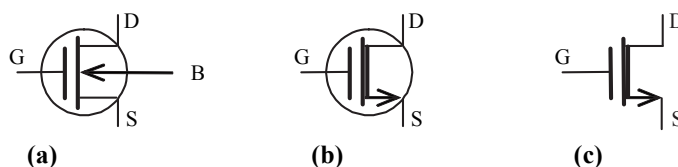


Fig. 8 – Symboles des nMOS à appauvrissement : symbole spécifique (a) et symboles simplifiés (b) et (c).

Un nMOS à appauvrissement se présente sensiblement de la même manière qu'un transistor à enrichissement, on a incrusté, en plus, un canal de type  $n$  au voisinage de la couche d'oxyde de sorte que le canal drain-source soit conducteur même s'il n'y a pas de tension appliquée sur la grille (Fig. 6). La caractéristique d'entrée se trouve ainsi translatée vers les valeurs négatives de  $V_{GS}$ . Lorsque  $V_{GS}$  est négative le transistor se comporte comme un FET à jonction (cf. chapitre 8) et lorsque  $V_{GS}$  est positive il se comporte comme un MOS à enrichissement (Fig. 7).

La caractéristique de transconductance a une loi de comportement identique à celle d'un transistor nMOS à enrichissement, seul le signe de la tension de seuil permet de différencier les deux composants :  $V_T < 0$  pour un nMOS à appauvrissement alors qu'il est positif pour un nMOS à enrichissement.

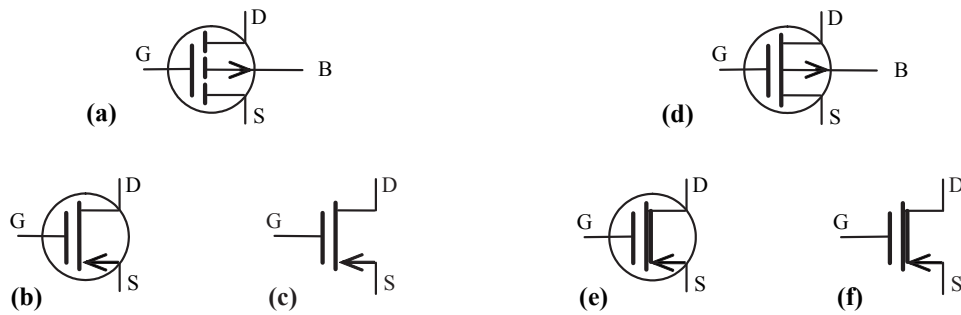
La figure 8 représente le symbole spécifique d'un nMOS à appauvrissement (Fig. 8.a), la présence du canal effectif est matérialisée par un trait continu entre le drain et la source. De même le canal est matérialisé par un trait renforcé sur les symboles simplifiés (Fig. 8.b et c).

### Remarque

Les MOS à appauvrissement de technologie relativement complexe, ont pratiquement disparu au profit des MOS complémentaires (CMOS) qui seront abordés au § 3.3 page 189.

## 3.2 – Transistors pMOS

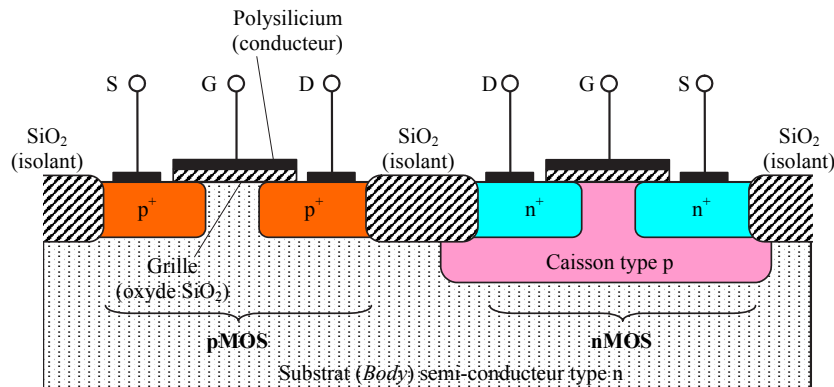
Il existe des transistors pMOS à enrichissement et à appauvrissement qui fonctionnent de manière analogue aux nMOS mais avec des polarités opposées. Du fait qu'ils sont plutôt



**Fig. 9** – Symboles des transistors pMOS. pMOS à enrichissement spécifique (a), simplifiés (b) et (c), pMOS à appauvrissement spécifique (d), simplifié (e) et (f).

moins performants que les nMOS, ils sont moins utilisés sauf dans les dispositifs CMOS. La figure 9 représente les symboles utilisés pour les pMOS.

### 3.3 – MOS complémentaires : CMOS



**Fig. 10** – Constitution d'un composant CMOS.

L'association sur un même substrat d'un nMOS et d'un pMOS à enrichissement permet de réaliser de nombreuses applications aussi bien dans le domaine de l'électronique numérique que celui de l'électronique analogique. La figure 10 représente la coupe d'un circuit CMOS (*Complementary MOS*), le composant pMOS est intégré directement dans le substrat de type  $n$  tandis que le nMOS nécessite la diffusion préalable d'un « caisson » de type  $p$ . Il existe également des structures opposées (substrat de type  $p$  pour le nMOS et caisson de type  $n$  pour le pMOS). Il n'existe pas de symbole spécifique pour les CMOS, on utilise généralement les symboles simplifiés des figures 5 et 9.

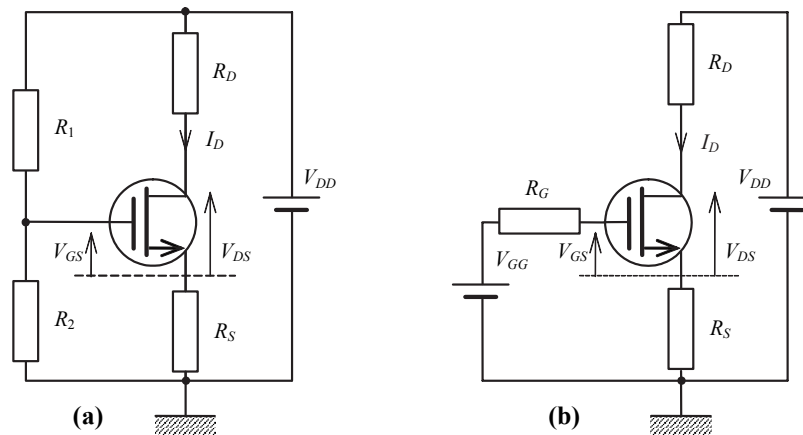


Fig. 11 – Polarisation d'un nMOS.

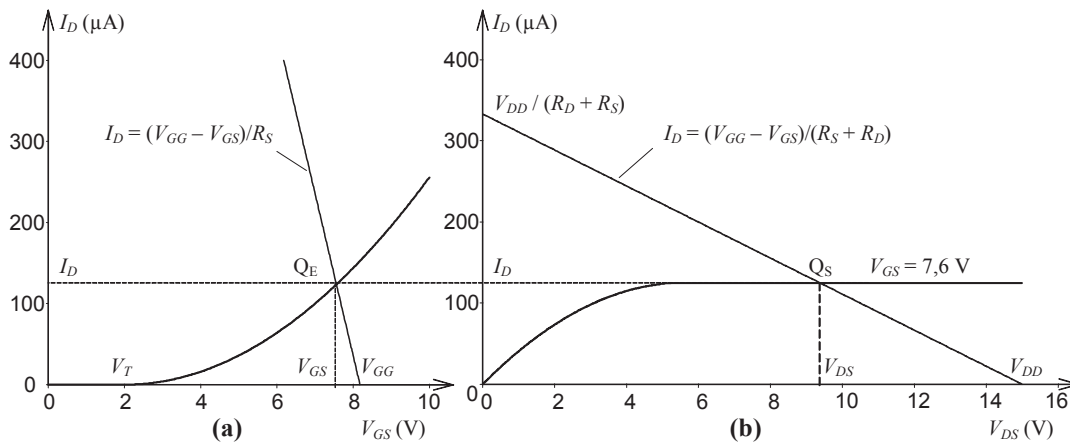


Fig. 12 – Point de polarisation d'un nMOS dans le plan d'entrée (a) et dans le plan de sortie (b).

## 4 – Polarisation des MOS

### 4.1 – Principes de polarisation

La plupart des composants électroniques tels que les diodes ou les transistors sont des dispositifs dont les caractéristiques sont non linéaires ce qui signifie qu'ils se comportent différemment selon les coordonnées du point de polarisation (ou point de repos) sur les caractéristiques. Le point de polarisation est défini par l'ensemble des tensions et des courants **continus** qui circulent dans le composant. Les coordonnées de ce point sont définies :

- par les lois de comportement du composant (ses caractéristiques courant–tension),
- par le circuit dans lequel il est connecté (sources de courant ou de tension, résistances, etc.)

Prenons le cas du circuit représenté sur la figure 11.a, les caractéristiques du transistor et les conditions de polarisation sont les suivantes :

$$V_T = 2 \text{ V}, \quad K = 4 \text{ } \mu\text{A}/\text{V}^2,$$

$$V_{DD} = 15 \text{ V}, \quad R_1 = 100 \text{ k}\Omega, \quad R_2 = 120 \text{ k}\Omega, \quad R_D = 40 \text{ k}\Omega, \quad R_S = 5 \text{ k}\Omega.$$

En remplaçant le circuit d'entrée  $\{V_{DD}, R_1, R_2\}$  par son générateur de Thévenin équivalent (Fig. 11.b) on obtient :

$$V_{GG} = \frac{R_2 V_{DD}}{R_1 + R_2} = 8,18 \text{ V} \quad \text{et} \quad R_G = \frac{R_1 R_2}{R_1 + R_2} = 54,5 \text{ k}\Omega.$$

Si l'on fait l'hypothèse préalable que le transistor fonctionne en régime de saturation, la caractéristique d'entrée a pour équation :  $I_D = K (V_{GS} - V_T)^2$  et comme le courant de grille est nul on peut écrire :

$$V_{GG} = V_{GS} + R_S I_D \quad \Rightarrow \quad I_D = \frac{V_{GG} - V_{GS}}{R_S}.$$

On dispose ainsi de deux expressions de  $I_D(V_{GS})$ , la première est la loi de comportement du transistor et la seconde la condition d'équilibre du circuit. Pour la maille d'entrée, les coordonnées du point de polarisation sont alors calculées en résolvant ce système de deux équations à deux inconnues.

Le système de deux équations à deux inconnues constitué par les deux expressions de  $I_D$  peut être résolu analytiquement et on trouve :  $V_{GS} \approx 7,6 \text{ V}$  et  $I_D \approx 125 \text{ } \mu\text{A}$ .

On peut également résoudre graphiquement ce système dans le plan  $(I_D, V_{GS})$ , la loi de comportement est un arc de parabole et la seconde relation est l'équation d'une droite de pente  $-1/R_S$  quelquefois appelée « droite d'attaque ». Les coordonnées  $(I_D, V_{GS})$  du point de polarisation  $Q_E$  se trouve à l'intersection de ces deux courbes (Fig. 12.a).

Dans la maille de sortie on a d'autre part :  $V_{DS} = V_{DD} - (R_D + R_S)I_D \approx 9,4 \text{ V}$ , ce qui achève complètement la détermination du point de polarisation.

Comme précédemment ce résultat peut être obtenu graphiquement : en traçant dans le plan de sortie  $(I_D, V_{DS})$  la caractéristique du transistor  $I_D(V_{DS})$  pour la valeur de  $V_{GS} = 7,6 \text{ V}$  et la relation imposée par le circuit de polarisation  $I_D = \frac{V_{DD} - V_{DS}}{R_D + R_S}$  qui est l'équation d'une droite de pente  $-1/(R_D + R_S)$  appelée « droite de charge ». Les coordonnées  $(I_D, V_{DS})$  du point de polarisation  $Q_S$  se trouve à l'intersection de ces deux courbes (Fig. 12.b).

Le calcul du point de polarisation repose sur l'hypothèse d'un fonctionnement en régime de saturation qui doit être vérifiée *a posteriori* : on vérifie effectivement que :

$$V_{DS} = 9,4 \text{ V} > V_{GS} - V_T = 7,6 - 2 = 5,6 \text{ V}.$$

## 4.2 – Régime linéaire et régime commuté

### – Régime linéaire

On dit qu'un transistor fonctionne en régime linéaire lorsque de petites variations sont superposées aux courants ou aux tensions de polarisation. Si le point de polarisation est judicieusement choisi et si les variations sont de faible amplitude, la loi de comportement du transistor peut être linéarisée et utilisée pour réaliser une fonction d'amplification par exemple. La figure 13 montre un simple amplificateur dont le transistor nMOS est polarisé par l'alimentation  $V_{DD}$ , les résistances de grille  $R_1, R_2$  et la résistance de drain  $R_D$ . Le

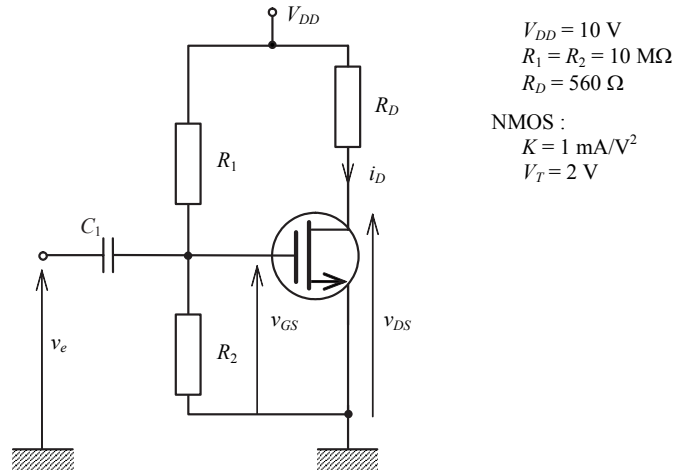


Fig. 13 – Amplificateur à nMOS.

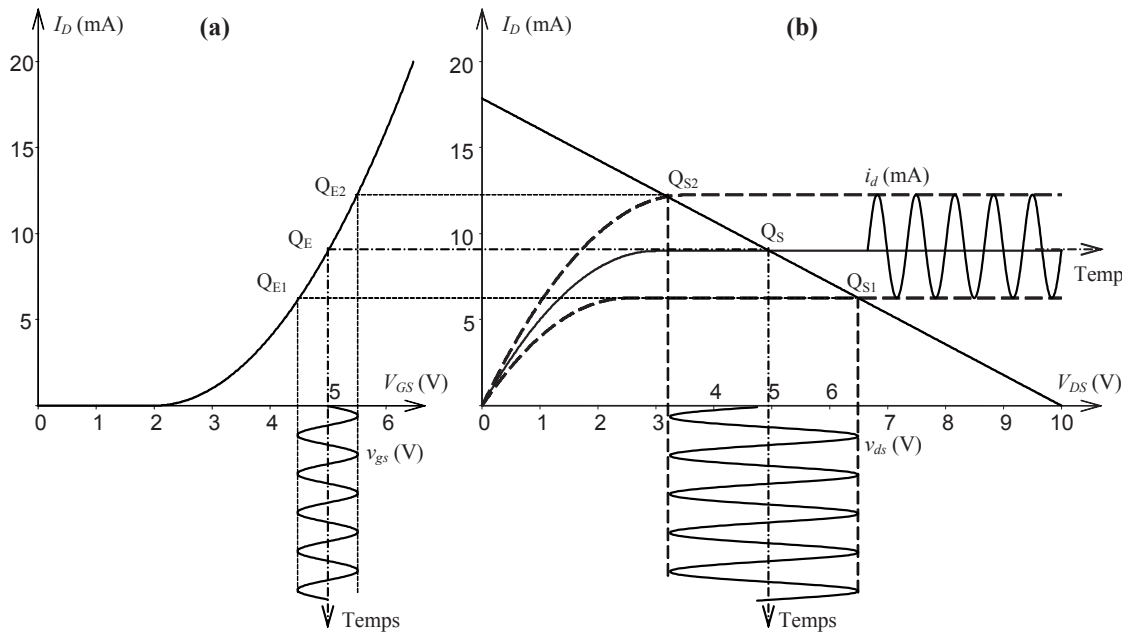


Fig. 14 – Principe de l'amplification du circuit de la figure 13.

signal à amplifier  $v_e$  est appliqué sur la grille du transistor à travers un condensateur de liaison qui évite que le générateur court-circuite la résistance  $R_2$ . Les coordonnées ( $V_{GS}$ ,  $I_D$ ,  $V_{DS}$ ) des points de polarisation  $Q_E$  et  $Q_S$  se calculent de manière analogue à celle du paragraphe précédent (le calcul laissé à titre d'exercice pourra être vérifié à l'aide la figure 14). La tension variable  $v_e$  a pour effet d'ajouter une composante  $v_{gs}$  de petite amplitude<sup>3</sup> à la tension de polarisation  $V_{GS}$ , de ce fait on voit sur la figure 14.a que le point de fonctionnement se déplace entre  $Q_{E1}$  et  $Q_{E2}$  et que ce déplacement correspond à une variation quasi proportionnelle du courant de drain  $i_d$  et à un déplacement du point

<sup>3</sup>Voir les conventions de notation des tensions et des courants continus et variables à l'annexe 3.



de fonctionnement en sortie le long de la droite de charge entre  $Q_{S1}$  et  $Q_{S2}$  d'où une variation de la tension  $v_{ds}$  d'amplitude plus importante que celle de  $v_{gs}$  (Fig. 14.b). Le comportement dynamique des tripôles actifs (FET, MOS, BJT) est traité plus en détail à l'annexe 3.

### – Régime commuté

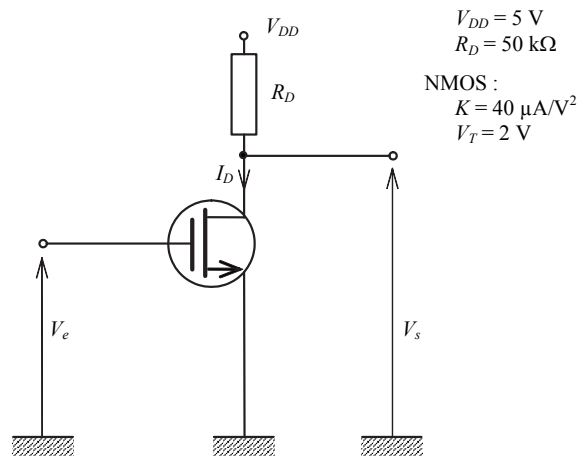


Fig. 15 – Inverseur simple à transistor nMOS.

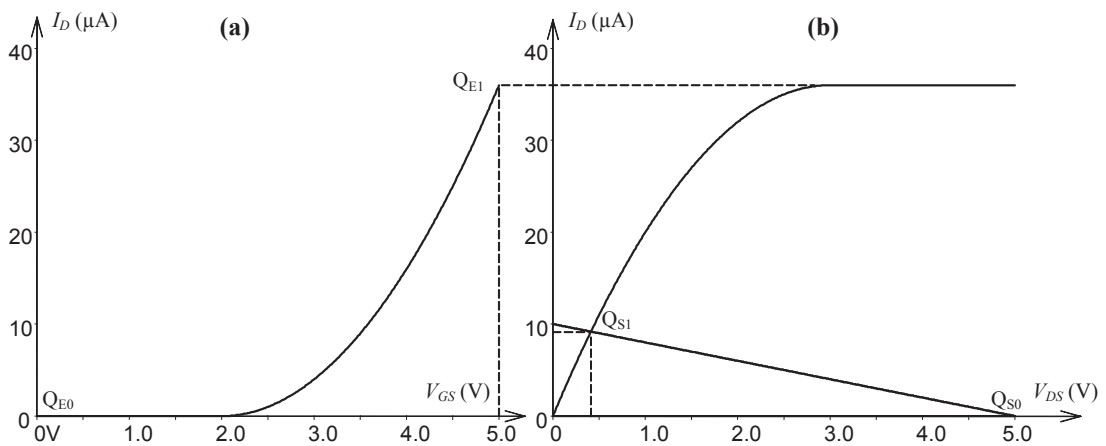


Fig. 16 – Principe de l'inversion.

Le régime commuté ou binaire ou en tout-ou-rien, est principalement utilisé dans les circuits numériques qui constituent la plus grande partie des applications actuelles des transistors MOS. Dans ce régime, le transistor est utilisé comme un interrupteur commandé en tension. La tension de commande appliquée sur la grille du transistor prend seulement deux valeurs (appelées états logiques « 0 » et « 1 ») dont les tensions sont respectivement voisines de zéro volt et de la tension d'alimentation du circuit  $V_{DD}$ . Pour illustrer ce type d'utilisation, examinons le fonctionnement de l'inverseur simple représenté sur la figure 15.

La tension  $V_e$  à inverser est appliquée sur la grille du transistor et la sortie  $V_s$  de l'inverseur est prélevée sur le drain :

- Si  $V_e = 0$  (ou seulement si  $V_e < V_T$  ce qui correspond au niveau logique « 0 ») le transistor est « bloqué », aucun courant ne circule dans le drain :  $I_D = 0$ . Dans le plan d'entrée le point de polarisation se trouve à l'origine en  $Q_{E0}$  (Fig. 16.a), la caractéristique de sortie est confondue avec l'axe horizontal, le point de polarisation se trouve à l'intersection avec la droite de charge en  $Q_{S0}$  (Fig. 16.b) et la tension de sortie de l'inverseur est donc  $V_s = V_{DD}$  ce qui correspond au niveau logique « 1 ».
- Si  $V_e = V_{DD}$  (niveau logique « 1 »), le transistor conduit. Dans le plan d'entrée le point de polarisation se trouve à l'origine en  $Q_{E1}$  (Fig. 16.a), la caractéristique de sortie est celle qui correspond à  $V_{GS} = V_{DD}$ , le point de polarisation se trouve à l'intersection avec la droite de charge en  $Q_{S1}$  (Fig. 16.b) et la tension de sortie de l'inverseur est donc inférieure à  $V_T$  ce qui correspond au niveau logique « 0 ».

Sur la figure 16.b, on voit que le transistor ne fonctionne plus dans la région de saturation mais dans la région ohmique où le courant de drain est donné par  $I_D \approx 2K(V_{GS} - V_T) \cdot V_{DS}$  avec  $V_{GS} = V_{DD}$ , et la droite de charge a pour équation  $I_D = \frac{V_{DD} - V_{DS}}{R_D}$  ce qui permet de calculer les coordonnées du point de polarisation  $Q_{S1}$ . On obtient :

$$V_{DS} = \frac{V_{DD}}{2KR_D(V_{DD} - V_T) + 1} \approx 0,4 \text{ V},$$

$$\text{d'où le courant de drain : } I_D = \frac{V_{DD} - V_{DS}}{R_D} \approx 92 \mu\text{A}.$$

Noter ici que la tension de sortie de l'inverseur n'est pas nulle, le transistor ne se comporte pas exactement comme un court-circuit mais plutôt comme une résistance de quelques kilohms.

### 4.3 – Remarque

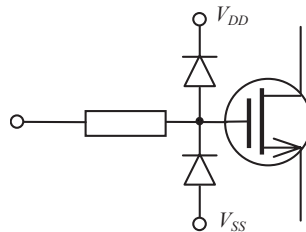
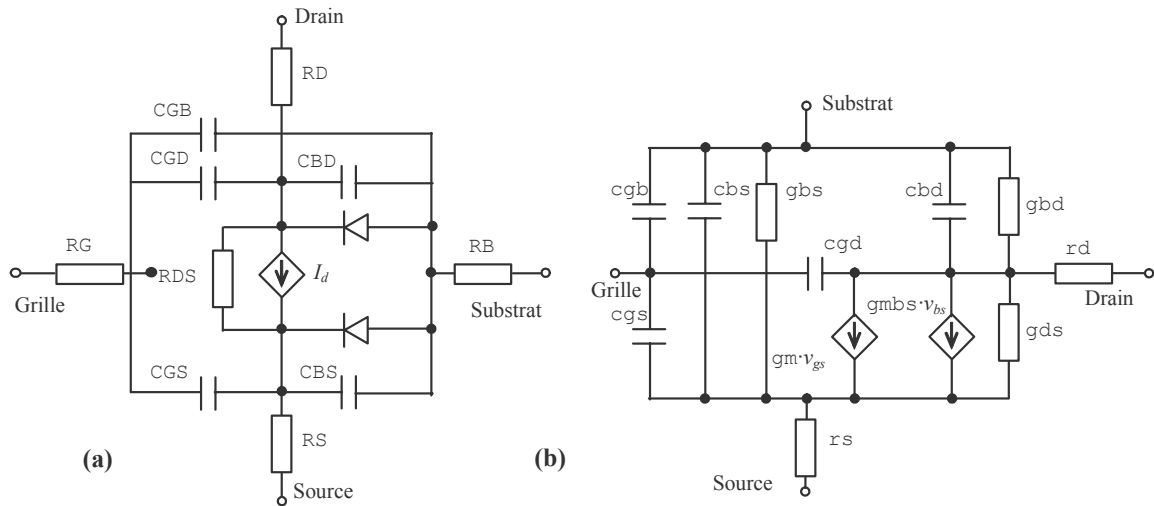


Fig. 17 – Circuit de protection de la grille d'un MOS.

Dans un transistor MOS la couche d'oxyde est extrêmement mince pour permettre une commande de courant plus efficace par la tension grille-source, en contrepartie, la tension maximale supportée par cette couche est généralement faible (de l'ordre de  $\pm 30$  V). Cette particularité rend les MOS très vulnérables, ils peuvent être détruits par le simple fait de toucher la grille avec le doigt car les charges accumulées sur une grille présentant une très haute résistance d'isolement peuvent suffire à atteindre la tension de claquage. La manipulation de ces composants nécessite des précautions particulières (bracelet de mise à la terre). Très souvent, la grille n'est accessible que par un circuit de protection qui évite les surcharges tel que celui de la figure 17.

## 5 – Simulation des MOS avec PSpice



Paramètre	PSpice	Définition	Défaut	Unité
$C_{bd}$	CBD	Capa. de jonction substrat–drain à polar. nulle	0	F
$C_{bs}$	CBS	Capa. de jonction substrat–source à polar. nulle	0	F
$k'$	KP	Transconductance	$2 \cdot 10^{-5}$	$A/V^2$
$L$	L	Longueur de canal	DEFL	m
$\lambda$	LAMBDA	Modulation de longueur du canal (modèles 1, 2)	0	$V^{-1}$
	LEVEL	Type de modèle (1, 2, 3, 4, 5 ou 6)	1	
$R_b$	RB	Résistance ohmique de substrat	0	$\Omega$
$R_d$	RD	Résistance ohmique de drain	0	$\Omega$
$R_{ds}$	RDS	Résistance shunt drain–source	$\infty$	$\Omega$
$R_s$	RS	Résistance ohmique de source	0	$\Omega$
$t_{ox}$	TOX	Épaisseur d'oxyde	$\infty$	m
$\mu_0$	UO	Mobilité de surface	600	$cm^2/V/s$
$V_T$	VTO	Tension de seuil à polar. nulle	0	V
$W$	W	Largeur de canal	DEFW	m

**Fig. 18** – Modèles de MOS utilisés par PSpice : modèle non linéaire pour les analyses .DC et .TRAN (a), modèle linéaire pour l'analyse .AC (b) et tableau des principaux paramètres du modèle de MOS.

### 5.1 – Syntaxe

Voir le § 5 page 14 pour les conventions typographiques utilisées.

Forme générale :

```

M<nom> <nœud de drain> <nœud de grille> <nœud de source> <nœud de substrat>
+ <nom de modèle>
+ [L=<valeur>] [W=<valeur>] [AD=<valeur>] [AS=<valeur>]
+ [PD=<valeur>] [PS=<valeur>] [NRD=<valeur>] [NRS=<valeur>]
+ [NRG=<valeur>] [NRB=<valeur>] [M=<valeur>]

```

Exemples :

```
M1 14 2 13 0 PNOM L=25u W=12u
M13 15 3 0 0 PSTRONG
M2A 0 2 100 100 NWEAK L=33u W=12u
+ AD=288p AS=288p PD=60u PS=60u NRD=14 NRS=24 NRG=10
```

Forme du modèle :

```
.MODEL <nom du modèle> NMOS [paramètres du modèle]
.MODEL <nom du modèle> PMOS [paramètres du modèle]
```

## 5.2 – Modélisation

Le MOSFET est modélisé par un MOSFET intrinsèque comportant des résistances ohmiques en série avec le drain, la source, la grille et le substrat. Il y a également une résistance shunt RDS en parallèle avec le canal drain–source. Le courant est compté positivement lorsqu’il entre dans le composant (par exemple, le courant positif de drain circule dans le canal du drain vers la source).

L et W sont la longueur et la largeur du canal, elles peuvent être spécifiées au niveau du composant, du modèle ou de l’instruction .OPTIONS. La valeur spécifiée au niveau du composant est prioritaire sur la valeur spécifiée par le modèle, elle-même prioritaire sur la valeur spécifiée par l’instruction .OPTIONS. Si les valeurs par défaut de L et W ne sont pas fixées elles vaudront 100u.

AD et AS sont les surfaces de diffusion de drain et de source. PD et PS sont les périmètres de diffusion de drain et de source. Les capacités des zones de charges d’espace à polarisation nulle sont spécifiées par CBD et CBS.

Les résistances (ohmiques) parasites sont spécifiées par RD, RS, RG et RB.

Consulter le manuel en ligne pour la description des nombreux autres paramètres des différents modèles.

## 5.3 – Schéma équivalent

Pour déterminer le comportement d’un circuit comportant un MOS, *PSpice* commence toujours par calculer le point de polarisation statique du circuit en utilisant le schéma non linéaire représenté figure 18.a et détermine alors les paramètres petits signaux linéaires du schéma équivalent de la figure 18.b. Ce schéma équivalent linéaire n’est utilisé que pour les analyses de type AC (cf. tableau IV page 31). Pour les autres analyses non linéaires (DC et temporelle) c’est le schéma de la figure 18.a qui est utilisé (noter que les capacités n’interviennent que pour les analyses temporelles).

## 5.4 – Exemple

### Caractéristiques de sortie

Le réseau de caractéristiques de sortie représentée sur la figure 4 page 185 peut être obtenu à partir du fichier-circuit de la figure 19. La figure 20 représente un extrait du fichier de sortie dans lequel figurent les paramètres petits signaux du schéma équivalent linéaire du MOS.

```

* Caracteristiques d'un nMOS *
*
.param   vg=0
Vdd  10  0  10
M1   10  1  0  0  mos  L=10u  W=10u
Vgg  1   0  {vg}
.model mos  NMOS(kp=8u  Vto=2)
.op
.dc   Vdd  0  10  10m
.step param  vg=2 8 2
.probe
.end

```

Fig. 19 – Fichier-circuit pour la détermination des caractéristiques de sortie d'un nMOS.

```

**** OPERATING POINT INFORMATION      TEMPERATURE =  27.000 DEG C
**** CURRENT STEP                      PARAM VG =    2
*****
**** MOSFETS
NAME      M1
MODEL     mos
ID        1.00E-11
VGS       2.00E+00
VDS       1.00E+01
VBS       0.00E+00
VTH       2.00E+00
VDSAT     0.00E+00
GM        0.00E+00
GDS       0.00E+00
GMB       0.00E+00
CBD       0.00E+00
CBS       0.00E+00
CGSOV    0.00E+00
CGDOV    0.00E+00
CGBOV    0.00E+00
CGS       0.00E+00
CGD       0.00E+00
CGB       0.00E+00

```

Fig. 20 – Extrait du fichier de sortie.

## 6 – Applications des transistors MOS

### 6.1 – Interrupteur MOS simple

On peut réaliser un interrupteur commandé en utilisant un transistor nMOS à enrichissement comme le montre la figure 21.a. Le fonctionnement de ce dispositif est très simple :

- si  $v_g = 0$ , le transistor bloqué se comporte comme un interrupteur ouvert, la sortie  $v = 0$ ,

- si  $v_g > V_T$ , le transistor conduit et se comporte comme un interrupteur fermé ou plus exactement comme une résistance  $R_{DS}$ , la tension de sortie vaut alors  $v = \frac{R_u \cdot u}{R_{DS} + R_u}$ .

L'inconvénient majeur de ce dispositif vient du fait que la résistance  $R_{DS}$  varie avec la tension d'entrée  $u$  comme le montre la figure 24 ce qui limite le champ des applications.

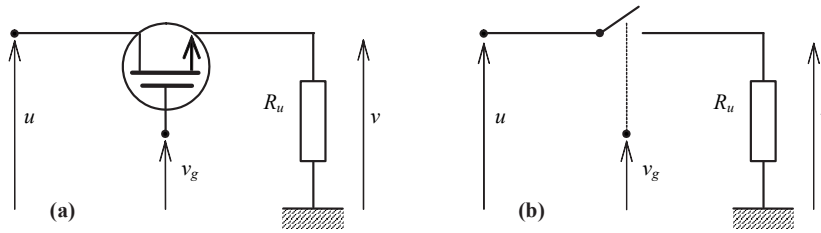


Fig. 21 – Interrupteur MOS simple (a) et son schéma équivalent (b).

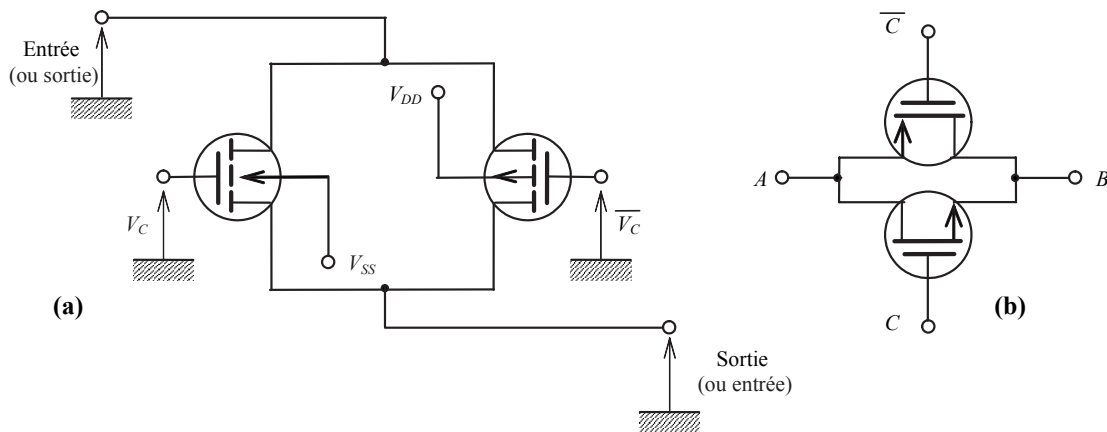


Fig. 22 – Porte de transmission CMOS. Schéma détaillé (a), schéma simplifié (b).

## 6.2 – Interrupteur CMOS (ou porte de transmission)

L'utilisation d'un seul transistor MOS pour réaliser un interrupteur est possible (cf. § 6.1 page 197) mais lorsque la tension à transmettre est voisine de la tension d'alimentation, la résistance de l'interrupteur en position fermée devient trop importante et l'efficacité du système diminue. Pour remédier à cet inconvénient on utilise souvent le dispositif représenté sur la figure 22.a. Cet interrupteur CMOS (*CMOS switch*) appelé également porte de transmission (*transmission gate*) utilise deux transistors complémentaires (nMOS et pMOS) disposés en parallèle comme le montre le schéma simplifié de la figure 22.b. La configuration représentée, alimentée par deux tensions symétriques  $V_{DD}$  et  $V_{SS}$ , permet la transmission (ou l'arrêt) de signaux positifs ou négatifs qui peuvent être appliqués sur l'un ou l'autre des deux accès (porte bidirectionnelle). Les substrats des transistors nMOS et pMOS sont connectés respectivement aux deux tensions d'alimentation  $V_{SS}$  et  $V_{DD}$  et les grilles sont connectées respectivement à la tension de commande  $V_C$  et à son complément :

- si  $V_C = V_{DD}$  alors  $\overline{V_C} = V_{SS}$ , dans ce cas les transistors conduisent tous les deux, l'interrupteur est fermé et le signal d'entrée est transmis à la sortie,
- si  $V_C = V_{SS}$  alors  $\overline{V_C} = V_{DD}$  les transistors sont bloqués tous les deux, l'interrupteur est ouvert et aucun signal n'est transmis.

L'intérêt du dispositif est illustré sur la figure 24 où la résistance drain-source de chaque transistor a été représentée lorsque l'interrupteur est fermé, on voit que pour les valeurs négatives de la tension d'entrée, proches de  $V_{SS}$  la résistance du nMOS est faible mais

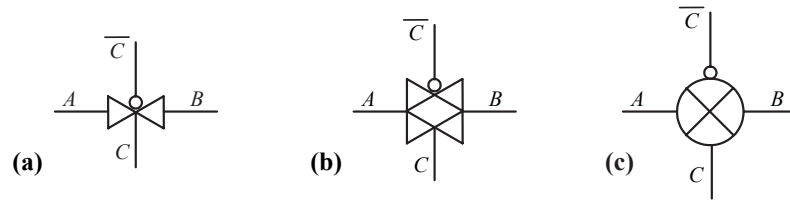


Fig. 23 – Symboles couramment utilisés pour la représentation des portes de transmission.

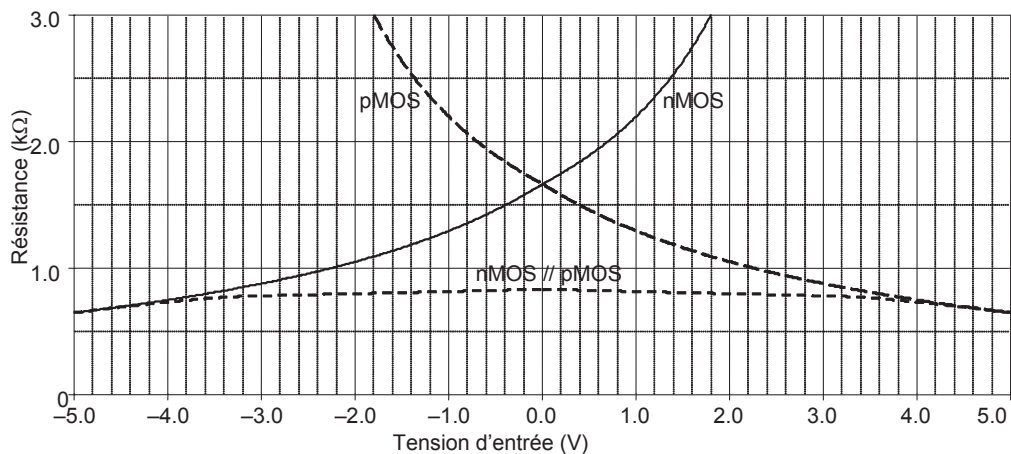


Fig. 24 – Variation des résistances drain–source des deux transistors MOS et résistance résultante de l'interrupteur fermé en fonction du niveau de signal à l'entrée.

celle du pMOS est très élevée, la résistance équivalente est alors pratiquement celle du nMOS. En contrepartie pour les valeurs positives de la tension d'entrée, proches de  $V_{DD}$  la résistance du nMOS est forte mais celle du pMOS est faible, la résistance équivalente est alors pratiquement celle du pMOS. Si les caractéristiques des deux transistors sont identiques, la résistance de la porte est maximale lorsque la tension d'entrée est proche de zéro, elle est alors égale à la moitié de la résistance drain–source de chaque transistor.

La figure 23 montre trois symboles utilisés fréquemment pour représenter les portes de transmission.

### 6.3 – Échantillonneur-bloqueur

Ce dispositif souvent utilisé dans les convertisseurs analogique–numérique permet de conserver la valeur d'un échantillon du signal à numériser pendant le temps nécessaire à la conversion. La réalisation représentée figure 25 utilise une porte de transmission CMOS.

Lorsque l'interrupteur est ouvert ( $V_C = V_{SS}$ ), si  $C$  n'est pas chargée,  $v = 0$ . Au moment où l'on ferme l'interrupteur ( $V_C = V_{DD}$ )  $C$  se charge très rapidement à travers la faible résistance que présente la porte jusqu'à  $v = u$  (échantillonnage). Si l'interrupteur s'ouvre à nouveau ( $V_C = V_{SS}$ ) et si  $R_u$  est suffisamment grande, le condensateur se décharge très lentement, on peut alors admettre que  $v$  conserve la tension  $u$  (blocage). Les signaux correspondant sont représentés figure 26.

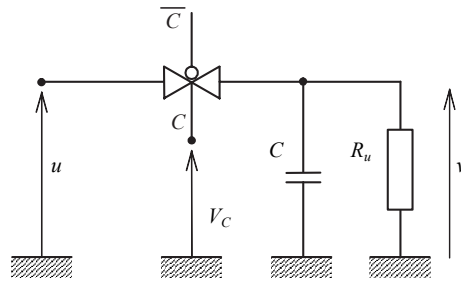


Fig. 25 – Échantillonneur-bloqueur.

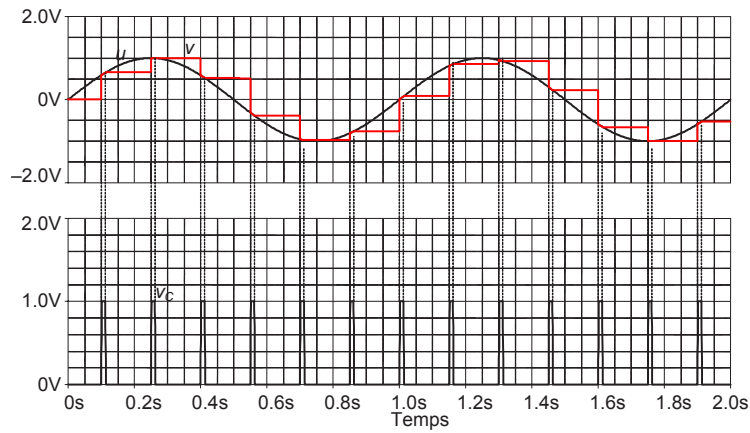


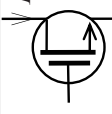
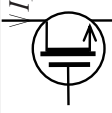
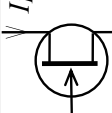

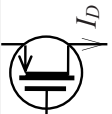
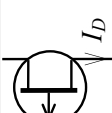
Fig. 26 – Principe de l'échantillonnage-bloquage.

## 7 – Résumé

Le tableau I page 201 résume les symboles des différents types de transistors MOS, les principaux paramètres caractéristiques et les lois de comportement en fonction des conditions de polarisation.



Tableau I – Tableau récapitulatif des principales caractéristiques des transistors à effet de champ.

Symbole	Canal n			Canal p		
	MOS à enrichissement	MOS à appauvrissement	FET à jonction	MOS à enrichissement	MOS à appauvrissement	FET à jonction
						
$V_T$	+	-	-	-	+	
$K$	$\frac{1}{2} \mu_n C_0 (W/L)$	$I_{DSS} / V_T^2$	$I_{DSS} / V_T^2$	$\frac{1}{2} \mu_p C_0 (W/L)$	$I_{DSS} / V_T^2$	
Conduction si :	$V_{GS} > V_T$			$V_{GS} < V_T$		
$V_{DS}$	+			-		
Ohmique si :	$V_{DS} < V_{GS} - V_T$			$V_{DS} > V_{GS} - V_T$		
Saturation si :	$V_{DS} > V_{GS} - V_T$			$V_{DS} < V_{GS} - V_T$		
Régime ohmique :	$I_D = K [2(V_{GS} - V_T) \cdot V_{DS} - V_{DS}^2]$					
Régime saturation :	$I_D = K (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$					



# Chapitre 10

## Circuits logiques

### 1 – Notions de base de l'électronique numérique

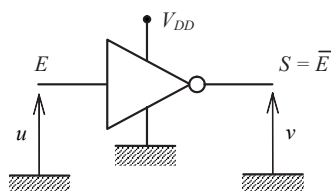


Fig. 1 – Symbole d'un inverseur.

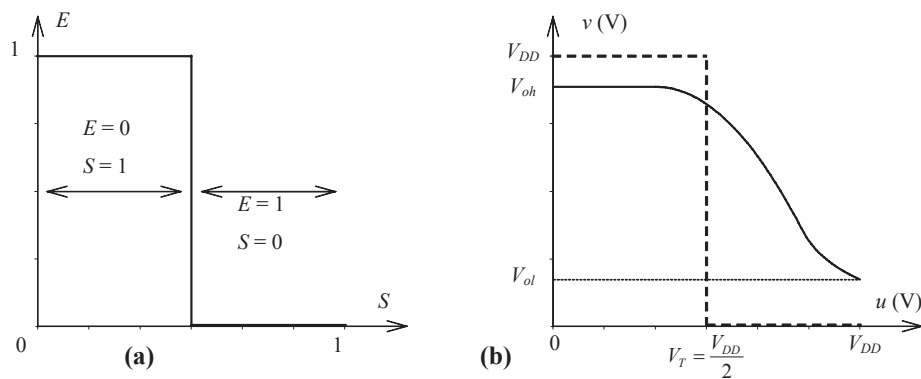


Fig. 2 – Fonction de transfert logique idéale (a) et analogique réelle (b) d'un inverseur.

La fonction logique la plus simple que puisse réaliser un circuit électronique est l'« inversion ». La figure 1 représente un symbole couramment utilisé pour représenter un inverseur. Sur ce schéma figurent à la fois des grandeurs électriques (alimentation  $V_{DD}$ , tension d'entrée  $u$  et de sortie  $v$ ) et des états logiques (entrée  $E$  et sortie  $S$ ). La fonction logique réalisée par un inverseur est la négation : si  $E = 1$  (ou « vrai »)  $\Rightarrow S = 0$  (ou « faux ») et inversement, on note :  $S = \bar{E}$ . À ces états logiques sont associées des grandeurs électriques, par exemple dans le cas de la logique positive  $E = 1$  correspond à  $u = V_{DD}$  et  $E = 0$  cor-

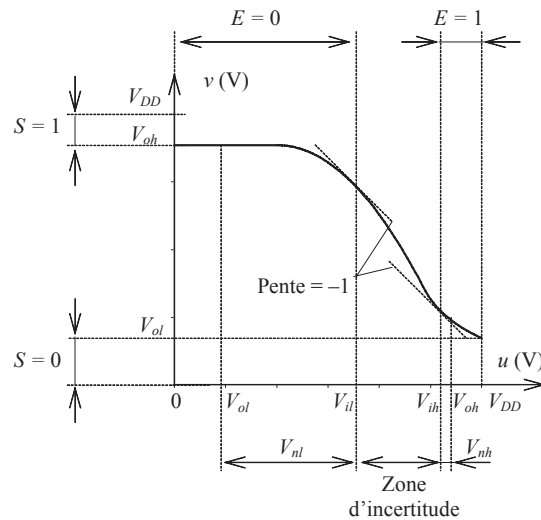


Fig. 3 – Paramètres principaux d'un inverseur logique.

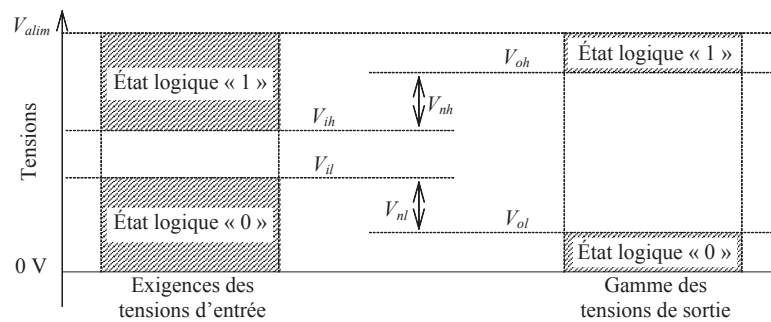


Fig. 4 – Zones de fonctionnement d'un circuit logique.

respond à  $u = 0$  V, mais d'autres associations sont possibles (logique négative par exemple où la valeur « vrai » correspond à la grandeur électrique 0 V). Il est bien connu qu'une variable logique ne peut prendre que deux états 0 ou 1 sans valeur intermédiaire alors qu'une variable électrique qui est par essence une quantité analogique ne peut pas passer instantanément de la valeur 0 V à la valeur  $V_{DD}$ . Il en résulte que la caractéristique de transfert idéale d'un inverseur ne sera qu'imparfaitement réalisée par les composants électroniques et dans de nombreux cas, il faudra tenir compte de ces imperfections « analogiques » pour la conception des circuits numériques. La figure 2 représente la fonction de transfert d'un inverseur. Idéalement quand l'entrée passe de 0 à 1, la sortie passe de 1 à 0 à mi-chemin de la plage de tension pour une valeur particulière appelée transition  $V_T = \frac{V_{DD}}{2}$ . La caractéristique réelle représentée montre que la transition n'est pas instantanée et que les tensions électriques de sortie correspondant aux états logiques 0 et 1 ne sont pas nécessairement 0 V et  $V_{DD}$  mais  $V_{ol}$  (*output low*) et  $V_{oh}$  (*output high*) respectivement.

Pour tenir compte des propriétés électroniques spécifiques et de la dispersion des caractéristiques des composants utilisés pour réaliser la fonction logique d'inversion, il est nécessaire de préciser la gamme des tensions d'entrée dans laquelle l'état logique d'entrée

peut être considéré sans ambiguïté comme valant 0 ou 1. De même il faut préciser la gamme des tensions de sortie pour laquelle l'état logique de sortie peut être considéré sans ambiguïté comme valant 0 ou 1. Les figures 3 et 4 résument les principales spécifications.

À l'entrée :

- pour que l'entrée  $u$  soit considérée comme  $E = 0$  il faut que  $u \leq V_{il}$  (*input low*),
- pour que l'entrée  $u$  soit considérée comme  $E = 1$  il faut que  $u \geq V_{ih}$  (*input high*).

À la sortie :

- l'état logique  $S = 0$  est caractérisé par une tension  $v \leq V_{ol}$  (*output low*),
- l'état logique  $S = 1$  est caractérisé par une tension  $v \geq V_{oh}$  (*output high*).

On appelle :

- *marge de bruit à l'état bas* la différence :  $V_{nl} = V_{il} - V_{ol}$  (*noise low*),
- *marge de bruit à l'état haut* la différence :  $V_{nh} = V_{oh} - V_{ih}$  (*noise high*).

## 2 – Inverseur MOS

### 2.1 – Principe

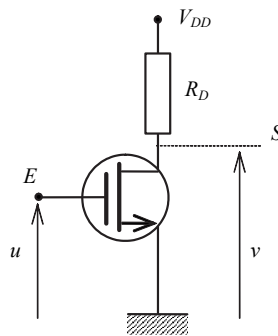


Fig. 5 – Inverseur MOS.

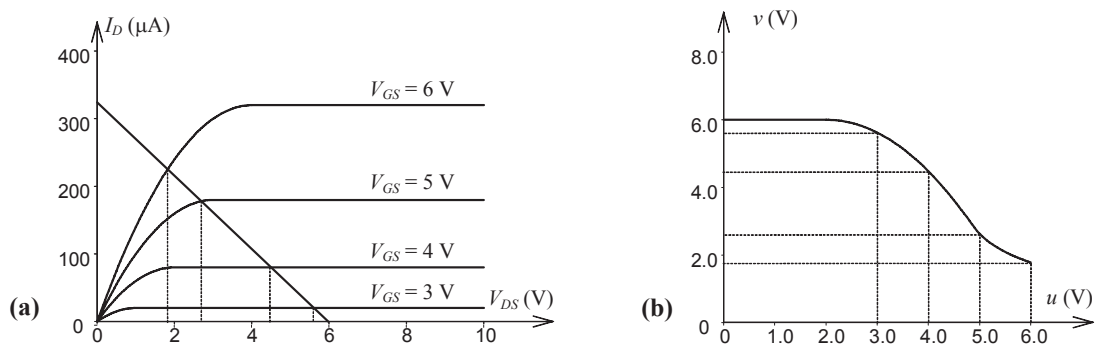


Fig. 6 – Plan de sortie et droite de charge d'un inverseur MOS (a) et caractéristique de transfert de l'inverseur (b).

Un exemple très simple de réalisation de l'opération logique  $S = \bar{E}$  à l'aide d'un transistor MOS est illustré par la figure 5 :

- si  $u = 0$  (état logique  $E = 0$ ), le transistor bloqué se comporte comme un interrupteur ouvert, le courant de drain est nul et la tension de sortie  $v = V_{DD}$  (état logique  $S = 1$ ),
- si  $u > V_T$  (état logique  $E = 1$ ), le transistor conduit et se comporte comme une faible résistance  $r_{ds}$ , on a alors  $v = \frac{r_{ds}V_{DD}}{r_{ds} + R_D} \underset{r_{ds} \ll R_D}{\approx} 0$  (état logique  $S = 0$ ).

On appelle *caractéristique de transfert* de l'inverseur la courbe  $v(u)$  donnant la tension de sortie  $v = V_{DS}$  en fonction de la tension d'entrée  $u = V_{GS}$ . Pour l'obtenir, il suffit de tracer la droite de charge définie par la maille de sortie :  $I_D = \frac{V_{DD} - V_{DS}}{R_D}$  dans le plan des caractéristiques de sortie du transistor et de relever, pour chaque valeur de  $V_{GS}$ , l'abscisse du point d'intersection de la droite de charge avec la caractéristique correspondante (Fig. 6.a). On peut alors tracer la caractéristique de transfert  $v(u)$  (Fig. 6.b).

## 2.2 – Charge active

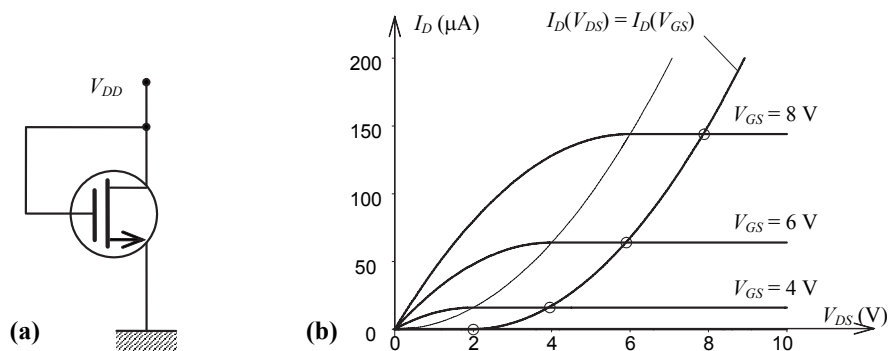


Fig. 7 – Charge active : montage (a) et polarisation (b).

L'inverseur simple décrit au paragraphe précédent nécessite une grande résistance  $R_D$ . Dans les circuits intégrés, une résistance est un composant volumineux, c'est pourquoi on lui préfère souvent un composant actif monté en résistance qui porte alors le nom de « charge active ».

L'exemple représenté Fig. 7.a utilise un nMOS à enrichissement dont la grille est reliée au drain, dans ce cas :  $V_{DS} = V_{GS} = V_{DD}$ . Quand  $V_{DS} = V_{DD}$  augmente, le courant est fixé par le point d'intersection de la caractéristique de sortie  $I_D(V_{DS})$  avec la caractéristique de transconductance correspondante tracée sur le même diagramme puisque  $V_{DS} = V_{GS}$  (Fig. 7.b).

Noter que le transistor fonctionne en régime de saturation puisque :  $V_{DS} = V_{GS} \Rightarrow V_{DS} > V_{GS} - V_T$ , il se comporte alors comme une résistance non linéaire.

## 2.3 – Inverseur à charge active

La figure 8 représente un inverseur MOS à charge active. Pour fixer les idées on supposera que  $V_{DD} = 6$  V et que les deux transistors sont identiques :  $V_T = 2$  V et  $K = 20 \mu\text{A}/\text{V}^2$ . Leurs caractéristiques d'entrée et de sortie communes sont représentées sur la figure 9.a.

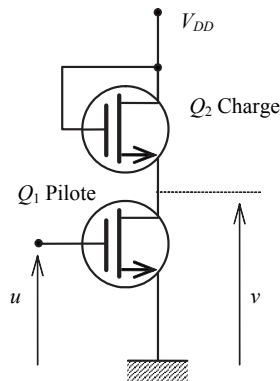


Fig. 8 – Inverseur MOS à charge active.

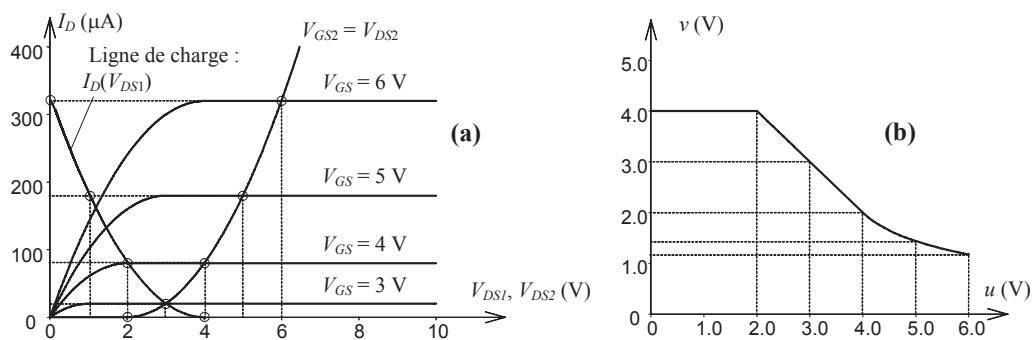


Fig. 9 – Ligne de charge d'un inverseur MOS à charge active.

La caractéristique de transfert  $v(u)$  de l'inverseur peut être construite en traçant la caractéristique de charge dans le plan de sortie du pilote :

$$V_{DD} = V_{DS2} + V_{DS1} = V_{DS2} + v \quad \Rightarrow \quad v = V_{DD} - V_{DS2} \quad \text{et} \quad u = V_{GS1}.$$

On voit que la valeur  $I_D = 320 \mu\text{A}$  correspond à  $V_{DS2} = V_{GS2} = 6 \text{ V}$  d'où :

$$V_{DS1} = V_{DD} - V_{DS2} = 0.$$

Le tableau I.a, établi de façon analogue, permet de tracer la « ligne de charge »  $I_D(V_{DS1})$  dans le plan des caractéristiques des transistors (Fig. 9.a).

Le point de polarisation est situé à l'intersection entre la caractéristique de sortie du pilote ( $Q_1$ ) et la ligne de charge, on peut alors en déduire la caractéristique de transfert de l'inverseur (tableau I.b et Fig. 9.b).

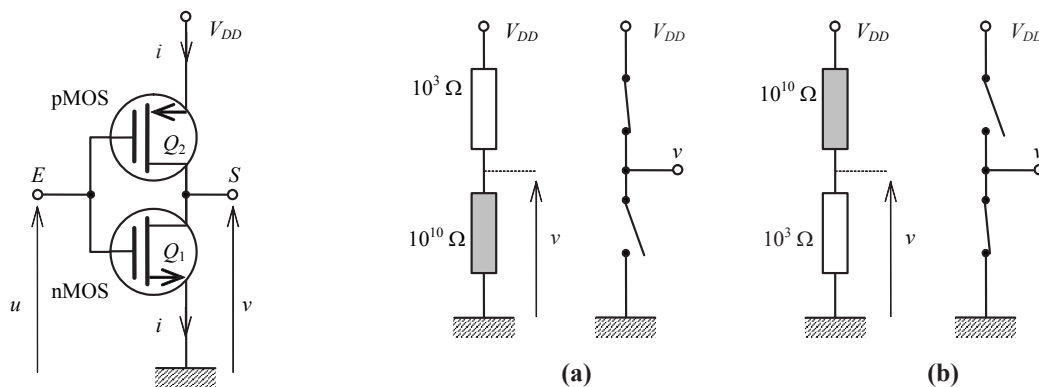
### 3 – Inverseur CMOS

#### 3.1 – Principe

Comme le représente la figure 10, un inverseur CMOS est composé de deux transistors à enrichissement : un nMOS ( $Q_1$ ) et un pMOS ( $Q_2$ ) dont les grilles et les drains sont

**Tableau I** – Construction de la ligne de charge (a) et caractéristique de transfert de l'inverseur à charge active (b).

(a)			(b)	
$I_D$ ( $\mu\text{A}$ )	$V_{GS2} = V_{DS2}$ (V)	$V_{DS1} = V_{DD} - V_{DS2}$ (V)	$V_{GS1} = u$ (V)	$V_{DS1} = v$ (V)
320	6	0	$\leq 2$	4
180	5	1	3	3
80	4	2	4	2
20	3	3	5	1,4
0	2	4	6	1,2



**Fig. 10** – Schéma de principe et schéma équivalent d'un inverseur CMOS pour  $u = 0$  (a) et pour  $u = V_{DD}$  (b).

reliés. Rappelons qu'un transistor nMOS ne conduit que si sa tension  $V_{GS}$  est telle que :  $0 < V_T < V_{GS}$ , tandis qu'un pMOS ne conduit que si :  $V_{GS} < V_T < 0$ .

Pour expliquer le comportement de l'inverseur, supposons que les deux transistors ont la même tension  $V_T$  en valeur absolue, que  $V_T < \frac{V_{DD}}{2}$ , et que les niveaux logiques 0 et 1 soient respectivement 0 V et  $V_{DD}$ .

Les tensions grille-source des deux transistors sont respectivement  $V_{GS1} = u$  pour  $Q_1$  et  $V_{GS2} = u - V_{DD}$  pour  $Q_2$ .

Lorsque l'entrée du circuit est au niveau logique :

$$E = 0 \Rightarrow u = 0 \Rightarrow V_{GS1} = 0 \text{ et } V_{GS2} = -V_{DD}.$$

Il en résulte que  $Q_1$  est bloqué et se comporte comme une très grande résistance (pratiquement un interrupteur ouvert) alors que  $Q_2$  conduit et se comporte comme une résistance de quelques  $\text{k}\Omega$  (pratiquement un interrupteur fermé), la tension de sortie vaut donc  $v \approx V_{DD}$  ce qui correspond au niveau logique  $S = 1$  (Fig. 10.a).

Lorsque l'entrée du circuit est au niveau logique :

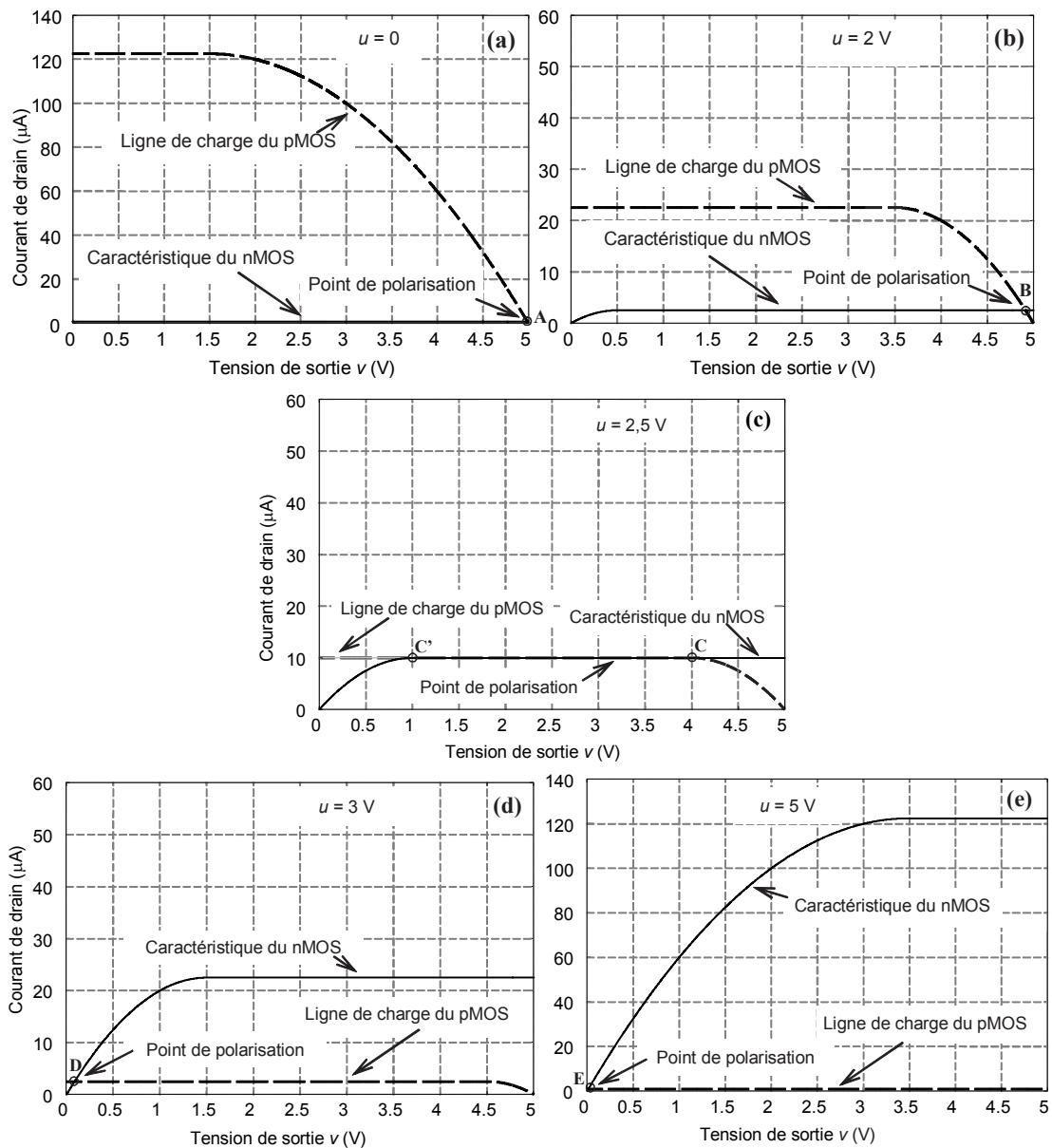
$$E = 1 \Rightarrow u = V_{DD} \Rightarrow V_{GS1} = V_{DD} \text{ et } V_{GS2} = 0,$$

$Q_1$  conduit et se comporte comme une résistance de quelques  $\text{k}\Omega$  (pratiquement un interrupteur fermé) alors que  $Q_2$  est bloqué et se comporte comme une très grande résistance (pratiquement un interrupteur ouvert), la tension de sortie vaut donc  $v \approx 0$  ce qui corres-



pond au niveau logique  $S = 0$  (Fig. 10.b). Noter qu'en régime établi, quels que soient les états d'entrée et de sortie, il ne circule aucun courant dans le circuit, ce qui explique la très faible consommation des composants CMOS.

### 3.2 – Caractéristique de transfert



**Fig. 11** – Caractéristiques de sortie et lignes de charge des transistors nMOS et pMOS au cours du fonctionnement d'un inverseur CMOS pour :  
 $u = 0$  (a),  $u = 2$  V (b),  $u = 2,5$  V (c),  $u = 3$  V (d) et  $u = 5$  V (e).

On appelle caractéristique de transfert d'un inverseur la représentation de la tension de sortie  $v$  en fonction de la tension d'entrée  $u$ .

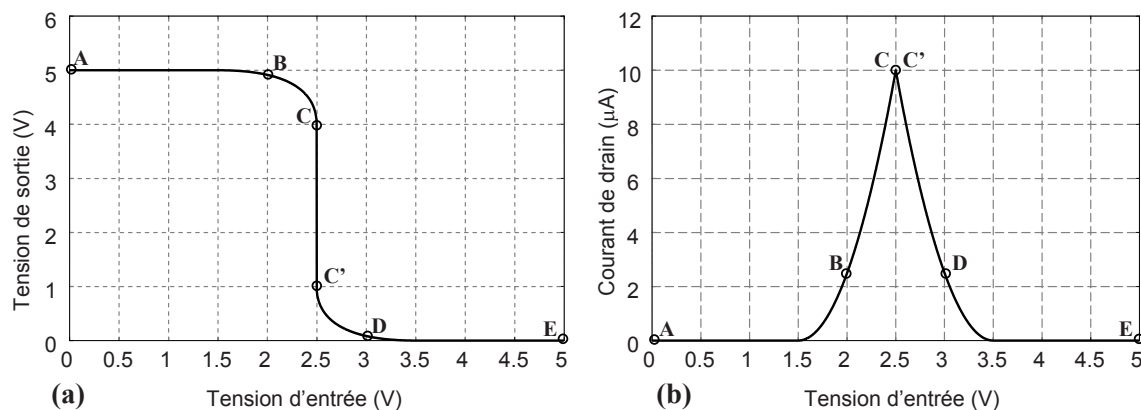
– Dans tous les cas (Fig. 10) :  $V_{GS1} = u \geq 0$  et  $V_{GS2} = u - V_{DD} \leq 0$ ,

- pour  $0 < u < V_T \Rightarrow V_{GS1} < V_T$  et  $V_{GS2} < V_T - V_{DD} < -V_T$   
 $\Rightarrow Q_2$  est saturé et  $Q_1$  est bloqué  $\Rightarrow v \approx V_{DD}$  et  $i = 0$ ,
- pour  $V_T < u < V_{DD} - V_T \Rightarrow V_{GS1} > V_T$  et  $V_{GS2} < -V_T$   
 $\Rightarrow Q_2$  et  $Q_1$  conduisent  $\Rightarrow 0 < v < V_{DD}$  et  $i > 0$ ,
- pour  $u > V_{DD} - V_T \Rightarrow V_{GS1} > V_T$  et  $V_{GS2} > -V_T$   
 $\Rightarrow Q_1$  est saturé et  $Q_2$  est bloqué  $\Rightarrow v \approx 0$  et  $i = 0$ .

La caractéristique de transfert  $v(u)$  de l'inverseur CMOS s'obtient à partir des caractéristiques de sortie  $I_D(V_{DS})$  des deux transistors en remarquant qu'ils sont traversés par le même courant  $I_D = i$ . Le nMOS  $Q_1$  étant considéré comme le transistor pilote, on trace dans son plan de sortie la ligne de charge imposée par la caractéristique du pMOS  $Q_2$  (cf. § 2.3 page 185). Ainsi, pour chaque valeur de  $u$  on a  $V_{GS1} = u$  et on peut tracer la caractéristique  $I_D(V_{DS1})$  correspondant à cette valeur de  $V_{GS1}$ . Pour la même valeur de  $u$  on a  $V_{GS2} = u - V_{DD}$  ce qui permet de connaître la caractéristique de sortie  $I_D(V_{DS2})$ . La figure 10 montre que  $V_{DS2} = V_{DS1} - V_{DD}$  ce qui permet de tracer la ligne de charge  $I_D(V_{DS1})$  du pMOS dans le plan de sortie du nMOS. La figure 11 montre, pour différentes valeurs de la tension  $u$ , la caractéristique du nMOS et la ligne de charge correspondante du pMOS. Le point d'intersection de ces deux courbes donne la tension de sortie de l'inverseur  $v = V_{DS1}$  et le courant  $i = I_D$  dans les transistors.

La caractéristique de transfert de l'inverseur peut alors être obtenue en traçant la courbe  $v(u)$  comme le montre la figure 12.a où l'on peut remarquer que la transition entre les deux états logiques a lieu pour une tension  $V_{tr} = \frac{V_{DD}}{2}$ . Les courbes de la figure 11, sont obtenues dans le cas où  $V_{DD} = 5$  V, avec des transistors complémentaires tels que  $|V_T| = 1,5$  V et  $K = 10 \mu\text{A}/\text{V}^2$ . Dans la pratique, les caractéristiques des deux transistors ne sont jamais rigoureusement complémentaires et la caractéristique de transfert peut être plus ou moins déformée.

### 3.3 – Courant de transition



**Fig. 12** – Inverseur CMOS : caractéristique de transfert (a) et courant de transition (b) pour les repères A, B, C, C', D et E (cf. figure 11.)

Les courbes de la figure 11 montrent que pendant la phase de transition il apparaît un courant dans les transistors, ces graphes permettent de construire la courbe  $i(u)$  comme le

représente la figure 12.b. Si les caractéristiques des deux transistors sont rigoureusement complémentaires, ce courant est maximal lorsque la tension d'entrée est  $u = V_{tr} = \frac{V_{DD}}{2}$ . La valeur maximale du courant est donnée par la caractéristique d'entrée de l'un ou de l'autre des transistors lorsqu'ils fonctionnent en régime de saturation. Pour le nMOS par exemple :  $I_D = K (V_{GS1} - V_T)^2$ , lorsque  $V_{GS1} = \frac{V_{DD}}{2}$  on a  $I_D = K \left( \frac{V_{DD}}{2} - V_T \right)^2 = 10 \mu\text{A}$  avec les valeurs numériques évoquées précédemment.

La technologie CMOS est utilisée intensivement dans les circuits numériques à cause de la très faible consommation de ces dispositifs.

### 3.4 – Diodes de protection

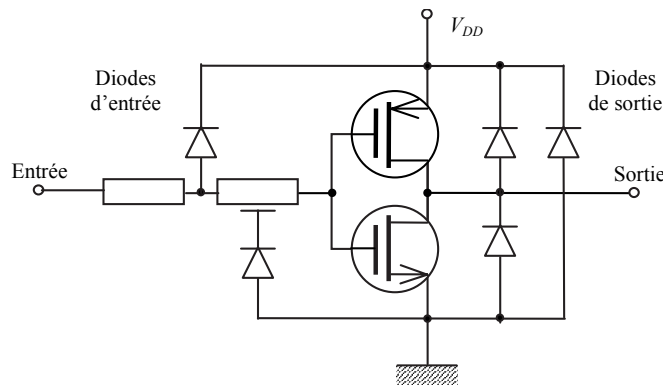


Fig. 13 – Diodes de protection d'un circuit CMOS.

Ces diodes représentées sur la figure 13, incluses dans le circuit par le fabricant, évitent que la tension de grille excède la tension de claquage des transistors (en particulier lors des manipulations). Il s'ensuit que les tensions d'entrées doivent être comprises entre 0 et  $V_{DD}$ . Des diodes de protection peuvent être également placées en sortie (voir remarque § 4.3 page 194).

## 4 – Portes élémentaires

### 4.1 – Porte NON-OU (*NOR*)

La porte NON-OU dont une réalisation matérielle est représentée sur la figure 14.a est la porte de base en technologie CMOS. Le schéma et le tableau de la figure 15 résument les différents états logiques de la porte ainsi que l'état correspondant des transistors.

### 4.2 – Porte NON-ET (*NAND*)

La porte NON-ET également en technologie CMOS est représentée sur la figure 14.b. Le schéma et le tableau de la figure 16 résument les différents états logiques de la porte ainsi que l'état correspondant des transistors.

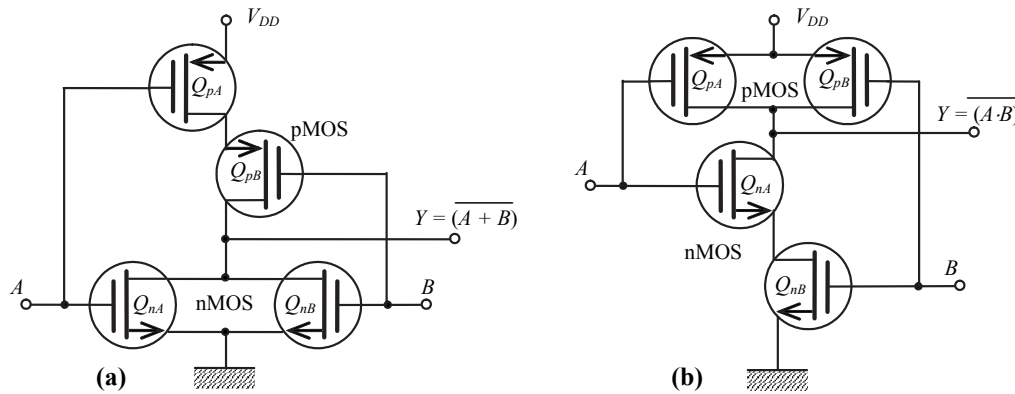
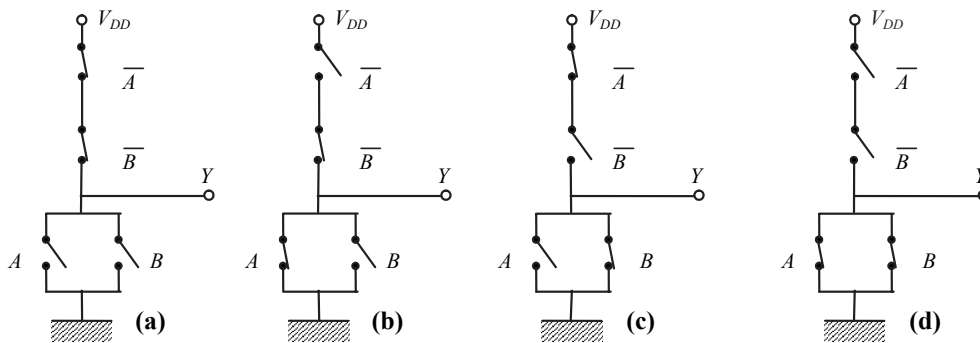


Fig. 14 – Constitution d'une porte NON-OU (a) et NON-ET (b).



États logiques		Tension d'entrée		État des transistors				Tension de sortie	État logique
A	B	$V_A$	$V_B$	$Q_{nA}$	$Q_{pA}$	$Q_{nB}$	$Q_{pB}$	$V_Y$	Y
0	0	$< V_T$	$< V_T$	bloqué	saturé	bloqué	saturé	$V_{DD}$	1
1	0	$> V_{DD} - V_T$	$< V_T$	saturé	bloqué	bloqué	saturé	0	0
0	1	$< V_T$	$> V_{DD} - V_T$	bloqué	saturé	saturé	bloqué	0	0
1	1	$> V_{DD} - V_T$	$> V_{DD} - V_T$	saturé	bloqué	saturé	bloqué	0	0

Fig. 15 – Principe et table de fonctionnement d'une porte NON-OU.

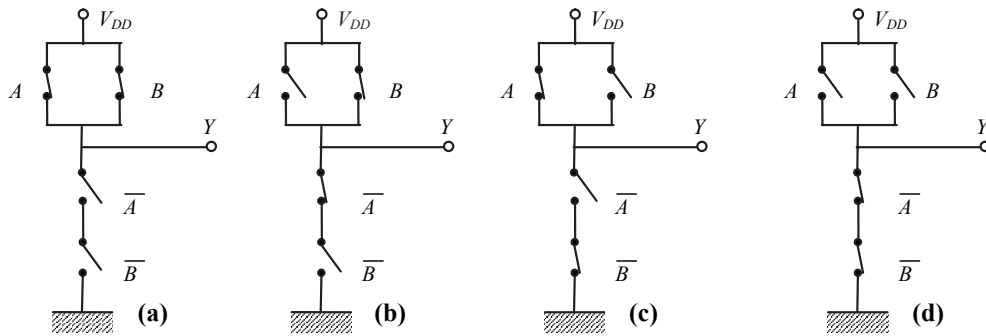
## 5 – Spécifications des circuits logiques

### 5.1 – Temps de montée, de descente et de propagation

On appelle temps de montée ( $t_r = \text{rise time}$ ) le temps nécessaire pour qu'un signal passe de à 90% de son excursion totale et temps de descente ( $t_f = \text{fall time}$ ) le temps nécessaire pour que le signal passe de 90% à 10% de son excursion totale.

Le temps de propagation ( $t_{plh} = \text{propagation low-high}$ ) est la durée qui s'écoule entre le moment où le signal d'entrée atteint 50% de son excursion totale et celui où le signal de sortie passe de la valeur minimale à 50% de son excursion totale.

De même, le temps de propagation ( $t_{phl} = \text{propagation high-low}$ ) est la durée qui s'écoule entre le moment où le signal d'entrée atteint 50% de son excursion totale et celui où le signal de sortie passe de la valeur maximale à 50% de son excursion totale (Fig. 17).



États logiques		Tension d'entrée		État des transistors				Tension de sortie	État logique
A	B	$V_A$	$V_B$	$Q_{nA}$	$Q_{pA}$	$Q_{nB}$	$Q_{pB}$	$V_Y$	Y
0	0	$< V_T$	$< V_T$	bloqué	saturé	bloqué	saturé	$V_{DD}$	1
1	0	$> V_{DD} - V_T$	$< V_T$	saturé	bloqué	bloqué	saturé	$V_{DD}$	1
0	1	$< V_T$	$> V_{DD} - V_T$	bloqué	saturé	saturé	bloqué	$V_{DD}$	1
1	1	$> V_{DD} - V_T$	$> V_{DD} - V_T$	saturé	bloqué	saturé	bloqué	0	0

Fig. 16 – Principe et table de fonctionnement d'une porte NON-ET.

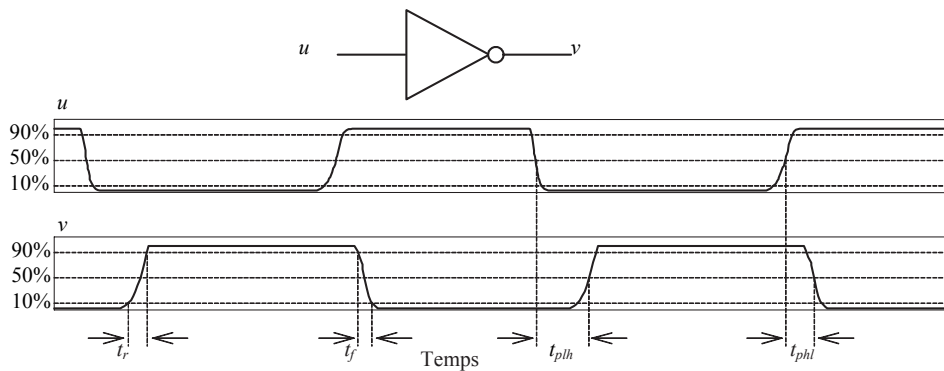


Fig. 17 – Temps de montée, de descente et de propagation.

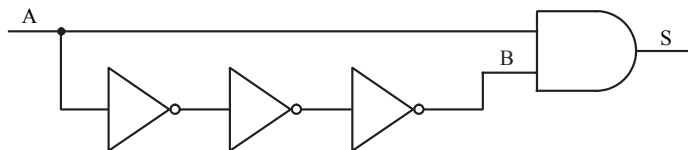


Fig. 18 – Porte ET dont une entrée est retardée.

De manière plus simple, le temps de propagation ( $t_p$ ) d'une porte est souvent défini comme la demi-somme des deux temps précédents :  $t_p = \frac{t_{plh} + t_{phl}}{2}$ .

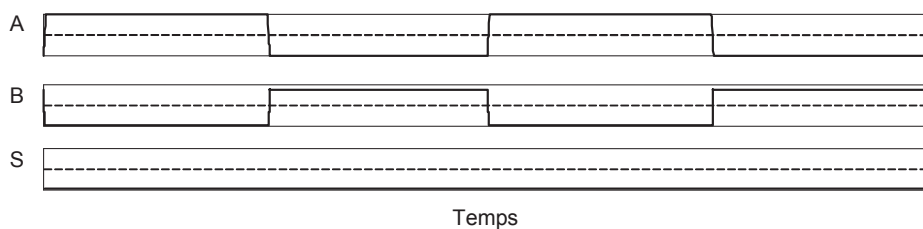


Fig. 19 – Chronogramme idéal.

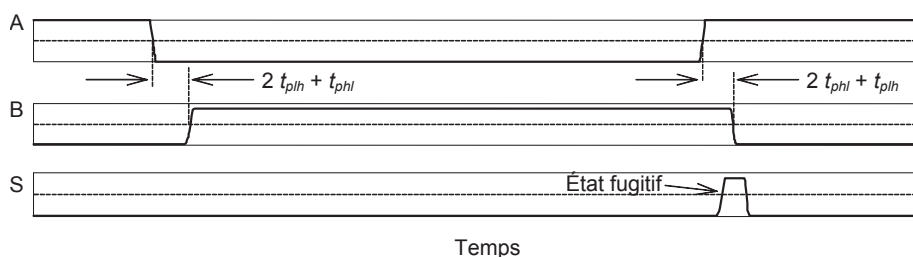


Fig. 20 – Chronogramme réel.

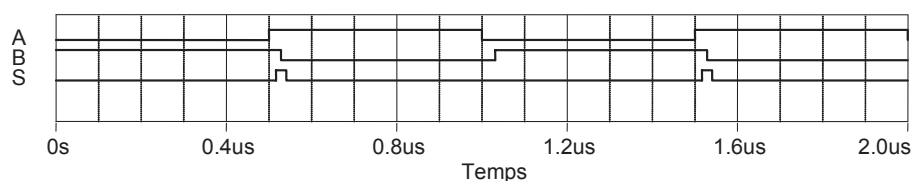


Fig. 21 – Chronogramme simulé avec PSpice.

## 5.2 – Chronogramme idéal et chronogramme réel

Un chronogramme idéal est la représentation d'un signal logique par les états 0 ou 1 et non par les niveaux réels. Une représentation idéale néglige les temps de montée, de descente et de propagation ce qui peut parfois poser des problèmes. La figure 18 montre une porte ET sur laquelle une des entrées est retardée par trois inverseurs. La figure 19 donne le chronogramme idéal tandis que la figure 20 montre que les signaux réels révèlent l'existence d'un état fugitif parasite. L'utilisation d'un simulateur tel que *PSpice* permet de mettre ces états fugitifs en évidence. La figure 21 représente les signaux d'entrée et de sortie simulés du circuit de la figure 18.

## 6 – Familles logiques

Les circuits logiques existent en plusieurs technologies (bipolaire, CMOS...). Généralement les niveaux ne sont pas compatibles sauf pour la logique CMOS HCT qui est conçue pour être compatible avec la logique TTL. Le tableau II donne les principales caractéristiques des familles logiques les plus utilisées actuellement.

**Tableau II** – *Caractéristiques des familles logiques.*

Famille	4000B	74 HC	74 HCT	74 LS	74 LS	74 ALS
Type	CMOS	CMOS	CMOS	TTL	TTL	TTL
$V_{DD}$ (V)	3 à 15	2 à 6	5	5	5	5
$V_{ih}$ (V)	$0,7V_{DD}$	$3,6^*$	2	2	2	2
$V_{il}$ (V)	$0,3V_{DD}$	$1,4^*$	0,8	0,8	0,8	0,8
$V_{ol}$ (V)	0,3	$0,3^*$	0,33	0,5	0,5	0,5
$V_{oh}$ (V)	$V_{DD} - 0,3$	$4,7^*$	4,7	2,7	2,5	2,5
$t_p$ (ns)**	50*	8*	12	9,5	1,7	4,8
Marge de bruit (V)	$0,3V_{DD}$	$0,3V_{DD}$	0,4	0,4	0,4	0,4

\* Pour une tension d'alimentation de 5 V.

\*\*  $t_p = (t_{plh} + t_{phl})/2$ .





# Chapitre 11

## Logique combinatoire et logique séquentielle

### 1 – Rappels : algèbre de Boole et règles de de Morgan

Tableau I – Algèbre de Boole.

Involution :	$\overline{\overline{X}} = X$	
Commutativité :	$X \cdot Y = Y \cdot X$ $X \oplus Y = Y \oplus X$	$X + Y = Y + X$
Associativité :	$X \cdot (Y \cdot Z) = (X \cdot Y) \cdot Z$	$X + (Y + Z) = (X + Y) + Z$
Distributivité :	$X \cdot (Y + Z) = (X \cdot Y) + (X \cdot Z)$	$X + (Y \cdot Z) = (X + Y) \cdot (X + Z)$
Idempotence :	$X + X = X$	$X \cdot X = X$
Complémentarité :	$X + \overline{X} = 1$	$X \cdot \overline{X} = 0$
Éléments neutres :	$0 + X = X$	$1 \cdot X = X$
Absorption :	$1 + X = 1$	$0 \cdot X = 0$
Lois de de Morgan :	$\overline{X \cdot Y} = \overline{X} + \overline{Y}$	$\overline{X + Y} = \overline{X} \cdot \overline{Y}$
Identités :	$X + X \cdot Y = X$ $X + \overline{X} \cdot Y = X + Y$ $X \cdot (X + Y) = X$	$X \cdot Y + \overline{X} \cdot Y = Y$ $(X + Y) \cdot (\overline{X} + Y) = Y$ $X \cdot (\overline{X} + Y) = X \cdot Y$


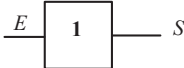
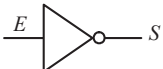
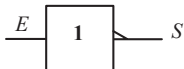


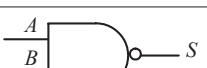
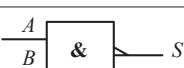

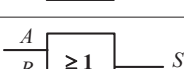

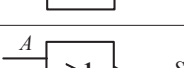

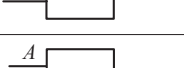

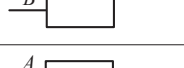
### 2 – Circuits combinatoires

Les sorties ne dépendent que des entrées à un instant donné. Les relations *sortie* =  $f(\text{entrées})$  sont décrites par des relations booléennes (hors transitions bien sûr). On ne considérera ici que le cas de la logique positive (« 0 » = 0 V et « 1 » = +V).

#### 2.1 – Portes élémentaires

Le tableau II représente les fonctions logiques élémentaires et les symboles utilisés pour leur représentation. On rencontre quelquefois les symboles recommandés par les normes nationales (AFNOR) ou internationales (ANSI) mais le plus souvent, les symboles utilisés

**Tableau II** – Symboles des portes logiques élémentaires.

Fonction	Équation logique	Symbole usuel	Symbole normalisé
Buffer	$S = E$		
Inverseur	$S = \overline{E}$		
ET	$S = A \cdot B$		
NON-ET	$S = \overline{A \cdot B}$		
OU	$S = A + B$		
NON-OU	$S = \overline{A + B}$		
OU exclusif	$S = A \oplus B$		
NI exclusif	$S = \overline{A \oplus B}$		

sont ceux des fabricants de circuits intégrés que l'on trouve dans les fiches techniques ou les notes d'application des fabricants et également dans les logiciels de saisie de schéma et de simulation numérique.

La figure 1 représente le schéma des portes OU exclusif (Fig. 1.a) et NI exclusif (Fig. 1.b) réalisés à partir de portes élémentaires :

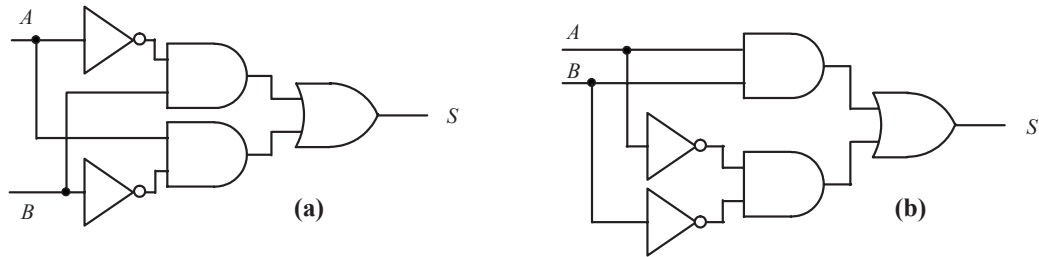
$$\text{OU exclusif : } S = A \oplus B = \overline{A} \cdot B + A \cdot \overline{B},$$

$$\text{NI exclusif : } S = \overline{A \oplus B} = A \cdot B + \overline{A} \cdot \overline{B}.$$

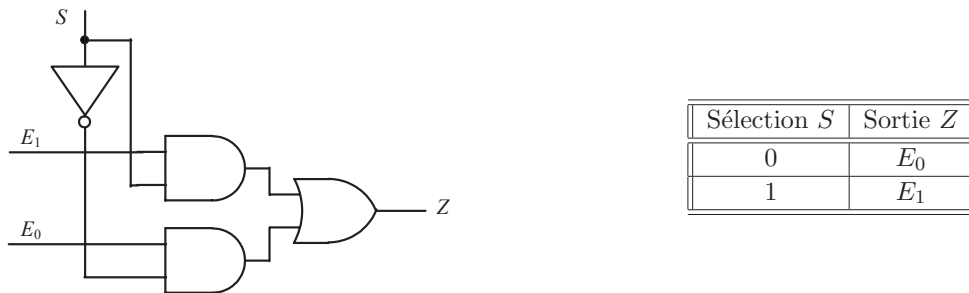
## 2.2 – Exemples de circuits combinatoires

### – Multiplexeur 2 vers 1

Ce type de circuit est destiné à transmettre un signal parmi  $N$  sur une seule ligne. La figure 2 représente un multiplexeur « 2 vers 1 ». La sortie  $Z$  est égale à l'entrée donnée  $E_0$  ou  $E_1$  selon la valeur de l'entrée de sélection  $S$  comme le montre le tableau de la figure 2. La sortie  $Z$  obéit à la relation logique :  $Z = E_1 \cdot S + E_0 \cdot \overline{S}$ .



**Fig. 1** – Équivalence des circuits exclusifs : OU exclusif (a) et NI exclusif (b).



**Fig. 2** – Circuit et table de vérité d'un multiplexeur 2 vers 1.

### – Multiplexeur 8 vers 1

La figure 3 montre le symbole d'un multiplexeur 8 vers 1. La sélection d'une des 8 entrées  $E_0 \dots E_7$  s'effectue par les 3 lignes de sélection  $S_0, S_1, S_2$  comme le montre le tableau de la figure 3 où le symbole « X » indique que la variable considérée n'a pas d'influence sur la sortie. L'entrée d'invalidation  $\bar{V}$  inhibe le fonctionnement du multiplexeur (cf. 2<sup>ème</sup> ligne du tableau). La constitution du multiplexeur est représentée sur la figure 4. La sortie  $Z$  obéit à la relation logique :

$$Z = \bar{V} \cdot (E_0 \cdot \bar{S}_0 \cdot \bar{S}_1 \cdot \bar{S}_2 + E_1 \cdot S_0 \cdot \bar{S}_1 \cdot \bar{S}_2 + E_2 \cdot \bar{S}_0 \cdot S_1 \cdot \bar{S}_2 + E_3 \cdot S_0 \cdot S_1 \cdot \bar{S}_2 + E_4 \cdot \bar{S}_0 \cdot \bar{S}_1 \cdot S_2 + E_5 \cdot S_0 \cdot \bar{S}_1 \cdot S_2 + E_6 \cdot \bar{S}_0 \cdot S_1 \cdot S_2 + E_7 \cdot S_0 \cdot S_1 \cdot S_2)$$

### – Démultiplexeur

Le démultiplexage consiste à réaliser l'opération inverse du multiplexage, l'entrée des données  $D$  est affectée à l'une des sorties  $Z_0 \dots Z_7$  en fonction du code de sélection  $S_0, S_1, S_2$  comme le montrent la figure 5 et le tableau III où figurent également les équations logiques des sorties du démultiplexeur 8 voies.

## 2.3 – Analyse et synthèse des circuits combinatoires

L'analyse d'un circuit combinatoire consiste à écrire les équations logiques de comportement à partir de celles qui décrivent chaque porte élémentaire. Il est également possible de dresser la table de vérité du circuit et d'en déduire le chronogramme.

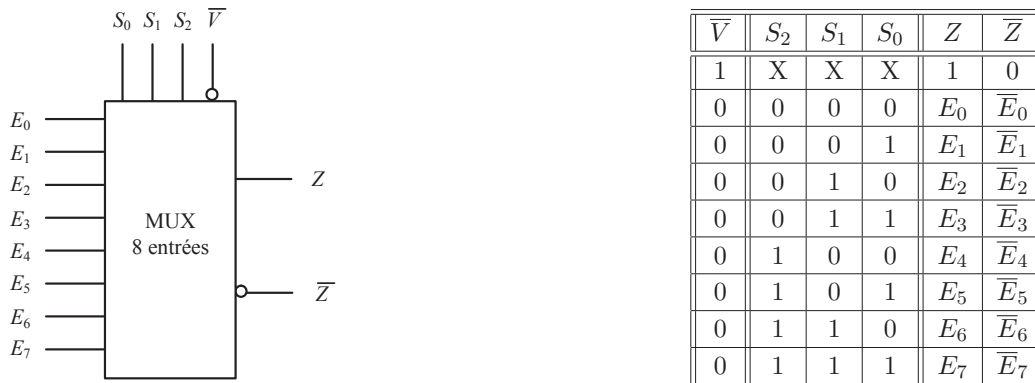


Fig. 3 – Circuit et table de vérité d'un multiplexeur 8 vers 1.

Tableau III – Table de fonctionnement d'un démultiplexeur 8 voies.

Code sélection			Sorties							
$S_2$	$S_1$	$S_0$	$Z_7$	$Z_6$	$Z_5$	$Z_4$	$Z_3$	$Z_2$	$Z_1$	$Z_0$
0	0	0	0	0	0	0	0	0	0	D
0	0	1	0	0	0	0	0	0	D	0
0	1	0	0	0	0	0	0	D	0	0
0	1	1	0	0	0	0	D	0	0	0
1	0	0	0	0	0	D	0	0	0	0
1	0	1	0	0	D	0	0	0	0	0
1	1	0	0	D	0	0	0	0	0	0
1	1	1	D	0	0	0	0	0	0	0

Équations logiques des sorties

$$Z_0 = E \cdot (\bar{S}_2 \cdot \bar{S}_1 \cdot \bar{S}_0)$$

$$Z_1 = E \cdot (\bar{S}_2 \cdot \bar{S}_1 \cdot S_0)$$

$$Z_2 = E \cdot (\bar{S}_2 \cdot S_1 \cdot \bar{S}_0)$$

$$Z_3 = E \cdot (\bar{S}_2 \cdot S_1 \cdot S_0)$$

$$Z_4 = E \cdot (S_2 \cdot \bar{S}_1 \cdot \bar{S}_0)$$

$$Z_5 = E \cdot (S_2 \cdot \bar{S}_1 \cdot S_0)$$

$$Z_6 = E \cdot (S_2 \cdot S_1 \cdot \bar{S}_0)$$

$$Z_7 = E \cdot (S_2 \cdot S_1 \cdot S_0)$$

La synthèse consiste à partir de la description du comportement exprimée sous forme d'une table de vérité. Il convient d'abord de déduire les équations logiques, par la méthode des tableaux de Karnaugh<sup>1</sup> par exemple, et de « matérialiser » ensuite chaque opération élémentaire par les portes correspondantes. Il est souvent judicieux de mettre les équations logiques sous une forme conduisant à une réalisation plus facile ou plus optimisée qui permet de réduire le nombre de portes ou de remplacer des portes élémentaires par des portes à plusieurs entrées ou par des sous-ensembles disponibles ou que l'on sait réaliser.

### 3 – Circuits séquentiels : les bascules

En logique combinatoire, pour chaque combinaison des entrées, il existe une et une seule combinaison des sorties. En logique séquentielle, l'état des sorties dépend en plus de l'histoire (de l'état précédent, qui lui aussi, dépend de l'état qui l'a précédé) c'est à dire de la « mémoire » du système. Un circuit séquentiel<sup>2</sup> comporte donc toujours une ou plusieurs « mémoire ».

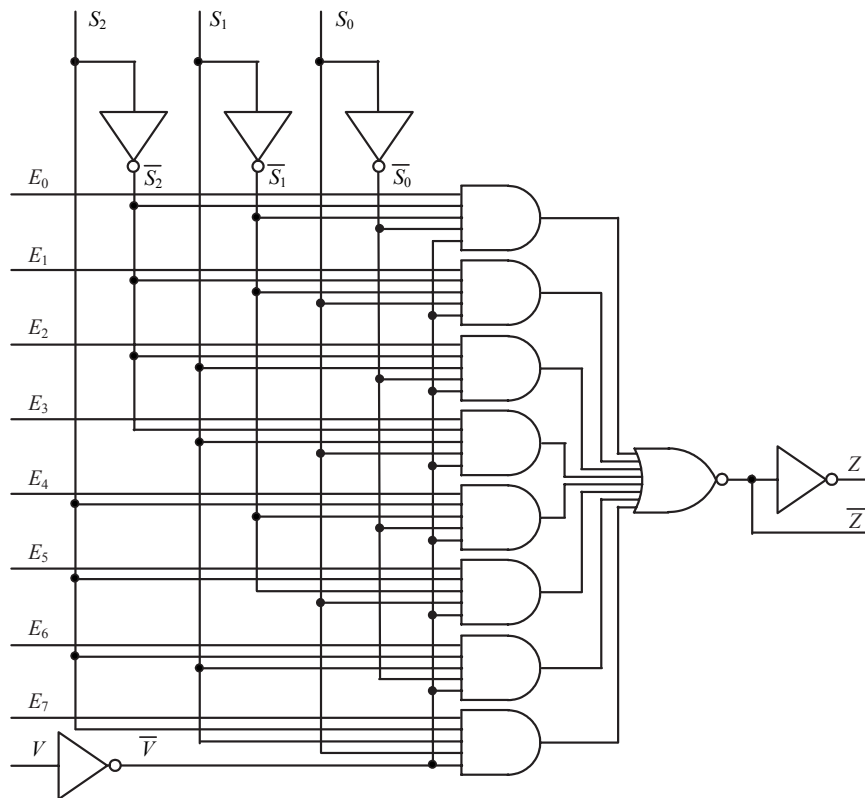


Fig. 4 – Constitution du multiplexeur 8 vers 1.

### 3.1 – Notion de mémoire

Une « mémoire » est un dispositif électronique permettant d'écrire et de conserver un état logique particulier, soit un état « 0 » soit un état « 1 ». La conservation d'un état logique peut être réalisée de façon simple à l'aide de deux inverseurs identiques connectés tête-bêche comme le montre la figure 6.

Ce système appelé « bistable » présente en effet deux états stables possibles :

- si  $a = 0 \Rightarrow b = \bar{a} = 1$  et si  $b = 1 \Rightarrow a = \bar{b} = 0 \Rightarrow$  état stable « B »,
- si  $a = 1 \Rightarrow b = \bar{a} = 0$  et si  $b = 0 \Rightarrow a = \bar{b} = 1 \Rightarrow$  état stable « H ».

Du point de vue électrique, les caractéristiques de ces deux états peuvent être déterminées si l'on connaît les caractéristiques de transfert des deux inverseurs telles que celles de l'inverseur CMOS étudié au § 3 page 207. La caractéristique de transfert de l'inverseur 1, tension  $V(b)$  en fonction de la tension  $V(a)$ , est représentée sur la figure 7 sur laquelle on a représenté également la caractéristique de transfert de l'inverseur 2, tension  $V(a)$  en fonction de la tension  $V(b)$ . Les états possibles du système correspondent aux trois points d'intersection de ces caractéristiques dont deux seulement sont stables. Si par un grand hasard le système se trouvait au troisième point d'intersection (au centre de symétrie des courbes) la moindre perturbation le conduirait instantanément vers l'un ou l'autre des

<sup>1</sup>Le lecteur qui n'est pas familier avec cette technique de réduction pourra se reporter à l'annexe 5.

<sup>2</sup>Ce paragraphe et les suivants ont été rédigés grâce à la contribution éclairée de D. Gillet.

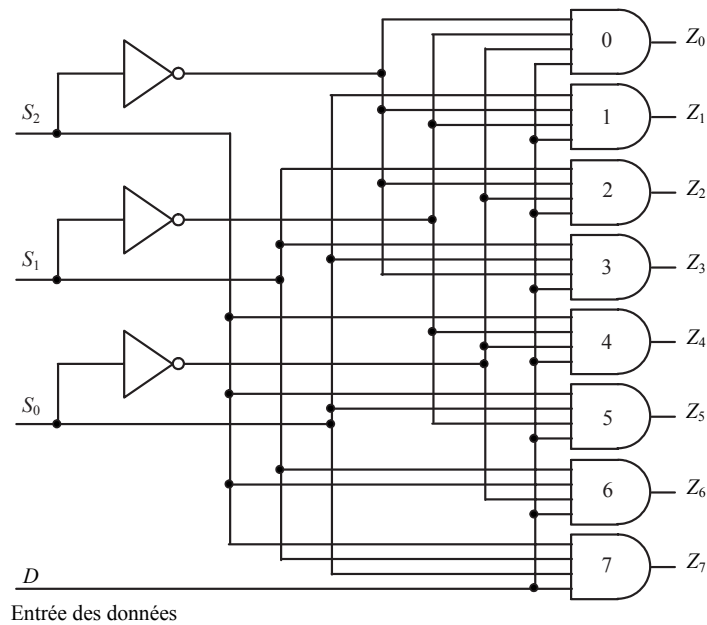


Fig. 5 – Constitution d'un démultiplexeur 8 voies.

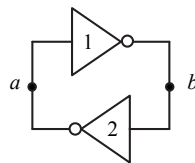


Fig. 6 – Schéma de principe d'une mémoire élémentaire.

deux autres états stables. Ainsi un tel dispositif est en mesure de conserver l'état dans lequel il a été placé et de ce fait constitue une mémoire binaire élémentaire.

Une réalisation matérielle de cette mémoire élémentaire est représentée sur la figure 8.a qui utilise simplement deux transistors nMOS montés en inverseurs (§ 2 page 205). L'entrée de chaque inverseur est connectée à la sortie de l'autre. La figure 8.b montre (de façon analogue à la figure 7) les caractéristiques de transfert des deux inverseurs et les états d'équilibre possibles. Noter ici que les deux inverseurs ne sont pas rigoureusement identiques mais bien que les caractéristiques soient légèrement différentes, les deux états stables sont sans ambiguïté. Les coordonnées de ces points ont été obtenues par une simulation avec *PSpice*<sup>3</sup>.

Lorsque la mémoire est dans l'état « B » ( $a = 0, b = 1$ ),  $Q_1$  est bloqué et  $Q_2$  conduit et lorsque la mémoire est dans l'état « H » ( $a = 1, b = 0$ ),  $Q_1$  conduit et  $Q_2$  est bloqué. À la mise sous tension, le circuit se place dans l'un ou l'autre des deux états et y restera tant que le circuit sera alimenté.

<sup>3</sup>Comme aucun parasite ne vient perturber le calcul, le simulateur peut donner les coordonnées du point instable, pour obtenir les deux autres il convient d'orienter le calcul vers l'un des deux points stables par la commande `.nodeset` (tableau V page 32).

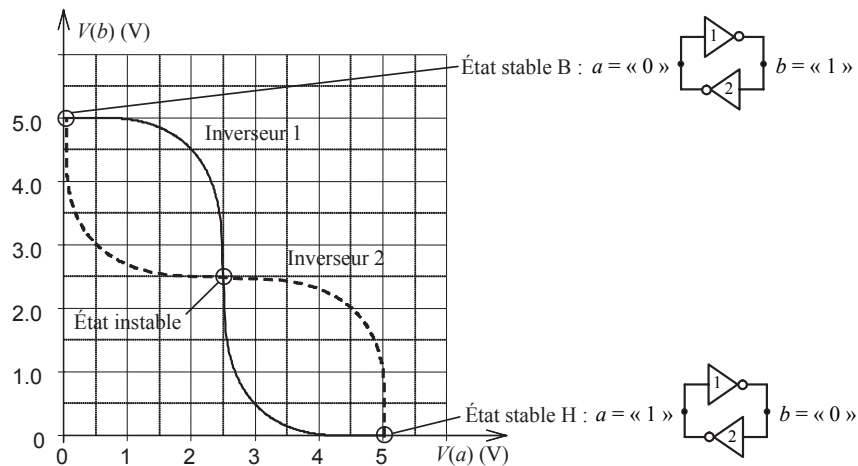


Fig. 7 – Caractéristiques de transfert des deux inverseurs.

### 3.2 – Bascules RS à portes NON-OU

Tableau IV – Table de vérité d'une porte NON-OU.

$\alpha$	$a$	$x$
0	0	1
0	1	0
1	0	0
1	1	0

Dans la configuration proposée au paragraphe précédent, l'état stable conservé en mémoire est imprévisible, pour que le dispositif soit utilisable, il faut pouvoir modifier l'état de la mémoire, on dit « écrire dans la mémoire », pour la placer soit dans l'état « B » soit dans l'état « H ». La figure 9.a propose une solution dans laquelle deux autres transistors  $Q_3$  et  $Q_4$  viennent compléter le circuit de la figure 8.a.

L'ensemble formé par les deux transistors  $Q_1$  et  $Q_3$  (ou  $Q_2$  et  $Q_4$ ) n'est autre que la réalisation d'une porte NON-OU, en effet on voit sur la figure 9.b que :

- si  $V(\alpha) = V(a) = 0 \Rightarrow Q_1$  et  $Q_3$  sont bloqués et  $V(x) = V_{DD}$ ,
- si l'une des deux tensions (ou les deux)  $V(\alpha)$  ou  $V(a) = V_{DD} \Rightarrow$  l'un au moins des deux transistors  $Q_1$  ou  $Q_3$  (ou les deux) conduit et  $V(x) \approx 0$  ce qui donne bien la table de vérité d'une porte NON-OU (tableau IV).

Le schéma de la figure 9.a peut alors être symbolisé par celui de la figure 10.a. Le tableau IV montre que lorsque l'entrée  $\alpha = 0$ , la première porte NON-OU se comporte comme un inverseur pour l'entrée  $a$ , de même, si  $\beta = 0$  la seconde porte NON-OU se comporte comme un inverseur pour l'entrée  $b$  (Fig. 10.b) et le système est équivalent aux deux inverseurs tête-bêche du paragraphe précédent (Fig. 10.c), le système conserve son état antérieur on dit qu'il est en position « mémoire ».

Examinons à présent le mécanisme d'écriture dans la mémoire. Le circuit de la figure 10.b est dans l'un des deux états stables « B » ou « H », on maintient  $\alpha = 0$ , et on fait passer  $\beta$  de 0 à 1 :

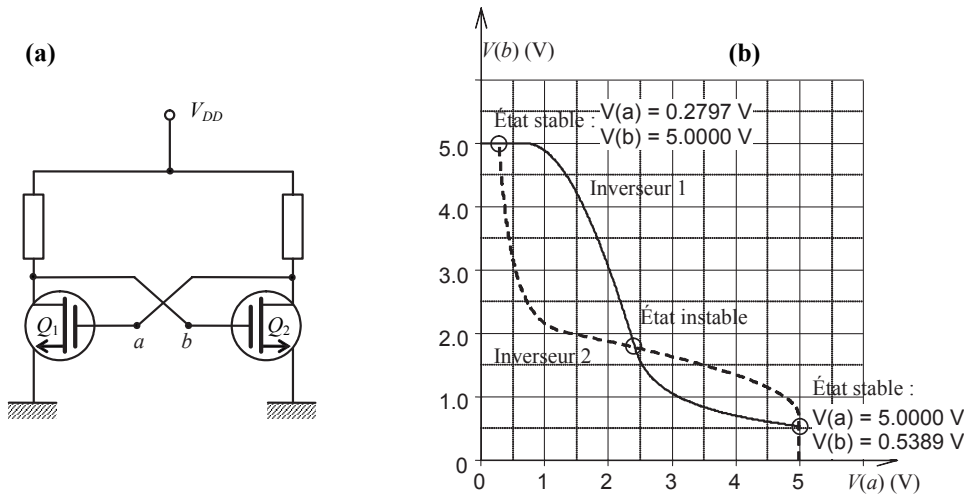


Fig. 8 – Réalisation d'une mémoire élémentaire avec deux inverseur nMOS (a) et caractéristiques de transfert des deux inverseurs (b).

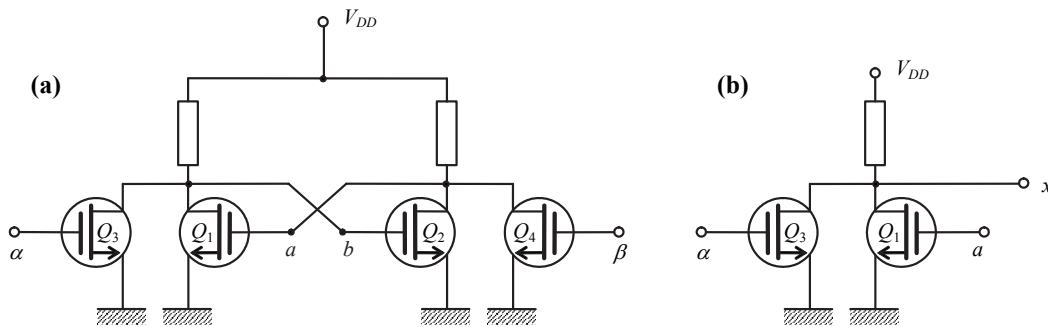


Fig. 9 – Bascule RS à portes NON-OU.

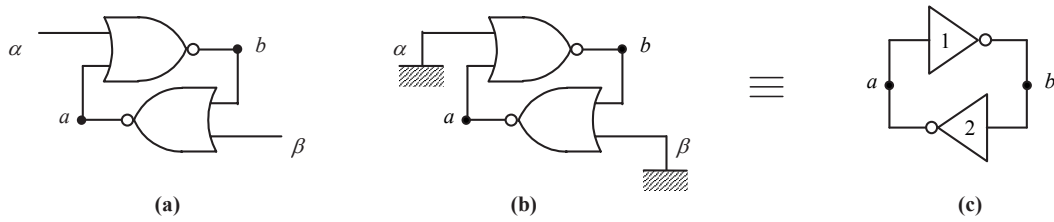
- si le système était dans l'état « B »  $\Rightarrow Q_1$  bloqué,  $Q_2$  conduit  $\Rightarrow a = 0, b = 1$ , quand  $\beta = 1 \Rightarrow Q_4$  conduit  $\Rightarrow a = 0 \Rightarrow Q_1$  reste bloqué  $\Rightarrow b = 1 \Rightarrow Q_2$  continue de conduire  $\Rightarrow$  le système reste à l'état « B »,
- si le système était dans l'état « H »  $\Rightarrow Q_1$  conduit,  $Q_2$  bloqué  $\Rightarrow a = 1, b = 0$ , quand  $\beta = 1 \Rightarrow Q_4$  conduit,  $\Rightarrow a = 0 \Rightarrow Q_1$  se bloque  $\Rightarrow b = 1 \Rightarrow Q_2$  conduit,  $\Rightarrow$  le système passe à l'état « B ».

Dans les deux cas le système est forcé à l'état « B » et si l'on remet l'entrée  $\beta = 0$  (position « mémoire ») le système conservera cet état. L'entrée  $\beta$  agit comme une commande de « remise à zéro » (*Reset*).

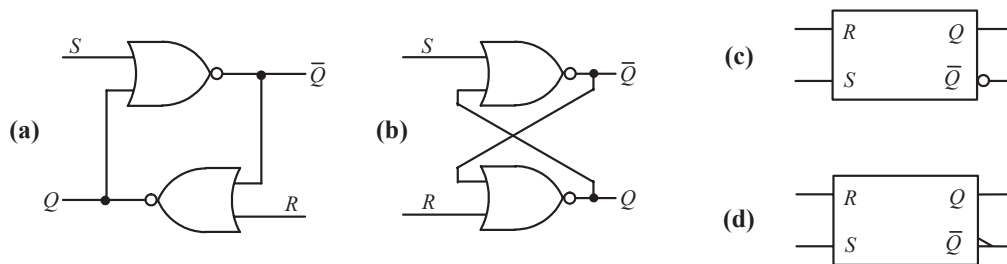
Un raisonnement analogue en maintenant  $\beta = 0$  et en faisant passer  $\alpha$  de 0 à 1 montrerait que si le système était à l'état « H » il conserverait cet état et s'il était à l'état « B » il passerait à l'état « H ». Le retour de  $\alpha$  à 0 (position « mémoire ») permet au système de conserver cet état. L'entrée  $\alpha$  agit comme une commande de « mise à un » (*Set*).

Ce fonctionnement explique le vocabulaire utilisé : le système porte le nom de « bascule RS » (*RS Flip-Flop*), les entrées  $\alpha$  et  $\beta$  sont appelées respectivement *S* et *R* et les sorties  $a$  et  $b$  qui sont toujours complémentaires sont traditionnellement baptisées  $Q$  et  $\bar{Q}$  respec-





**Fig. 10** – Écriture dans la mémoire avec une porte NON-OU (a) position de mémorisation (b) et schéma équivalent (c).



**Fig. 11** – Bascule RS à portes NON-OU et symboles : usuel (c) et recommandé (d).

tivement (Fig. 11.a). L'usage très répandu de placer les entrées d'un circuit à gauche et les sorties à droite conduit à représenter les bascules RS sous la forme plus conventionnelle (mais peut-être moins compréhensible) de la figure 11.b ou plus simplement à l'aide des symboles des figures 11.c et d.

### Remarque

L'écriture dans la mémoire se fait en agissant soit sur l'entrée  $S$  pour l'état « H » soit sur l'entrée  $R$  pour l'état « B » ces deux entrées étant à 0 pour conserver l'état acquis, la mise à 1 simultanée de  $S$  et de  $R$  qui reviendrait à écrire en même temps un « B » et un « H » dans la mémoire n'a pas de sens, elle donnera en général un état imprévisible, cette configuration est « interdite » (cf. tableau VI).

### 3.3 – Bascules RS à portes NON-ET

**Tableau V** – Table de vérité d'une porte NON-ET.

$\alpha$	$a$	$x$
0	0	1
0	1	1
1	0	1
1	1	0

Pour modifier l'état de la mémoire, on peut également utiliser la configuration de la figure 12.a. L'ensemble formé par les deux transistors  $Q_1$  et  $Q_3$  (ou  $Q_2$  et  $Q_4$ ) constitue à présent la réalisation d'une porte NON-ET, en effet on voit sur la figure 12.b que :

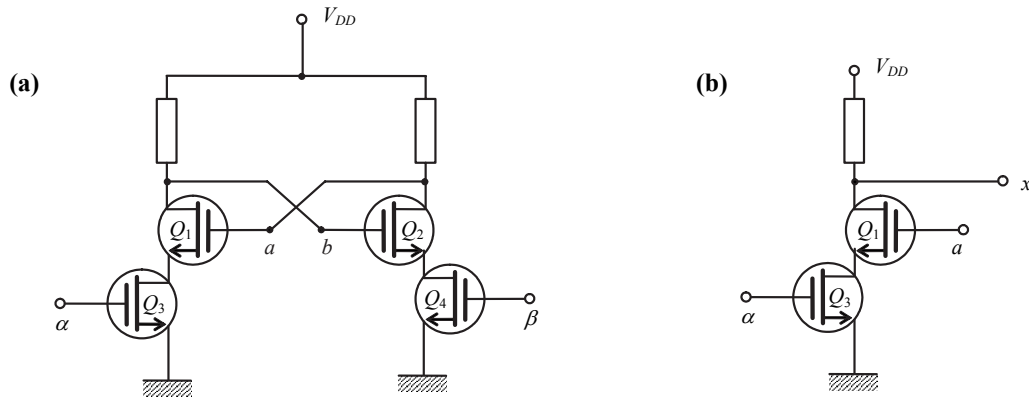


Fig. 12 – Bascule RS à portes NON-ET.

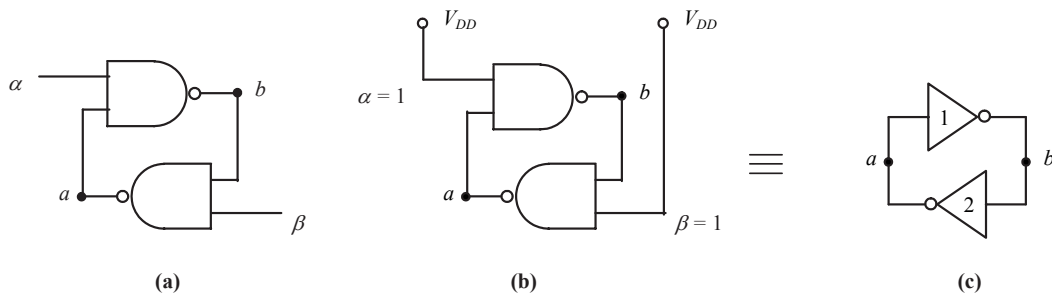


Fig. 13 – Écriture dans la mémoire avec une porte NON-ET (a), position de mémorisation (b) et schéma équivalent (c).

- si  $V(\alpha) = V(a) = V_{DD} \Rightarrow Q_1$  et  $Q_3$  conduisent et  $V(x) \approx 0$ ,
- si l'une des deux tensions (ou les deux)  $V(\alpha)$  et/ou  $V(a) = 0 \Rightarrow$  l'un au moins des deux transistors  $Q_1$  et/ou  $Q_3$  est bloqué et  $V(x) = V_{DD}$  ce qui donne bien la table de vérité d'une porte NON-ET (tableau V).

Le schéma de la figure 12.a peut alors être symbolisé par celui de la figure 13.a. Le tableau V montre que lorsque l'entrée  $\alpha = 1$ , la première porte NON-ET se comporte comme un inverseur pour l'entrée  $a$ , de même, si  $\beta = 1$  la seconde porte NON-ET se comporte comme un inverseur pour l'entrée  $b$  (Fig. 13.b.) le système est alors équivalent aux deux inverseurs tête-bêche du paragraphe précédent (Fig. 13.c) et conserve son état antérieur, on dit qu'il est en position « mémoire ».

Examinons à présent le mécanisme d'écriture dans la mémoire. Le circuit de la figure. 13.b est dans l'un des deux états stables « B » ou « H » on maintient  $\alpha = 1$  et on fait passer  $\beta$  de 1 à 0 :

- si le système était dans l'état « B »  $\Rightarrow Q_1$  bloqué,  $Q_2$  conduit  $\Rightarrow a = 0, b = 1$ ,  
quand  $\beta = 0 \Rightarrow Q_4$  se bloque  $\Rightarrow a = 1 \Rightarrow Q_1$  conduit  $\Rightarrow b = 0 \Rightarrow Q_2$  se bloque  
 $\Rightarrow$  le système passe à l'état « H »,
- si le système était dans l'état « H »  $\Rightarrow Q_1$  conduit,  $Q_2$  bloqué  $\Rightarrow a = 1, b = 0$ ,  
quand  $\beta = 0 \Rightarrow Q_4$  se bloque  $\Rightarrow a = 1 \Rightarrow Q_1$  continue de conduire  $\Rightarrow b = 0$   
 $\Rightarrow Q_2$  reste bloqué  $\Rightarrow$  le système reste à l'état « H ».

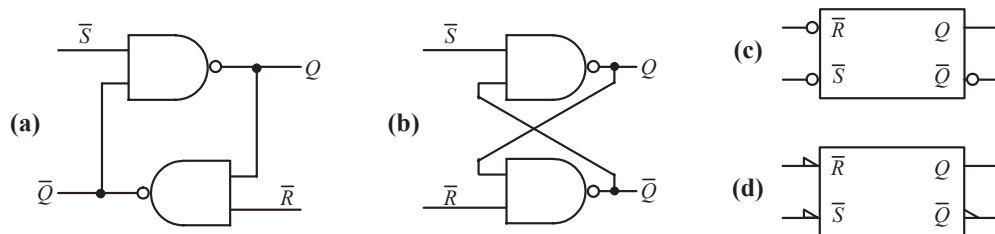


Fig. 14 – Bascule RS à portes NON-ET et symboles : usuel (a) et recommandé (b).

Tableau VI – Tables de vérité des bascules RS.  
Portes NON-OU                      Portes NON-ET

$S$	$R$	$Q_{n+1}$
0	0	$Q_n$
0	1	0
1	0	1
1	1	?

$\bar{S}$	$\bar{R}$	$Q_{n+1}$	
1	1	$Q_n$	Mémoire
1	0	0	Reset
0	1	1	Set
0	0	?	Interdit

Dans les deux cas le système est forcé à l'état « H » et si l'on remet l'entrée  $\beta = 1$  (position « mémoire ») le système conservera cet état. L'entrée  $\beta$  agit comme une commande de « mise à un » lorsqu'elle est mise à zéro ( $\overline{Set}$ ).

Un raisonnement analogue avec  $\beta = 1$  et  $\alpha$  passant de 1 à 0 montrerait que si le système était à l'état « H » il passerait à l'état « B » et s'il était à l'état « B » il garderait cet état. Le retour de  $\alpha$  à 1 (position « mémoire ») permet au système de conserver cet état. L'entrée  $\alpha$  agit comme une commande de « mise à zéro » lorsqu'elle est mise à zéro ( $\overline{Reset}$ ).

Pour exprimer le fait que les différents états de la bascule sont commandés par le passage de 1 à 0 des entrées  $\alpha$  et  $\beta$  celles-ci sont appelées respectivement  $\bar{R}$  et  $\bar{S}$  et les sorties complémentaires  $a$  et  $b$  sont appelées  $\bar{Q}$  et  $Q$  respectivement (Fig. 14.a). Comme précédemment, ces bascules sont souvent représentées sous la forme plus conventionnelle de la figure 14.b ou à l'aide des symboles<sup>4</sup> des figures 14.c et d.

La remarque du paragraphe précédent s'applique évidemment à ce type de bascule, ici c'est la mise à zéro simultanée des entrées  $\bar{S}$  et  $\bar{R}$  (qui signifierait l'écriture simultanée d'un 1 et d'un 0 dans la mémoire) qui est interdite (cf. tableau VI).

### 3.4 – Verrou RS

Dans le circuit représenté sur la figure 15, les entrées  $S$  et  $R$  ne sont prises en compte que lorsque l'entrée de validation ( $Enable = En$  ou  $Gate = G$  ou  $Clock = Clk$ ) est à 1 comme le montre la table de vérité du tableau VII où le symbole « X » indique que la sortie ne dépend pas de l'état de cette variable. Noter que du fait des portes NON-ET à l'entrée de

<sup>4</sup>L'usage du cercle d'inversion à l'entrée ou à la sortie d'un composant logique n'est pas systématique, certains documents indiquent l'inversion simplement par une barre sur le nom de la variable ( $\bar{R}$ ,  $\bar{S}$ ,  $\bar{Q}$ , etc.). Il peut y avoir confusion lorsque les deux méthodes sont utilisées (cercle et barre, comme sur la figure 14) : le nom, avec ou sans barre, ne représente qu'une étiquette et la barre ne « neutralise » pas le cercle.

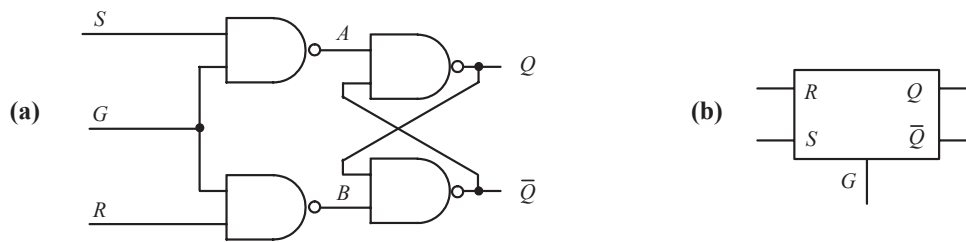


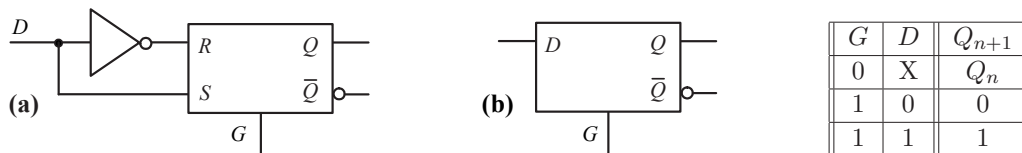
Fig. 15 – Verrou RS.

Tableau VII – Table de vérité d'un verrou RS.

$G$	$R$	$S$	$Q_{n+1}$	
0	X	X	$Q_n$	Mémoire
1	0	0	$Q_n$	Mémoire
1	1	0	0	Reset
1	0	1	1	Set
1	1	1	?	Interdit

la bascule RS, les entrées sont actives au niveau 1. Dans cette configuration, les entrées  $S$  et  $R$  apparaissent comme des données qui ne sont transmises à la sortie que lorsque l'entrée  $G = 1$ , quand  $G = 0$ , la bascule est « verrouillée ».

### 3.5 – Verrou D (*latch*)

Fig. 16 – Verrou D (*latch*) : principe (a), symbole (b) et table de vérité d'un verrou D.

Comme on l'a vu dans le paragraphe précédent, la configuration simultanée  $S = 1$  et  $R = 1$  à l'entrée d'une bascule RS est interdite. Le circuit représenté figure 16.a, réalisé à partir d'une bascule RS, n'autorise plus cette configuration puisque qu'il n'y a plus qu'une seule entrée appelée  $D$  appliquée en direct sur l'entrée  $S$  et après un inverseur sur l'entrée  $R$ , les entrées  $S$  et  $R$  sont donc toujours complémentaires l'une de l'autre.

Un tel système comportant une entrée de validation  $G$  est appelé « verrou » D (*D latch*)<sup>5</sup>. Suivant la valeur de l'entrée  $G$  le circuit permet soit de transmettre la donnée  $D$  sur la sortie  $Q$ , soit de mémoriser l'état antérieur comme le montre la table de vérité (tableau de la figure 16). Comme précédemment le symbole « X » indique que la sortie ne dépend pas de l'état de cette variable. Le symbole d'un verrou D est représenté figure 16.b.

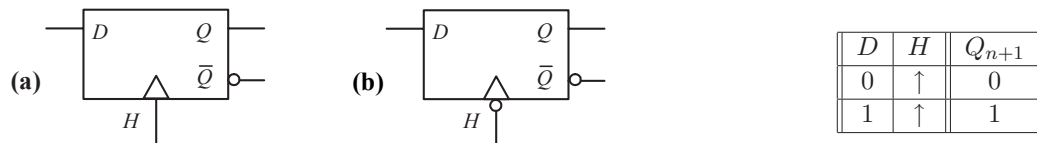


Fig. 17 – Bascule D synchronisée sur front d’horloge montant (a) ou descendant (b) et table de vérité d’une bascule D synchronisée sur front montant.

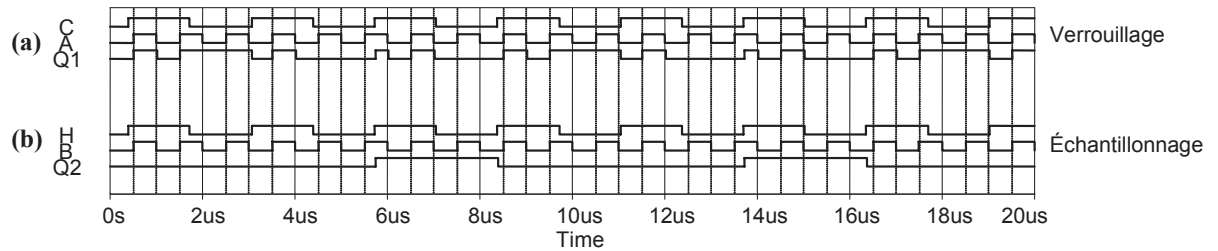


Fig. 18 – Chronogrammes d’un verrou D (a) et d’une bascule synchronisée sur front montant (b).

### 3.6 – Bascules D synchronisées sur front d’horloge

Dans le cas des verrous D, l’état de la bascule peut être modifié pendant tout le temps où l’entrée de validation est à 1 (cf. Fig. 17.a) ce qui peut constituer un inconvénient lorsqu’on veut transmettre des données rapidement. Pour pallier ce défaut on fait appel aux bascules synchronisées sur front montant (ou descendant)<sup>6</sup> de l’horloge appliquée sur l’entrée  $H$ . Dans ce cas les entrées de la bascule ne sont prises en compte que lorsque l’entrée  $H$  passe de 0 à 1 (ou de 1 à 0), le reste du temps la bascule conserve son état antérieur. Une bascule D (*Delay*) introduit ainsi un retard entre l’entrée  $D$  et la sortie  $Q$  et réalise par conséquent la fonction logique :  $Q_{n+1} = D$ .

Dans la table de vérité de la bascule D synchronisée sur front montant (tableau de la figure 17) le front de l’horloge est représenté par le symbole « ↑ ». Les symboles de ces bascules indiquent la synchronisation sur front montant par un triangle (Fig. 17.a) et la synchronisation sur front descendant par un triangle associé à une inversion (Fig. 17.b) (les tables de vérité utilisent alors le symbole « ↓ »).

La figure 18 compare les chronogrammes d’un verrou D (Fig. 18.a) et d’une bascule synchronisée sur front montant (Fig. 18.b). Dans les deux cas l’entrée varie plus rapidement que l’horloge. Dans le premier cas la sortie est modifiée tant que le signal d’horloge est à 1 et garde sa valeur quand il est à 0 (verrouillage) tandis que dans le second cas l’entrée est transmise à la sortie uniquement lors d’un front montant de l’horloge (échantillonnage).

### 3.7 – Entrées asynchrones d’un circuit logique

Un circuit logique synchronisé, donc comportant une horloge, peut également avoir des entrées asynchrones c’est-à-dire indépendantes de l’horloge. Le tableau de la figure 19

<sup>5</sup>Également appelé *D flip flop* ou *DFF* dans la littérature anglo-saxonne.

<sup>6</sup>*Edge-triggered flip flop*.

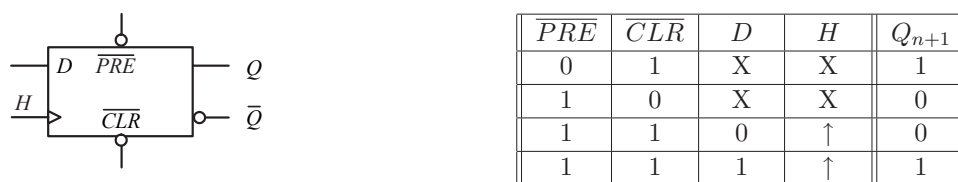


Fig. 19 – Bascule D synchronisée avec entrées asynchrones de remise à un et de remise à zéro et table de vérité d'une bascule D avec entrées asynchrones.

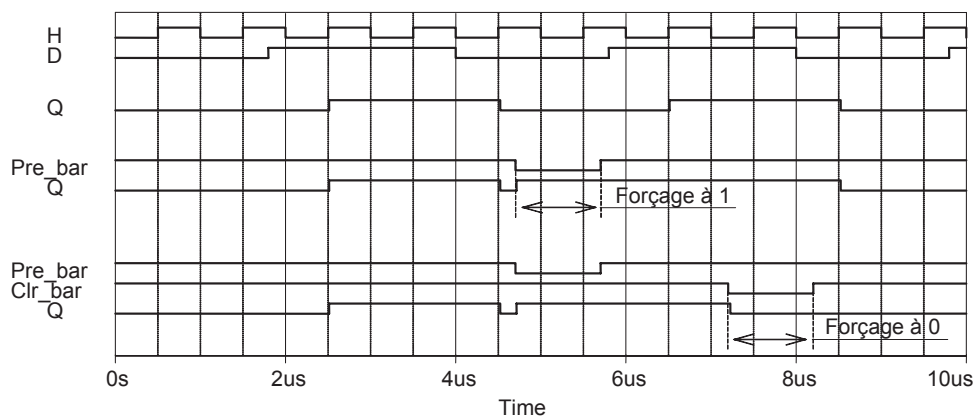


Fig. 20 – Bascule D synchronisée avec entrées asynchrones de remise à un et de remise à zéro.

montre par exemple la table de vérité d'une bascule D comportant deux entrées asynchrones actives au niveau bas (Fig. 19), une appelée  $\overline{PRE}$  : préchargement ou *preset*, quelquefois notée  $\overline{RAU}$  (remise à un), l'autre appelée  $\overline{CLR}$  : *clear*, quelquefois notée  $\overline{RAZ}$  (remise à zéro). Les chronogrammes de la figure 20 montrent la sortie  $Q$  de la bascule lorsque les entrées asynchrones sont ou non utilisées<sup>7</sup>.

### 3.8 – Autres bascules synchronisées

#### – Bascule JK



Fig. 21 – Symbole et table de vérité d'une bascule JK synchronisée.

Il s'agit d'une bascule synchrone à deux entrées appelées  $J$  et  $K$  qui peut être considérée comme une bascule RS dont on aurait résolu le problème de schizophrénie ( $S = R = 1$ ) en remplaçant la sortie « impossible » par le complément de la sortie  $Q$ . La table de vérité

<sup>7</sup>En toute rigueur, ces entrées ne devraient être utilisées qu'à la mise sous tension du circuit pour initialiser l'état des bascules.

prend alors la forme indiquée sur la figure 21, le symbole d'une bascule JK est représenté sur la figure 21.

### – Bascule T



Fig. 22 – Symbole et table de vérité d'une bascule T synchronisée.

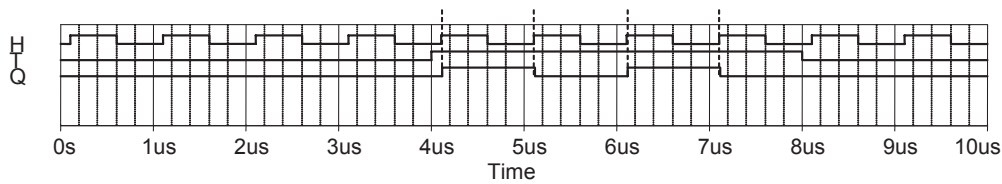


Fig. 23 – Chronogramme d'une bascule T synchronisée.

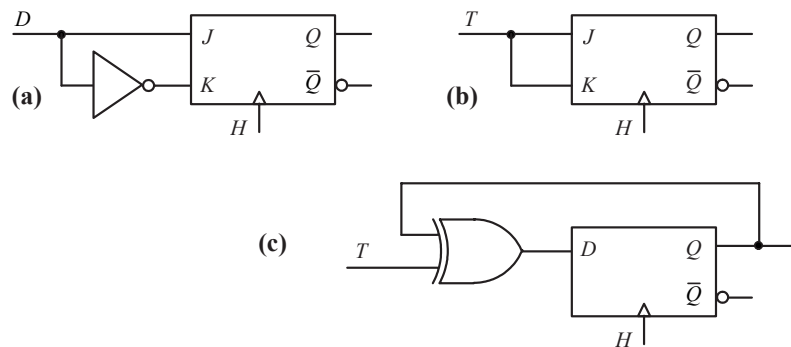


Fig. 24 – Bascule JK convertie en bascule D (a) ou en bascule T (b) et bascule D transformée en bascule T (c).

La table de vérité montre qu'une bascule T synchronisée réalise la fonction logique :

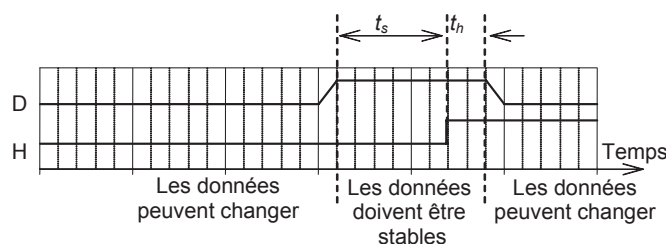
$$Q_{n+1} = T \cdot \overline{Q_n} + \overline{T} \cdot Q_n = T \oplus Q_n.$$

Cette expression logique montre que si  $T = 1$  alors on « complémente », sinon « on ne fait rien ». Le chronogramme d'une bascule T synchronisée est donné sur la figure 23. Remarque que la sortie change d'état uniquement lorsque  $T = 1$  et sur un front montant de l'horloge.

### Remarque

Si l'on compare les tables de vérité des bascules JK, D et T on constate qu'une bascule D peut être obtenue en plaçant l'entrée D et son complément sur les entrées J et K d'une bascule JK (Fig. 24.a) et qu'une bascule T peut être obtenue en plaçant l'entrée T simultanément sur les entrées J et K d'une bascule JK (Fig. 24.b) ou à partir d'une bascule D en réalisant la fonction logique  $Q_{n+1} = T \oplus Q_n$  (Fig. 24.c).

### 3.9 – Caractéristiques temporelles



**Fig. 25** – Temps de stabilisation et temps de maintien d'une bascule synchronisée.

Pour être assuré du fonctionnement correct d'une bascule synchronisée sur front d'horloge, les signaux d'entrée doivent être stabilisés pendant un temps minimal  $t_s$  (*setup time*) avant la transition d'horloge et doivent être maintenus pendant un temps  $t_h$  (*hold time*) après le front d'horloge avant d'être modifiés (Fig. 25). Ces durées dépendent de la technologie utilisée et sont spécifiées par les constructeurs (elles sont généralement de l'ordre de quelques ns).

## 4 – Compteurs

Les compteurs sont à la base de la plupart des applications dans le domaine numérique, il en existe de très nombreuses variantes selon le nombre de bits, suivant le principe utilisé (synchrones ou asynchrones), avec ou sans préchargement, avec ou sans remise à zéro, avec ou sans retenue, certains peuvent compter et/ou décompter, etc. Seuls quelques exemples permettant de dégager des principes généraux seront donnés ici.

### 4.1 – Notions de base

On appelle « registre » un ensemble de  $n$  bascules synchronisées identiques utilisant la même horloge. Chaque bascule conserve ou transmet un bit du registre à chaque front de l'horloge. Dans sa forme la plus simple, un registre possède  $n$  sorties qui représentent un nombre binaire du type :  $q_{n-1}q_{n-2} \cdots q_k \cdots q_2q_1q_0$ . Les bits  $q_0$  et  $q_{n-1}$  sont respectivement le bit de poids le plus faible (*LSB = Least Significant Bit*) et le bit de poids le plus fort (*MSB = Most Significant Bit*).

On appelle compteur un registre réalisant l'opération « +1 » à chaque coup d'horloge. Un compteur  $n$  bits permet de compter les nombres de 0 à  $2^n - 1$  modulo  $2^n$  comme le montre le tableau VIII donné pour un registre à 4 bits.

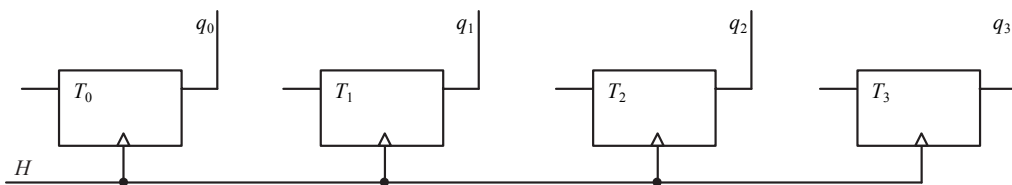
### 4.2 – Compteur synchrone à quatre bits

Pour illustrer la conception d'un compteur synchrone, prenons l'exemple d'un compteur à quatre bits. Il nécessite l'utilisation d'un registre constitué de quatre bascules synchronisées identiques de type T (par exemple) dont chaque sortie représente un des bits du compteur



**Tableau VIII** – Codage binaire naturel d'un nombre à 4 bits.

Décimal	Hexadécimal	$q_3$	$q_2$	$q_1$	$q_0$	
0	0	0	0	0	0	$q_0$ change d'état à chaque front
1	1	0	0	0	1	
2	2	0	0	1	0	
3	3	0	0	1	1	$q_2$ change d'état au front suivant
4	4	0	1	0	0	
5	5	0	1	0	1	
6	6	0	1	1	0	
7	7	0	1	1	1	$q_3$ change d'état au front suivant
8	8	1	0	0	0	
9	9	1	0	0	1	$q_1$ change d'état au front suivant
10	A	1	0	1	0	
11	B	1	0	1	1	
12	C	1	1	0	0	
13	D	1	1	0	1	
14	E	1	1	1	0	
15	F	1	1	1	1	$q_3$ change d'état au front suivant
0	0	0	0	0	0	

**Fig. 26** – Composants d'un compteur synchrone à 4 bits.

(Fig. 26). La table de vérité de la bascule T (Fig. 22) montre que si l'entrée est à 1, la sortie change d'état à chaque front d'horloge (Fig. 23).

Le problème consiste à déterminer la nature des variables qui doivent être appliquées à l'entrée de chaque bascule pour qu'à chaque front d'horloge la valeur du mot binaire  $q_3q_2q_1q_0$  passe d'une ligne à la suivante dans le tableau VIII. Une solution consiste à observer dans ce tableau, que le bit  $q_3$  passe de 0 à 1 ou de 1 à 0 uniquement lorsque les bits précédents :  $q_2q_1q_0$  sont tous à 1, de même le bit  $q_2$  change d'état uniquement lorsque les bits précédents :  $q_1q_0$  sont tous les deux à 1. Il n'est pas difficile de montrer que, de façon générale, dans un compteur à  $n$  bits le bit  $q_k$  change d'état uniquement lorsque les  $k - 1$  bits précédents sont tous à 1 et pour que la  $k^{\text{ème}}$  bascule change d'état au front d'horloge, il faut que son entrée  $T_k$  soit à 1, d'où l'équation logique donnant la variable d'entrée de la  $k^{\text{ème}}$  bascule :

$$T_k = q_{k-1} \cdot q_{k-2} \cdot q_{k-3} \cdots q_1 \cdot q_0 \quad \text{ou encore par récurrence : } T_k = q_{k-1} \cdot T_{k-1}.$$

Les relations ainsi obtenues fournissent deux possibilités de synthèse du compteur, une utilisant les  $k - 1$  sorties des bascules (compteur parallèle, Fig. 27.a) et l'autre utilisant l'entrée et la sortie de la bascule  $T_{k-1}$  (compteur série, Fig. 27.b). Dans les deux cas la bascule  $T_0$  doit changer d'état à chaque front d'horloge et son entrée doit donc être fixée

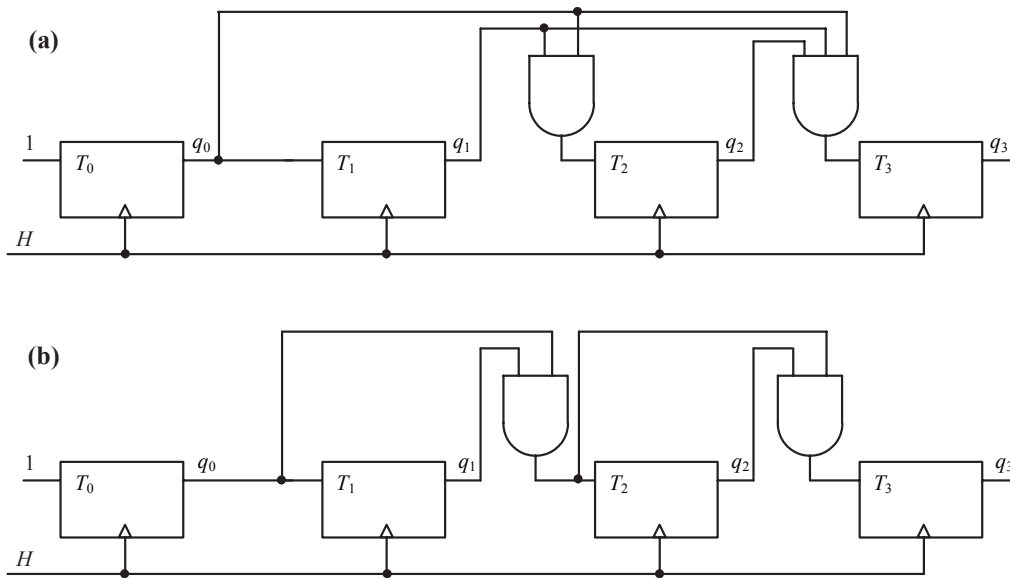


Fig. 27 – Synthèse d'un compteur synchrone à 4 bits de type parallèle (a) et de type série (b).

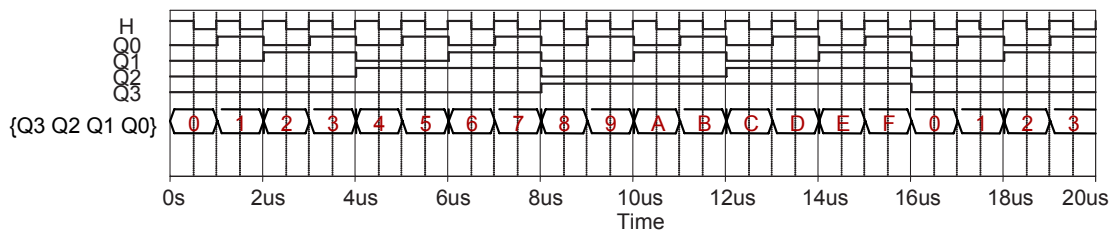


Fig. 28 – Chronogramme d'un compteur synchrone à 4 bits.

à 1. Chacun des deux types de synthèse a ses avantages et ses inconvénients. La figure 28 donne le chronogramme de ces compteurs.

### 4.3 – Compteur asynchrone 4 bits

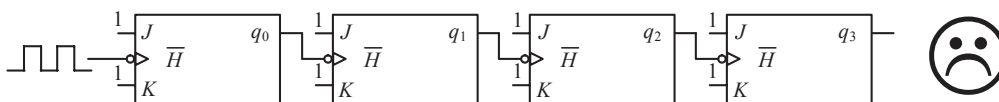


Fig. 29 – Compteur asynchrone quatre bits.

La figure 29 montre un exemple de compteur à 4 bits réalisé à partir de bascules JK transformées en bascules T par la mise à 1 de toutes les entrées  $J$  et  $K$ . Ce type de compteur est dit « asynchrone » parce que les horloges des différentes bascules sont différentes, l'horloge de la bascule  $k$  est constituée par la sortie de la bascule  $k - 1$ . Comme précédemment, le circuit effectue le comptage de 0 à 15 avec retour à zéro. Noter ici que les entrées d'horloge

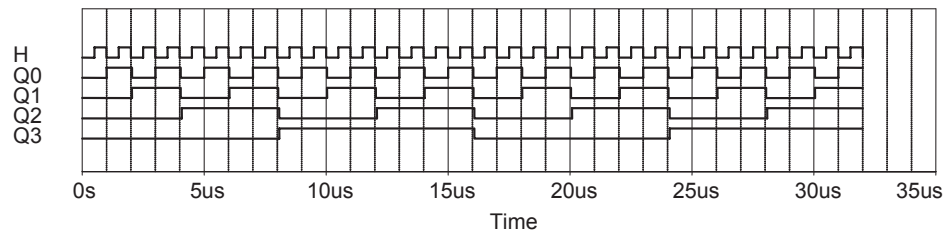


Fig. 30 – Chronogramme d'un compteur asynchrone quatre bits.

sont actives au niveau bas, de ce fait la validation s'effectue sur le front descendant de l'horloge. Le chronogramme est représenté sur la figure 30.

#### 4.4 – Comparaison des compteurs synchrones et asynchrones

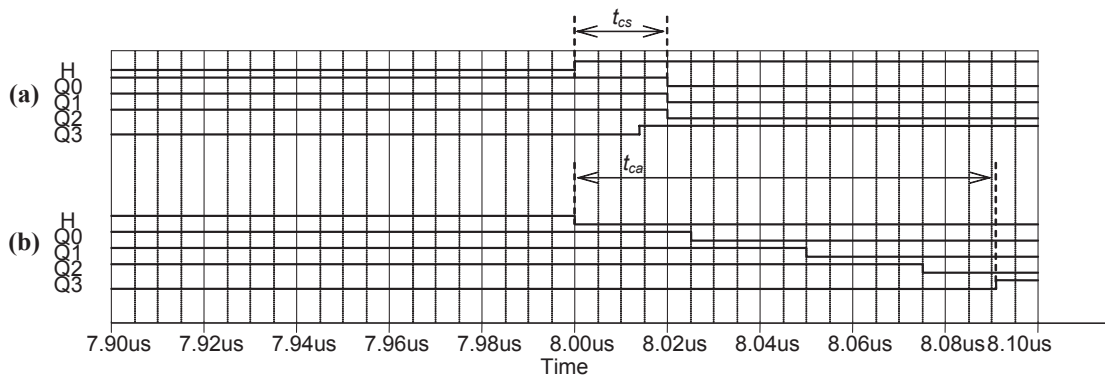


Fig. 31 – Chronogrammes d'un compteur quatre bits synchrone (a) et asynchrone (b).

Le compteur asynchrone a pour unique avantage sa simplicité de conception mais il souffre d'une grave limitation liée à la propagation des temps de porte tout au long de la chaîne de bascules. Ce défaut est illustré sur les chronogrammes de la figure 31 où l'on peut voir ce qui se passe lors du passage de la valeur de sortie<sup>8</sup> 7h à 8h c'est-à-dire lorsque toutes les sorties changent d'état. Les bascules du compteur synchrone, commandées par la même horloge, changent toutes d'état en même temps tandis que celles du compteur asynchrone doivent attendre que toutes les bascules précédentes aient changé d'état avant d'activer la bascule suivante. Il en résulte que le temps nécessaire à l'affichage du compteur est indépendant du nombre de bits dans le cas d'un compteur synchrone alors qu'il augmente linéairement avec le nombre de bits dans le cas d'un compteur asynchrone (comparer les valeurs  $t_{cs}$  et  $t_{ca}$  de la figure 31). Les compteurs asynchrones ne doivent être utilisés que pour des applications très simples ne nécessitant pas de performance de vitesse.

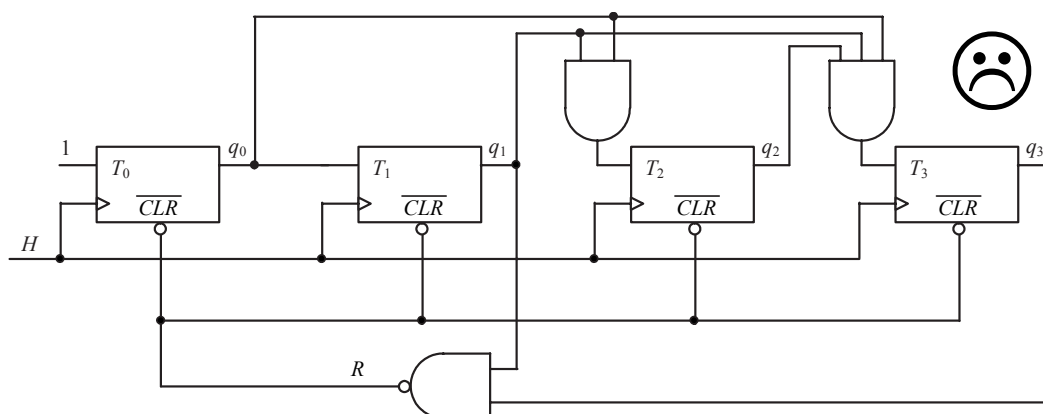


Fig. 32 – Compteur décimal de conception médiocre.

## 4.5 – Compteurs modulo $n$

Les compteurs à 4 bits présentés jusqu'ici permettent de compter de 0 à 15 et reviennent à 0 en fin de comptage. Il est souvent nécessaire de disposer de compteurs modulo  $n$  c'est-à-dire comptant de 0 à  $n - 1$ . Prenons par exemple le cas fréquent d'un compteur décimal (comptant de 0 à 9). On peut imaginer réaliser cette fonction en utilisant l'entrée asynchrone  $\overline{CLR}$  qui permet la remise à zéro des bascules du compteur indépendamment du signal d'horloge. Le signal à appliquer sur cette entrée est déterminé par l'examen du tableau VIII où l'on peut constater que la remise à zéro du compteur doit avoir lieu lorsqu'il arrive à 10 c'est-à-dire quand le mot binaire  $q_3q_2q_1q_0 = 1010$ , seule configuration entre 0 et 9 où les bits  $q_1$  et  $q_3$  passent tous les deux à 1. La remise à zéro du compteur peut alors être réalisée en appliquant ces deux bits sur une porte NON-ET dont la sortie active l'entrée  $\overline{CLR}$  de chaque bascule (cf. Fig. 32). Le chronogramme d'un tel compteur est représenté Fig. 33. Dans ce dispositif, pour que le signal de remise à zéro  $R$  apparaisse, il faut que le compteur atteigne la valeur 10 (alors que le comptage devrait s'effectuer de 0 à 9) et bien que cette phase dure très peu de temps elle crée des aléas de fonctionnement comme on peut le constater sur la figure 33.b. Une conception plus rigoureuse d'un tel compteur est présentée au § 5.3 page 240.

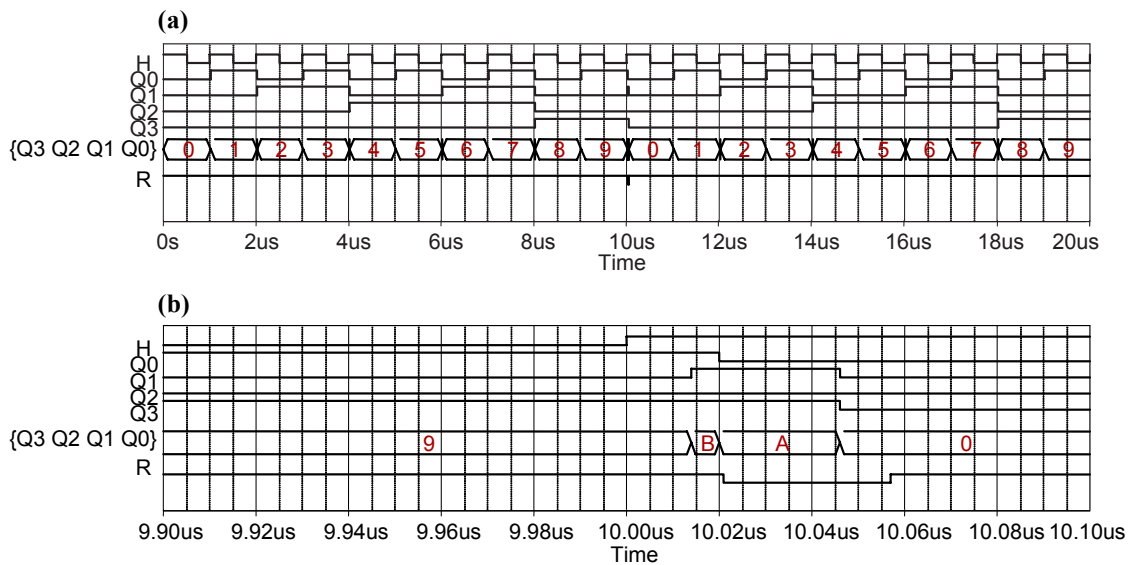
## 5 – Synthèse des automates synchrones

### 5.1 – Méthode

On a vu précédemment comment réaliser un compteur binaire synchrone à partir de considérations purement arithmétiques. Ceci était possible grâce à la nature particulière du dispositif : la régularité du code binaire associé à chaque état du compteur. En réalité, ce compteur constitue un cas très particulier d'un modèle plus général baptisé<sup>9</sup> « machine séquentielle synchrone à états finis ». Le code associé à chacun des états de la machine

<sup>8</sup>On note avec un suffixe « h » le mot binaire  $q_3q_2q_1q_0$  exprimé en hexadécimal (voir tableau VIII).

<sup>9</sup>*Finite State Machine*, dans les ouvrages anglo-saxons.



**Fig. 33** – Chronogramme d'un compteur décimal (a) et agrandissement de l'instant de recyclage (b).

nécessite un nombre fini de bits simplement parce que le nombre des états possibles est lui-même fini.

Pour décrire le comportement d'une telle machine on lui associe un graphe de fonctionnement, ou « graphe d'états » dans lequel vont être portés les divers états ainsi que les conditions requises pour passer, de façon synchrone, d'un état à l'autre.

Ainsi, la figure 34.a représente le graphe associé à un compteur binaire naturel modulo 4 ainsi que le code d'état associé (Fig. 34.b). Dans le cas présent la condition de transition est toujours vraie (il n'y a pas de commande de blocage du compteur).

Cette « machine » est minimaliste, au sens où elle ne possède ni entrées (commandes) ni sorties (associées aux différents états).

Par contre, supposons qu'un compteur modulo 4 comme celui-ci possède par exemple une commande de blocage (arrêt du comptage) ainsi qu'une retenue à 3, c'est-à-dire une sortie qui soit active lorsque le compteur est à l'état « trois » et non bloqué. Le graphe se présente alors sous la forme représentée figure 35 où la variable  $E$  représente la commande de blocage : si  $E = 0$  l'état de sortie ne change pas et si  $E = 1$ , la sortie peut passer à l'état suivant. La variable  $R$  représente la retenue,  $R = 0$  dans tous les états sauf dans l'état « trois » quand le compteur n'est pas bloqué c'est-à-dire quand  $E = 1$ ,  $R = 1$  et dès que  $E = 0$ ,  $R = 0$  donc  $R = E$ .

## 5.2 – Exemple

Dans la pratique, la plupart des « automates » réalisés à partir du modèle précédent présentent des cycles sans caractère particulier. Un simple exemple suffira à illustrer la méthode de synthèse des machines à états finis. Soit à réaliser une machine séquentielle répondant au cycle représenté sur la figure 36. Ce graphe est celui d'un dispositif générant

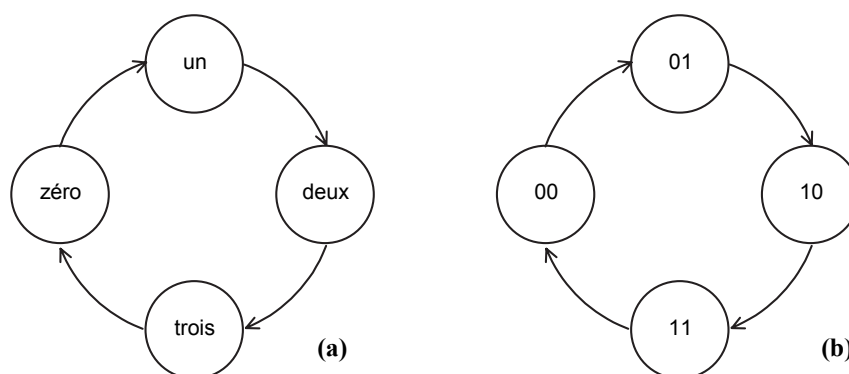


Fig. 34 – Graphe d'un compteur binaire modulo 4 (a) et code d'état associé (b).

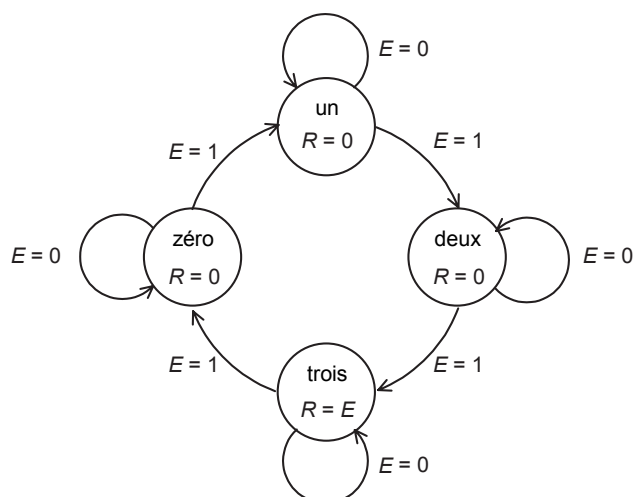


Fig. 35 – Graphe d'un compteur binaire modulo 4 avec commande de blocage et retenue.

un 1 logique pendant une période d'horloge de base lorsque le bouton poussoir  $B$  est activé (mis à 1) :

$S$  = mise sous tension,

$A$  = état d'attente de l'appui sur  $B$ ,

$G$  = génération du 1 en sortie,

$R$  = attente du relâchement de  $B$ ...

#### Méthode du tableau :

On dresse la table des états successifs du système en quatre colonnes : commande, état présent, état suivant et sortie comme le montre le tableau de la figure 36.

Ensuite on dresse le tableau avec les codes binaires choisis pour chacun des états, par exemple :  $A = [01]$ ,  $G = [10]$ ,  $R = [11]$   $S = [00]$ .

La synthèse d'une telle machine peut être réalisée avec deux bascules  $D$  dans lesquelles les entrées  $D$  sont les sorties  $Q$  des « suivants » (tableau de la figure 36). D'où les équations

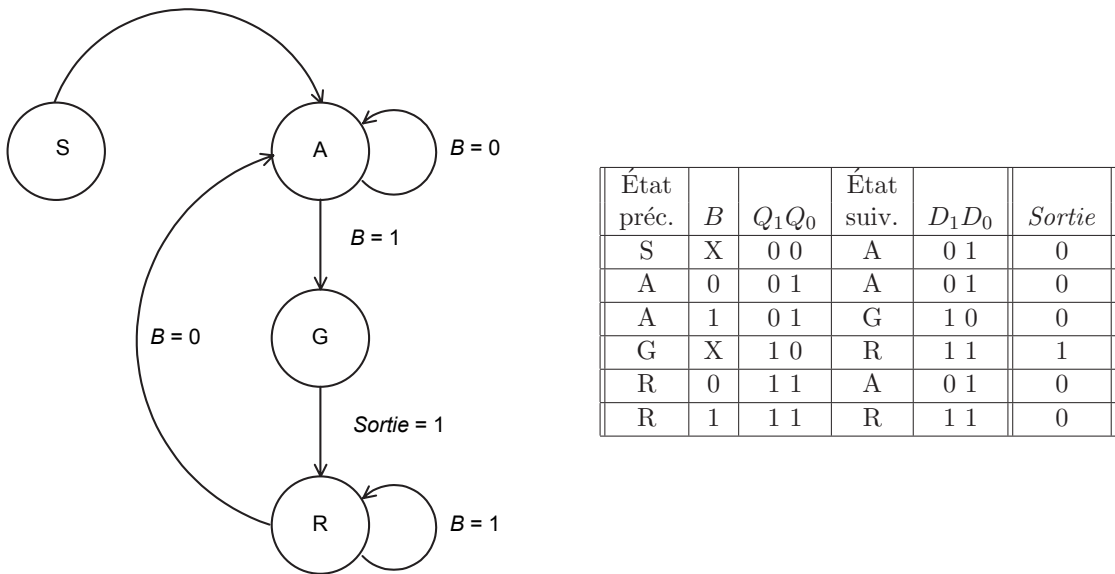


Fig. 36 – Graphe d'une machine séquentielle et table des états et des codes successifs.

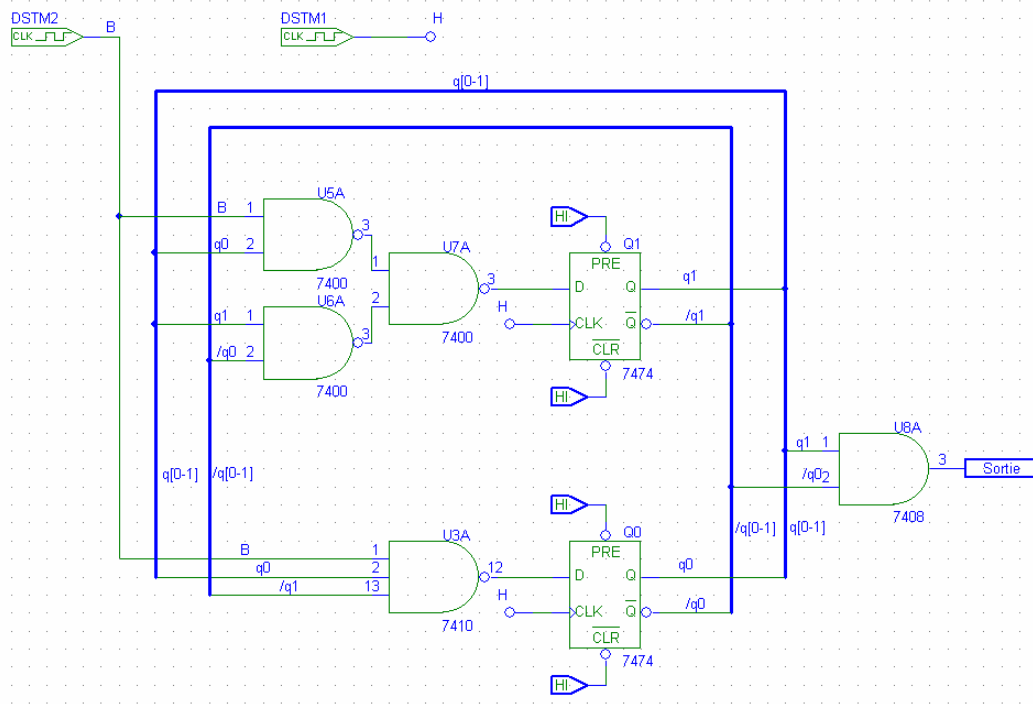


Fig. 37 – Circuit logique d'une machine séquentielle.

régissant le système (qui peuvent être obtenues par un tableau de Karnaugh par exemple) et conduisant à la structure finale :

$$D_0 = \overline{B} + Q_1 + \overline{Q_0} = \overline{B \cdot \overline{Q_1} \cdot Q_0}$$

$$D_1 = B \cdot Q_0 + Q_1 \cdot \overline{Q_0} = \overline{\overline{B \cdot Q_0} \cdot \overline{Q_1} \cdot \overline{Q_0}}$$

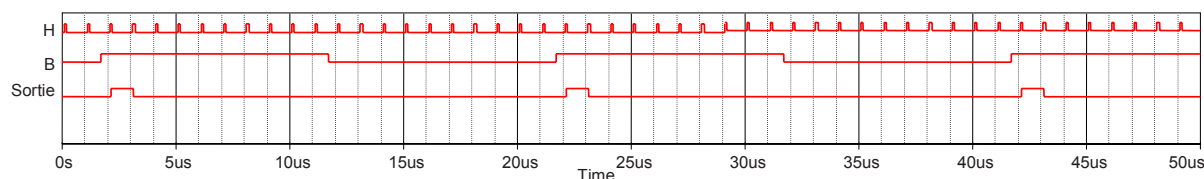


Fig. 38 – Chronogramme de la machine séquentielle.

$$\text{Sortie} = Q_1 \cdot \overline{Q_0}$$

La figure 37 montre le circuit logique réalisant la fonction séquentielle de la figure 36 en vue d'une simulation avec PSpice et la figure 38 montre le résultat de la simulation.

On imagine facilement les limites de la méthode, puisque, très vite, les tableaux deviennent inexploitable « à la main ». En réalité, la démarche étant systématique, des programmes pour ordinateur ont été élaborés pour traduire directement une description du cycle de fonctionnement soit sous forme graphique, soit sous forme textuelle dans un langage approprié (comme *ABEL*<sup>10</sup>, *Verilog* ou *VHDL*<sup>11</sup>) en un ensemble d'équations logiques minimisées.

### 5.3 – Compteur modulo 10

Tableau IX – Table des états successifs d'un compteur décimal.

Présent	$Q_3Q_2Q_1Q_0$	Suivant	$D_3D_2D_1D_0$
0	0 0 0 0	1	0 0 0 1
1	0 0 0 1	2	0 0 1 0
2	0 0 1 0	3	0 0 1 1
3	0 0 1 1	4	0 1 0 0
4	0 1 0 0	5	0 1 0 1
5	0 1 0 1	6	0 1 1 0
6	0 1 1 0	7	0 1 1 1
7	0 1 1 1	8	1 0 0 0
8	1 0 0 0	9	1 0 0 1
9	1 0 0 1	0	0 0 0 0

Reprenons à présent la conception du compteur modulo 10 du § 4.5 page 236 à l'aide de la méthode précédente. Ici la situation est relativement simple du fait qu'il n'y a ni variable d'entrée ni variable de sortie mais seulement des changements d'état représentés sur le tableau IX.

La synthèse peut être réalisée à partir de bascules D pour lesquelles les entrées  $D$  sont les sorties  $Q$  des « suivants ». Le tableau IX permet alors de déduire les équations logiques régissant le système :

$$D_0 = \overline{Q_0}$$

<sup>10</sup> Advanced Boolean Equation Language.

<sup>11</sup> Very high speed circuits Hardware Description Language.



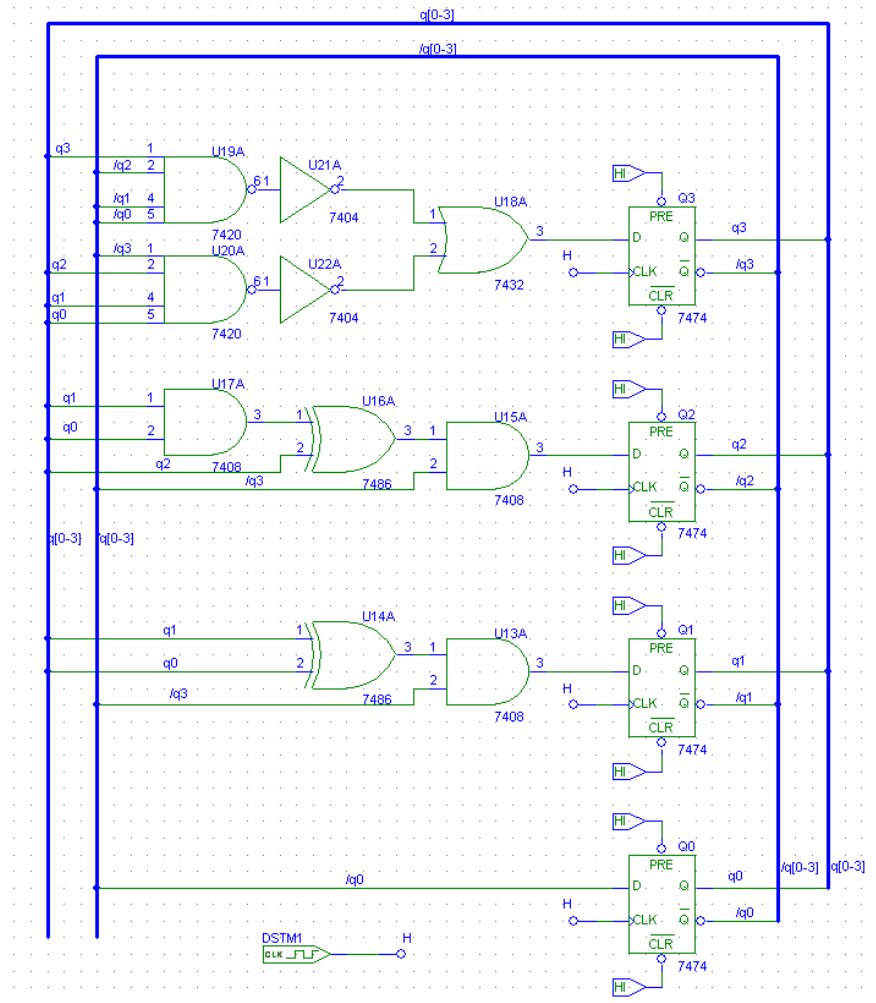


Fig. 39 – Compteur décimal synchrone.

$$D_1 = \bar{Q}_3 \cdot (Q_1 \oplus Q_0)$$

$$D_2 = \bar{Q}_3 \cdot [Q_2 \cdot \oplus(Q_1 \cdot Q_0)]$$

$$D_3 = Q_3 \cdot \bar{Q}_2 \cdot \bar{Q}_1 \cdot \bar{Q}_0 + \bar{Q}_3 \cdot Q_2 \cdot Q_1 \cdot Q_0$$

La figure 39 montre le schéma du circuit en vue de la simulation avec PSpice et la figure 40 montre les chronogrammes obtenus. Si l'on compare les chronogrammes des figures 33.b et 40.b qui sont à la même échelle, on constate que les aléas de fonctionnement au moment de la transition ont disparu. Bien sûr, le prix à payer pour obtenir un fonctionnement satisfaisant est une complexité accrue de la conception mais comme cela a déjà été souligné, des outils existent pour l'aide à la conception des circuits synchrones. L'un d'entre eux est brièvement présenté au paragraphe suivant.

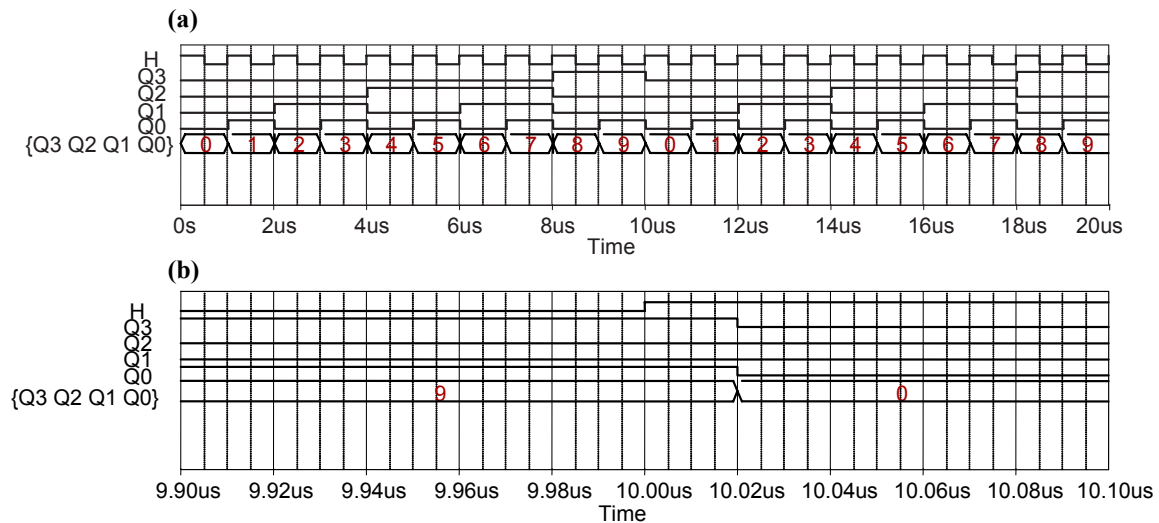


Fig. 40 – Chronogrammes du compteur décimal synchrone.

#### 5.4 – Exemple de description VHDL

À titre d'illustration, la figure 41 donne le fichier d'entrée en VHDL décrivant le compteur décimal étudié précédemment, les sorties sont notées Q3, Q2, Q1, Q0. Lorsque ce fichier est utilisé comme fichier source dans un environnement de développement de circuits programmables, par exemple (*Altera, Xilinx, Lattice, AMD, etc. . .*), il est « compilé » en un fichier binaire de programmation matérielle qui peut être alors déchargé dans un circuit à configuration programmable par l'utilisateur.

Le « compilateur » fournit un grand nombre d'indications sur l'implantation matérielle obtenue ainsi que toutes les fonctions booléennes reliant toutes les sorties à chacune des entrées de la fonction. Pour ce compteur, par exemple, quelques lignes extraites du rapport de compilation sont données sur la figure 42.

On peut constater que le choix des bascules s'est porté sur des bascules T et D, le vocable TFFE (ou DFFE) désignant des bascules T (ou D) comportant une entrée E(*noble*) qui permet d'en figer éventuellement le contenu (c'est-à-dire d'inhiber le fonctionnement habituel). VCC correspond au niveau 1 et GLOBAL indique que le signal d'horloge est commun à toutes les bascules.

La syntaxe est la suivante : TFFE(entrée T, horloge, entrée E, clear\_bar, set\_bar) ou DFFE(entrée D, horloge, entrée E, clear\_bar, set\_bar).

Les deux derniers champs correspondent à deux entrées directes (asynchrones) utilisées à la mise sous tension.

```

LIBRARY ieee;

USE ieee.std_logic_1164.all;
USE ieee.std_logic_unsigned.all;

ENTITY Decade IS
  PORT(
    horloge      : IN    STD_LOGIC;
    Q            : OUT   STD_LOGIC_VECTOR(3 downto 0)
  );
END Decade ;

ARCHITECTURE LaPlusSimple OF Decade IS
  SIGNAL compte : STD_LOGIC_VECTOR(3 downto 0);

BEGIN

  Comptage: Process(horloge)
  BEGIN
    IF (horloge'event AND horloge='1') THEN
      IF compte = 9 THEN
        compte <= "0000";
      ELSE
        compte <= compte + 1;
      END IF;
    END IF;
  END Process;

  Q <= compte;

END LaPlusSimple;

```

Fig. 41 – Fichier VHDL décrivant un compteur décimal.

```

** EQUATIONS ** horloge : INPUT;

-- Node name is 'Q0' = 'compte0' Q0 = TFFE( VCC, GLOBAL( horloge), VCC, VCC, VCC);

-- Node name is 'Q1' = 'compte1' Q1 = DFFE( _EQ001 $ _LC022, GLOBAL( horloge), VCC, VCC, VCC);
_EQ001 = _LC022 & Q0 & !Q1 & !Q2 & Q3;

-- Node name is 'Q2' = 'compte2' Q2 = TFFE( _EQ002, GLOBAL( horloge), VCC, VCC, VCC);
_EQ002 = Q0 & Q1;

-- Node name is 'Q3' = 'compte3' Q3 = DFFE( _EQ003 $ _LC021, GLOBAL( horloge), VCC, VCC, VCC);
_EQ003 = _LC021 & Q0 & !Q1 & !Q2 & Q3;

-- Equation name is '_LC022', type is buried _LC022 = LCELL( Q1 $ Q0);

-- Equation name is '_LC021', type is buried _LC021 = LCELL( Q3 $ _EQ004);
_EQ004 = Q0 & Q1 & Q2;

```

Fig. 42 – Extrait du rapport de compilation.

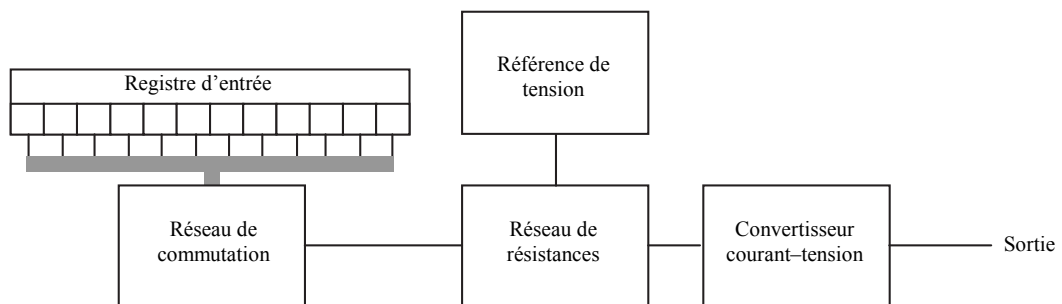


# Chapitre 12

## Conversions numérique–analogique et analogique–numérique

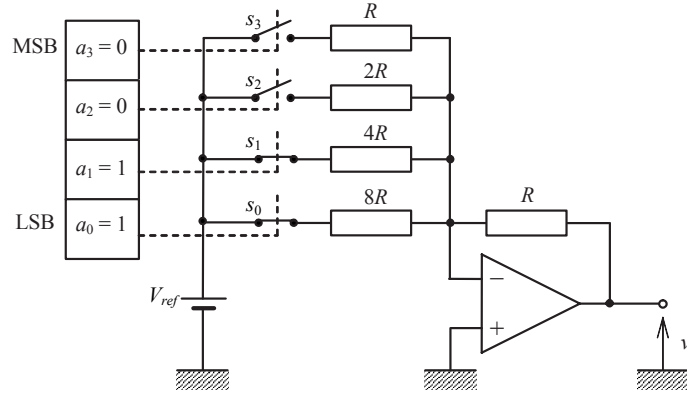
### 1 – Conversion numérique–analogique

#### 1.1 – Principe



**Fig. 1** – Schéma de principe d'un CNA.

Comme son nom l'indique, un convertisseur numérique–analogique (CNA ou *DAC* = *Digital-to-Analog Converter*) est un dispositif chargé de transformer un signal numérique, c'est-à-dire un nombre binaire exprimé sous forme d'un ensemble pondéré de signaux logiques, en une grandeur analogique (généralement une tension). Il en existe plusieurs types qui se différencient par leurs spécifications (précision, vitesse, prix, etc.) et c'est souvent l'application à traiter qui dicte le choix du convertisseur. Parmi les plus répandus actuellement on trouve les convertisseurs à résistances pondérées, les convertisseurs à réseau  $R/2R$ , les convertisseurs  $\Sigma/\Delta$ , les convertisseurs à réseau de condensateurs... seuls les deux premiers types seront décrits ici. La figure 1 donne l'architecture générale d'un convertisseur numérique–analogique :



**Fig. 2** – Convertisseur numérique–analogique 4 bits à résistances pondérées.

- le registre numérique d'entrée est chargé de garder en mémoire le nombre binaire pendant le temps de conversion,
- le réseau de commutation détermine les résistances qui seront mises en service pour réaliser la conversion,
- la référence de tension alimente le réseau de résistance et permet la détermination des grandeurs analogiques de sortie, la précision du convertisseur en dépend pour une grande part, elle peut être interne ou externe au CNA,
- le convertisseur courant–tension transforme les courants circulant dans les résistances en une tension de sortie, il n'est pas toujours inclus dans les CNA.

## 1.2 – CNA à résistances pondérées

Le dispositif représenté sur la figure 2 est basé sur un AOP monté en sommateur inverseur (cf. § 5.1 page 93). Chaque bit du registre d'entrée contenant le mot binaire à convertir est appliqué sur un interrupteur : si le bit  $a_k$  est à 0 l'interrupteur  $s_k$  est ouvert, si  $a_k$  est à 1,  $s_k$  est fermé et la résistance correspondante est connectée. Dans la pratique, les interrupteurs utilisés sont souvent des interrupteurs CMOS (cf. § 6.1 et § 6.2 page 197). Les valeurs des résistances sont en progression géométrique de raison 2. Pour un convertisseur à  $n$  bits, la plus petite résistance correspond au bit de poids le plus fort  $a_{n-1}$  (MSB) et la plus grande au bit de poids le plus faible  $a_0$  (LSB). Il est très simple de montrer que la tension de sortie du convertisseur s'écrit :

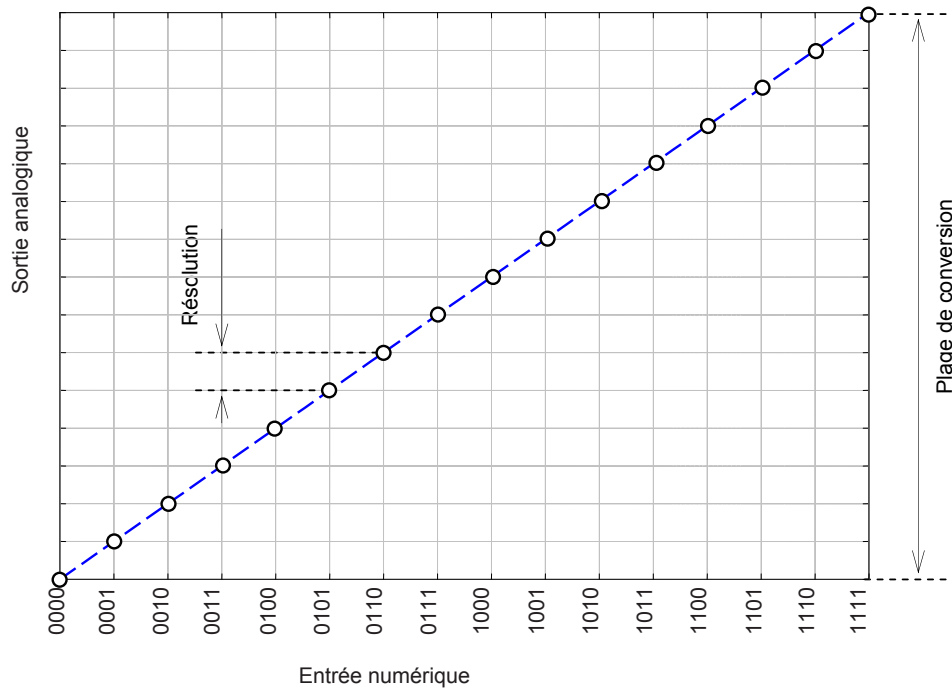
$$v_s = -V_{ref} \left( a_{n-1} + \frac{a_{n-2}}{2} + \frac{a_{n-3}}{4} + \dots + \frac{a_0}{2^{n-1}} \right) \text{ ou encore :}$$

$$v_s = \frac{-V_{ref}}{2^{n-1}} (2^{n-1}a_{n-1} + 2^{n-2}a_{n-2} + 2^{n-3}a_{n-3} + \dots + a_0) = \frac{-V_{ref}}{2^{n-1}} \sum_{k=0}^{n-1} 2^k a_k \text{ qui s'écrit}$$

plus simplement :

$$v_s = \frac{-N_{10}V_{ref}}{2^{n-1}} \quad \text{où : } N_{10} = \sum_{k=0}^{n-1} 2^k a_k \text{ est l'équivalent décimal du mot binaire } a_{n-1} \dots a_2 a_1 a_0.$$

Dans le cas d'un convertisseur à 4 bits on aurait :  $v_s = \frac{-V_{ref}}{8} (8a_3 + 4a_2 + 2a_1 + a_0)$ .



**Fig. 3** – Caractéristique de transfert d'un convertisseur numérique–analogique 4 bits.

Le principal défaut de ce convertisseur tient à la valeur des résistances à utiliser pour le réaliser. Un CNA à 16 bits nécessite des résistances dont la valeur s'étale entre  $R$  et  $2^{15}R$ , si  $R = 1 \text{ k}\Omega$ , alors la résistance la plus élevée vaut environ  $33 \text{ M}\Omega$ , valeur impossible à réaliser dans un circuit intégré avec la précision nécessaire pour garantir la résolution du convertisseur. C'est pourquoi on lui préfère le CNA à réseau R/2R qui sera décrit plus loin.

### 1.3 – Définitions

Les définitions qui suivent s'appuient sur l'exemple précédent mais elles concernent en fait tous les types de CNA.

#### – Plage de conversion

En valeur absolue, la tension de sortie varie entre 0 (pour  $a_{n-1} \cdots a_2 a_1 a_0 = 0 \cdots 000$ ) et  $\Delta V_{max}$  (pour  $a_{n-1} \cdots a_2 a_1 a_0 = 1 \cdots 111$ ).  $\Delta V_{max}$  est appelée la plage de conversion du convertisseur (Fig. 3).

Dans le cas du CNA précédent :  $\Delta V_{max} = \frac{(2^n - 1) V_{ref}}{2^{n-1}}$  et pour un convertisseur à 4 bits :

$$\Delta V_{max} = \frac{15V_{ref}}{8}.$$

### – Résolution

On appelle « résolution » ou parfois « quantum de conversion » du convertisseur la valeur absolue de la variation de tension de sortie lorsque l'entrée numérique varie d'une unité (Fig. 3) elle est égale à la valeur analogique du LSB. Dans le cas du CNA précédent :  $V_{LSB} = \frac{V_{ref}}{2^{n-1}}$ , soit  $V_{LSB} = \frac{V_{ref}}{8}$  pour un convertisseur à 4 bits.

### – Dynamique

La « dynamique » d'un convertisseur est le rapport entre la résolution et la plage de conversion, pour tous les CNA elle vaut  $D = 2^n - 1$  ou encore  $D \approx 2^n$  dès que  $n > 4$ . Dans le cas du CNA précédent on a bien :  $D = \frac{\Delta V_{max}}{V_{LSB}} = 2^n - 1$  soit  $D = 15 \approx 23$  dB pour un convertisseur à 4 bits. Un convertisseur 8 bits a une dynamique d'environ  $2^8 = 256 \approx 48$  dB.

## 1.4 – Imperfections des convertisseurs

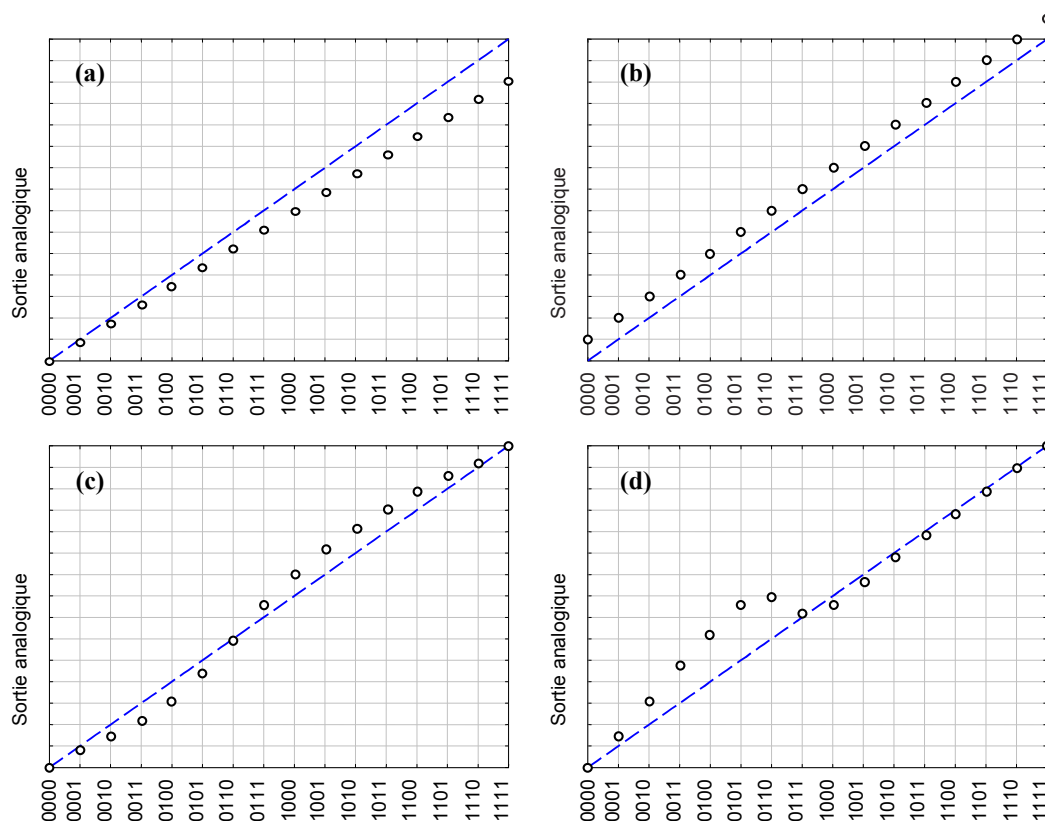


Fig. 4 – Principales imperfections des convertisseurs numérique–analogique : erreur de gain (a), erreur d'offset (b), erreur de linéarité (c) et erreur de monotonie (d).

La figure 3 représente la caractéristique de transfert d'un CNA idéal. Dans la pratique, la tension de sortie s'écarte plus ou moins de la droite idéale. Quelques-uns des principaux



défauts sont illustrés sur la figure 4 auxquels s'ajoutent les imperfections propres aux composants analogiques utilisés tels les AOP (cf. § 4 page 87).

### 1.5 – CNA à réseau de résistances $R/2R$

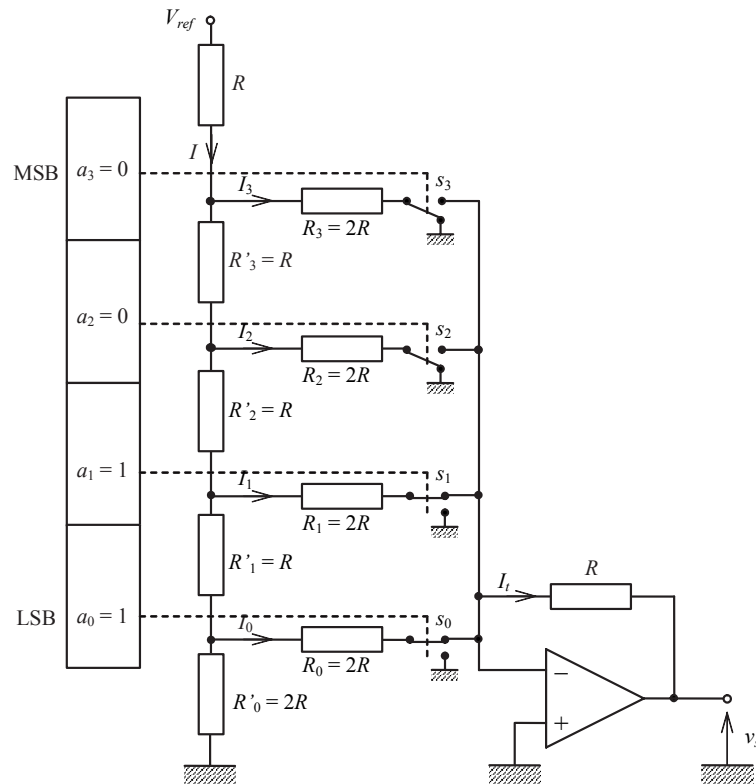


Fig. 5 – Convertisseur numérique–analogique 4 bits à réseau  $R/2R$ .

Pour s'affranchir du défaut des CNA à résistances pondérées, on fait appel à la structure représentée sur la figure 5 qui n'utilise que deux valeurs de résistances  $R$  et  $2R$ .

Comme précédemment, les interrupteurs  $s_k$  sont commandés par les bits  $a_k$  du mot binaire à convertir. Ici ils connectent la résistance  $R_k = 2R$  correspondante soit sur l'entrée inverseuse de l'AOP, soit à la masse. Comme l'AOP est bouclé, les deux entrées sont au même potentiel (masse virtuelle) de sorte que, quelle que soit la position de l'interrupteur  $s_k$  la résistance  $R_k$  a toujours une borne à la masse. La position des interrupteurs ne change donc pas la valeur des courants qui circulent dans le réseau  $R/2R$  qui se présente alors sous la forme de la figure 6.a.

Les deux résistances  $R_0$  et  $R'_0$  ont la même valeur  $2R$  et sont donc parcourues par le même courant, on a donc :  $I_0 = I'_0 = \frac{I_1}{2}$ .

Les résistances  $R'_1$ ,  $R_0$  et  $R'_0$  sont équivalentes à une seule résistance :

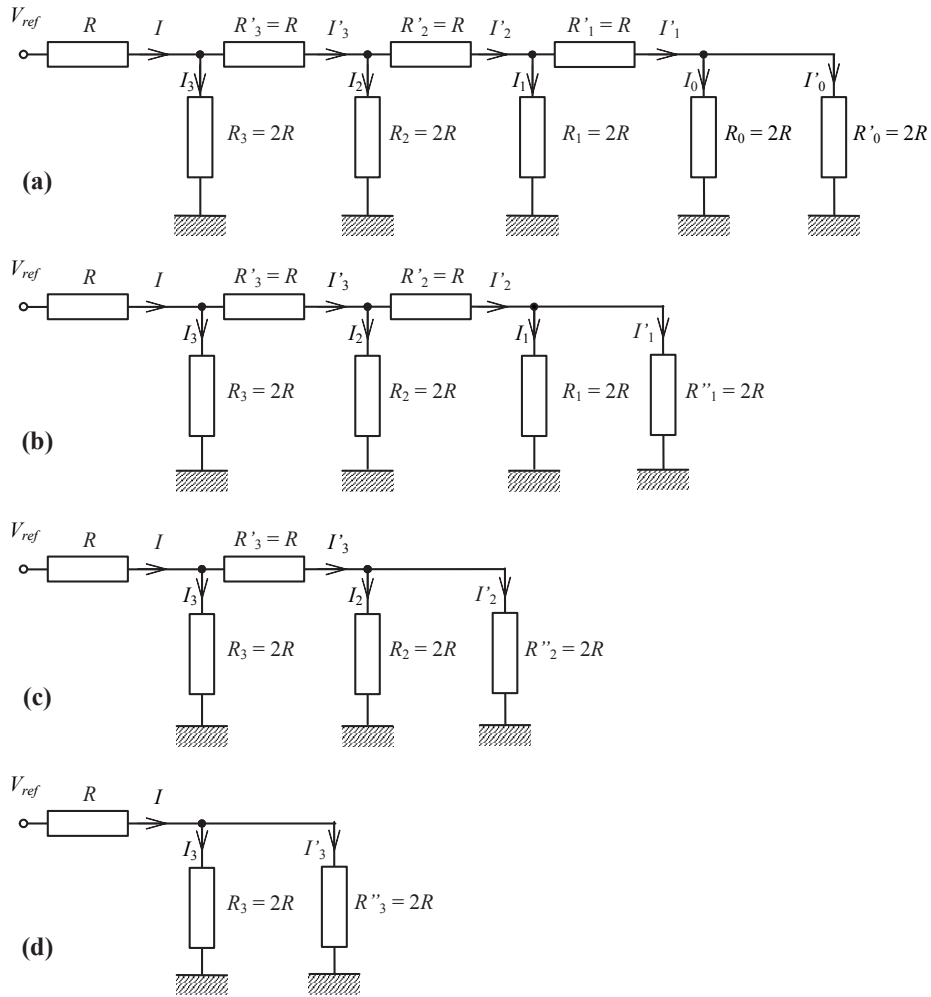


Fig. 6 – Calcul des courants dans un réseau  $R/2R$ .

$R''_1 = R'_1 + R_0 // R'_0 = 2R$  et le circuit peut se réduire à celui de la figure 6.b dont la dernière partie donne une configuration identique à celle de l'étape précédente. On obtient donc par un raisonnement analogue :  $I_1 = I'_1 = \frac{I'_2}{2}$ .

Une nouvelle itération du raisonnement conduit à la figure 6.c qui permet d'écrire :  $I_2 = I'_2 = \frac{I'_3}{2}$ .

Enfin la dernière étape du raisonnement conduit à la figure 6.d qui montre que :

$I_3 = I'_3 = \frac{I}{2}$ , avec  $I = \frac{V_{ref}}{2R}$ . Chaque résistance  $R_k$  est donc parcourue par un courant :  $I_k = \frac{I_{k+1}}{2}$  (avec  $I_n = I$ ) et l'on a :

$$I_3 = \frac{I}{2} = \frac{V_{ref}}{4R}, \quad I_2 = \frac{I_3}{2} = \frac{V_{ref}}{8R}, \quad I_1 = \frac{I_2}{2} = \frac{V_{ref}}{16R}, \quad I_0 = \frac{I_1}{2} = \frac{V_{ref}}{32R}.$$

La formule se généralise facilement pour un CNA à  $n$  bits :  $I_k = \frac{I_{k+1}}{2} = \frac{I}{2^{n-k}} = \frac{V_{ref}}{2^{n-k+1}R}$ .

La tension de sortie du CNA (Fig. 5) vaut  $v_s = -RI_t$  où  $I_t$  est la somme des courants circulant dans les résistances  $R_k$  connectées :  $I_t = \sum_{k=0}^{n-1} a_k I_k = \frac{V_{ref}}{2} \sum_{k=0}^{n-1} \frac{a_k}{2^{n-k} R}$  d'où :

$$v_s = \frac{-V_{ref}}{2} \sum_{k=0}^{n-1} \frac{a_k}{2^{n-k}} = \frac{-V_{ref}}{2^{n+1}} \sum_{k=0}^{n-1} 2^k a_k = \frac{-N_{10} V_{ref}}{2^{n+1}},$$

on obtient donc un résultat analogue à celui du CNA à résistances pondérées :

$$v_s = \frac{-V_{ref}}{4} \left( a_{n-1} + \frac{a_{n-2}}{2} + \frac{a_{n-3}}{4} + \dots + \frac{a_0}{2^{n-1}} \right)$$

à un facteur  $\frac{1}{4}$  près (qui peut d'ailleurs être corrigé en donnant une valeur  $4R$  à la résistance de contre-réaction de l'AOP).

### Remarque

Les expressions des tensions de sortie des convertisseurs numérique–analogique données dans ce paragraphe ne sont que des exemples, l'expression exacte dépend en grande partie de la réalisation matérielle du convertisseur et il convient de consulter la documentation du composant pour connaître l'expression de sa loi de conversion (voir par exemple le cas des convertisseurs génériques utilisés par le simulateur *PSpice* au § 3 page 259).

## 2 – Conversion analogique–numérique

### 2.1 – Principe

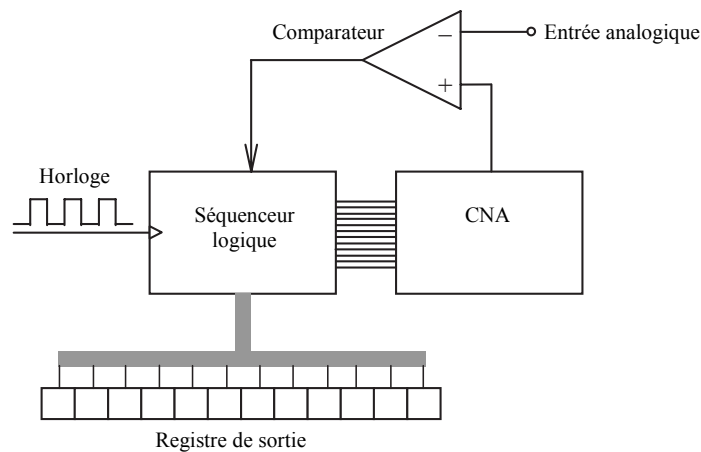


Fig. 7 – Schéma de principe d'un CAN.

Le convertisseur analogique–numérique (CAN ou *ADC = Analog-to-Digital Converter*) est un dispositif chargé de transformer un signal analogique (généralement une tension) en une grandeur numérique, c'est-à-dire un nombre binaire. Comme pour les CNA, il en existe plusieurs types qui se différencient par le compromis vitesse/précision qu'ils réalisent. Parmi les plus répandus actuellement on trouve les convertisseurs parallèles (*Flash converter*), les convertisseurs à approximations successives, les convertisseurs à

comptage d'impulsions (simple ou double rampe). La figure 7 donne l'architecture générale des deux derniers types de convertisseurs analogique–numérique constitués par :

- le séquenceur logique qui balaie les codes binaires de façon appropriée,
- le CNA dont on a vu quelques exemples précédemment qui convertit les codes issus du séquenceur en une tension analogique,
- le comparateur qui compare la sortie analogique du CNA à la tension à convertir et arrête le processus de séquençage lorsqu'elle sont égales, à ce moment le séquenceur transmet le mot binaire dans le registre de sortie.

## 2.2 – CAN parallèle

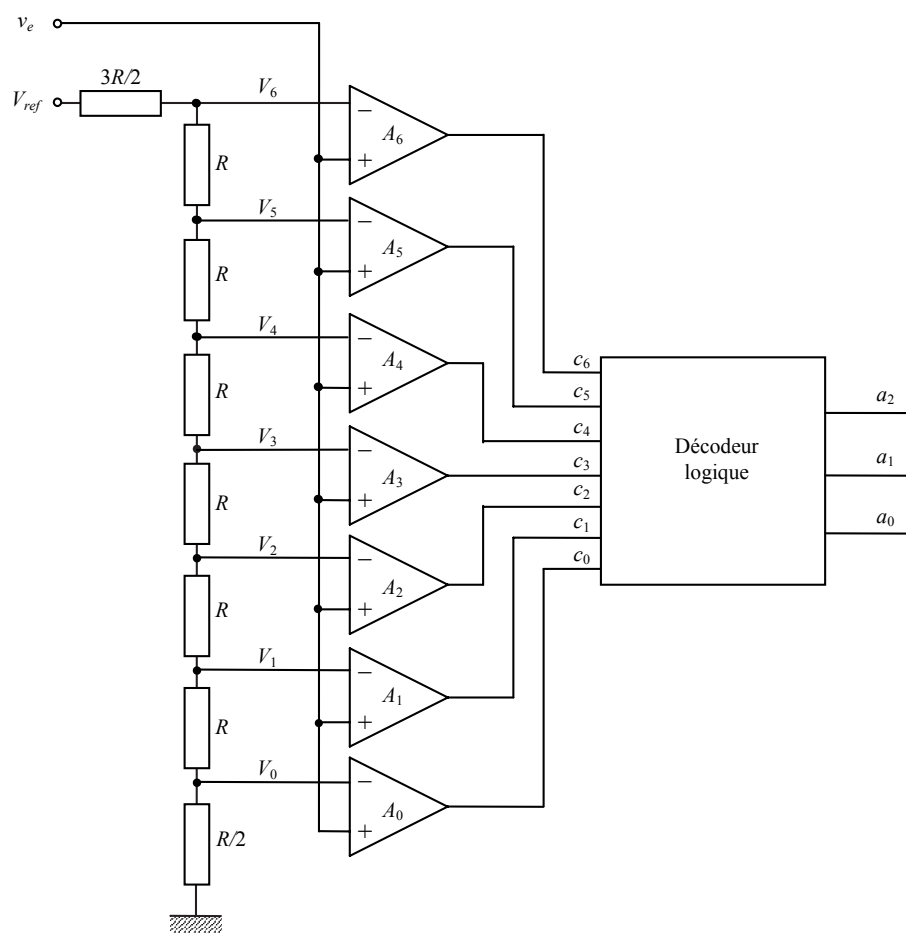


Fig. 8 – CAN parallèle.

### – Fonctionnement

Dans un CAN parallèle à  $n$  bits, tel que le CAN à 3 bits représenté sur la figure 8, la tension  $v_e$  à convertir est comparée simultanément à  $2^n - 1$  tensions de référence. Pour un CAN à 3 bits il y a donc 7 comparateurs et 7 tensions de référence ( $V_0$  à  $V_6$ ) fixées par la tension de référence  $V_{ref}$  et par le réseau de résistances dont toutes les valeurs sont égales

**Tableau I** – Fonctionnement d'un CAN parallèle.

$V_k$	$v_e$	$c_6c_5c_4c_3c_2c_1c_0$	$a_2a_1a_0$
$V_0 = V_{ref}/16$	$v_e < V_0$	0 0 0 0 0 0 0	0 0 0
$V_1 = 3V_{ref}/16$	$V_0 \leq v_e < V_1$	0 0 0 0 0 0 1	0 0 1
$V_2 = 5V_{ref}/16$	$V_1 \leq v_e < V_2$	0 0 0 0 0 1 1	0 1 0
$V_3 = 7V_{ref}/16$	$V_2 \leq v_e < V_3$	0 0 0 0 1 1 1	0 1 1
$V_4 = 9V_{ref}/16$	$V_3 \leq v_e < V_4$	0 0 0 1 1 1 1	1 0 0
$V_5 = 11V_{ref}/16$	$V_4 \leq v_e < V_5$	0 0 1 1 1 1 1	1 0 1
$V_6 = 13V_{ref}/16$	$V_5 \leq v_e < V_6$	0 1 1 1 1 1 1	1 1 0
	$v_e \geq V_6$	1 1 1 1 1 1 1	1 1 1

à  $R$  exceptées la première qui vaut  $R/2$  et la dernière qui vaut  $3R/2$ . Cette particularité permet de faire basculer le premier comparateur  $A_0$  quand la tension d'entrée vaut la moitié de la tension équivalente à 1 bit, de ce fait, l'erreur de quantification est centrée à zéro au lieu d'être systématiquement négative.

Les tensions de référence sont égales à  $V_k = \frac{(2k+1)V_{ref}}{2^{n-1}}$ . Pour un CAN à 3 bits on obtient les valeurs de la 1<sup>ère</sup> colonne du tableau I.

Lorsque la tension d'entrée  $v_e$  est inférieure à  $V_0$  tous les comparateurs  $A_k$  sont saturés à  $V_{sat-}$  qui correspond au niveau logique 0 appliqué sur les entrées  $c_k$  du décodeur logique. Lorsque  $v_e$  augmente, les comparateurs basculent l'un après l'autre et le décodeur convertit l'entrée  $c_6c_5c_4c_3c_2c_1c_0$  en mot binaire de 3 bits  $a_2a_1a_0$  comme le montre le tableau I.

### – Propriétés

Le principal intérêt de ce type de convertisseur est sa grande vitesse qui est fixée par celle des comparateurs et du décodeur logique. Les cadences de conversion peuvent atteindre plusieurs MHz voire plusieurs centaines de MHz pour les oscilloscopes numériques et les applications vidéo. La principale limitation est liée au nombre de comparateurs nécessaires, un comparateur à 8 bits nécessite  $2^8 - 1 = 255$  comparateurs. Dans la pratique ces CAN sont limités à 6 ou 8 bits, il existe cependant des convertisseurs semi-parallèles ou hybrides (parallèle et approximations successives) utilisant moins de comparateurs et conservant une cadence de conversion élevée, ce type de CAN existe avec des résolutions de 12 bits.

## 2.3 – CAN à approximations successives

### – Principe

Les principales composantes d'un CAN à approximations successives sont représentées sur la figure 9 :

- le séquenceur logique délivre un code binaire à l'entrée du CNA,
- la tension de sortie du CNA est comparée à la tension analogique  $v_e$  à convertir,
- en fonction du résultat, le code binaire est modifié de manière à approcher la valeur à trouver.

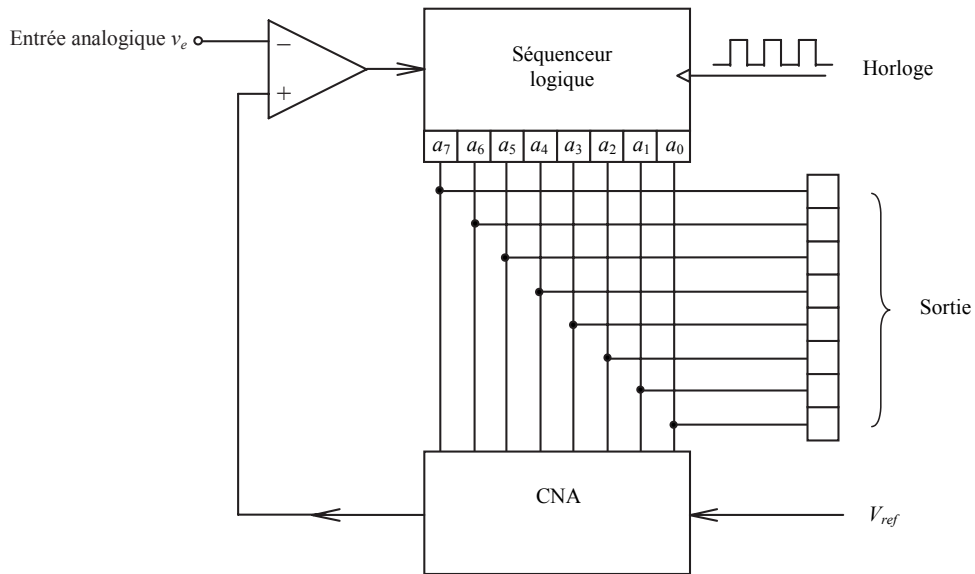


Fig. 9 – Principe d'un CAN à approximations successives.

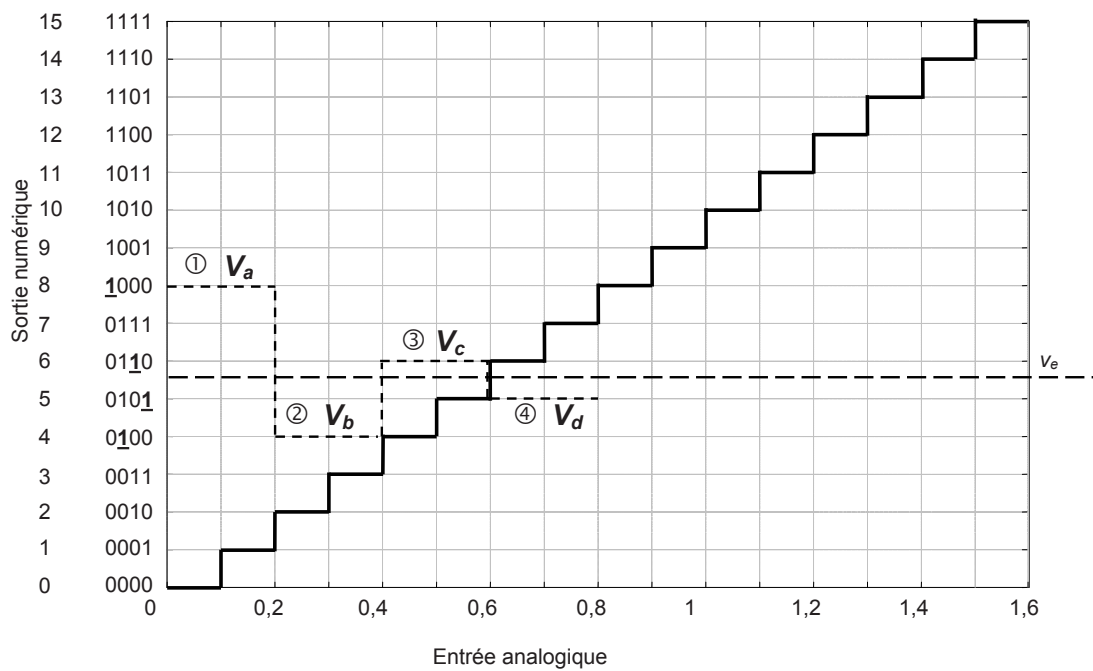


Fig. 10 – Principe de la dichotomie.

### – Séquenceurs à dichotomie

Les séquenceurs les plus utilisés reposent sur le principe de la dichotomie (Fig. 10) :

- la tension  $v_e$  est comparée à une tension de référence  $V_a$  correspondant à tous les bits à 0 sauf le MSB à 1 (Fig. 10, étape ①), si  $v_e > V_a$  le MSB reste à 1, sinon il est mis à 0,

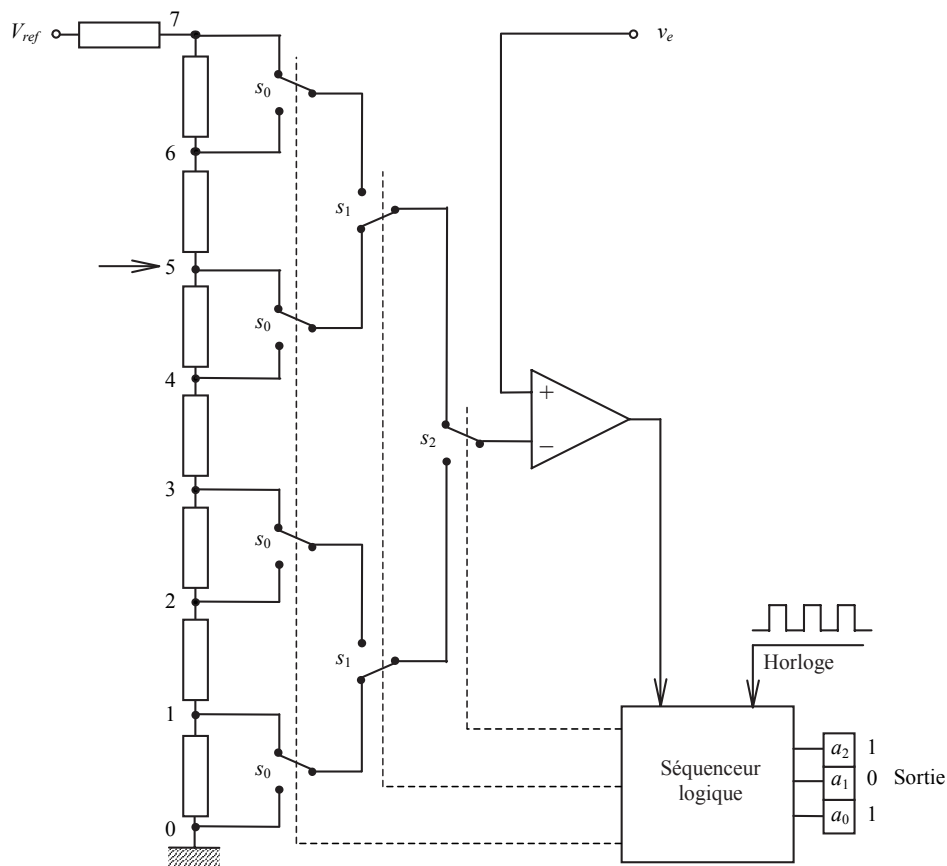


Fig. 11 – CAN à approximations successives par dichotomie à 3 bits.

- le MSB garde la valeur précédente, le bit suivant est mis à 1 ce qui correspond à la tension de référence  $V_b$  (Fig. 10, étape ②) et la même procédure est appliquée : si  $v_e > V_b$  le 2<sup>ème</sup> bit reste à 1, sinon il est mis à 0,
- le processus est réitéré de bit en bit,  $n$  fois pour un convertisseur à  $n$  bits.

La conversion est rapide (théoriquement  $n$  périodes d'horloge pour un convertisseur à  $n$  bits) et le temps de conversion est le même quelle que soit la tension d'entrée. La figure 11 montre un exemple de convertisseur à approximations successives à 3 bits dans lequel on retrouve le réseau de résistances du CAN parallèle (Fig. 8) mais ici le réseau de comparateurs est remplacé par un réseau de commutateurs (*switching tree*). L'extrémité du réseau (dernier commutateur  $s_2$  à droite) est connectée sur une des entrées du comparateur dont l'autre entrée est connectée à la tension à convertir  $v_e$ . Noter ici que chaque sortie logique du séquenceur actionne simultanément tous les commutateurs de même niveau (tous les commutateurs de même nom situés sur la même verticale). Sur l'exemple de la figure 11, le mot binaire  $a_2a_1a_0 = 101 = 5_{10}$ , valeur que l'on retrouve bien en suivant le chemin des commutateurs fermés (Fig. 11).

On peut remarquer que l'ensemble formé par les réseaux de résistances et de commutateurs constitue une solution pour réaliser un CNA, il suffirait de lui ajouter un suiveur. Il est cependant plus coûteux en composants que les CNA à réseau R/2R étudiés précédemment.

### – Propriétés

Les CAN à approximations successives sont généralement précis, leur vitesse est principalement limitée par le temps d'établissement du CNA, la vitesse de réaction du comparateur et la complexité de la logique. Les convertisseurs courants à 12 bits ont un temps de conversion de l'ordre de quelques dizaines de  $\mu\text{s}$  pour les meilleurs marché (ce qui correspond à des cadences d'échantillonnage de 5 à 500 kHz environ) mais on trouve des CNA dont le temps de conversion peut descendre à 1  $\mu\text{s}$  (20 MHz). Pour que le système fonctionne correctement, il faut que le signal analogique d'entrée garde sa valeur pendant toute la durée de la conversion. Cette opération est réalisée par un échantillonneur/bloqueur qui mémorise la valeur analogique de la tension à convertir (§ 6.3 page 199). Ce type de CAN est très répandu par exemple en audio numérique, dans les cartes d'acquisition de données, dans les micro-contrôleurs, etc.

## 2.4 – CAN à comptage d'impulsions simple rampe

### – Principe

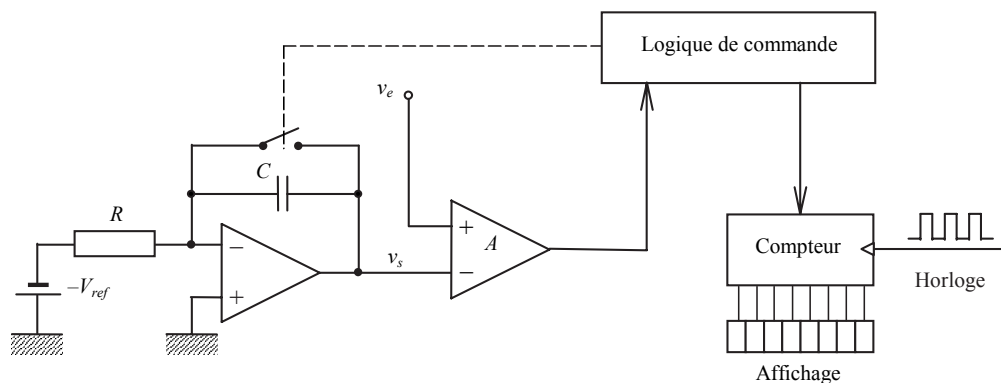


Fig. 12 – CAN à comptage d'impulsions simple rampe.

Le principe du convertisseur simple rampe est représenté sur la figure 12, il comporte :

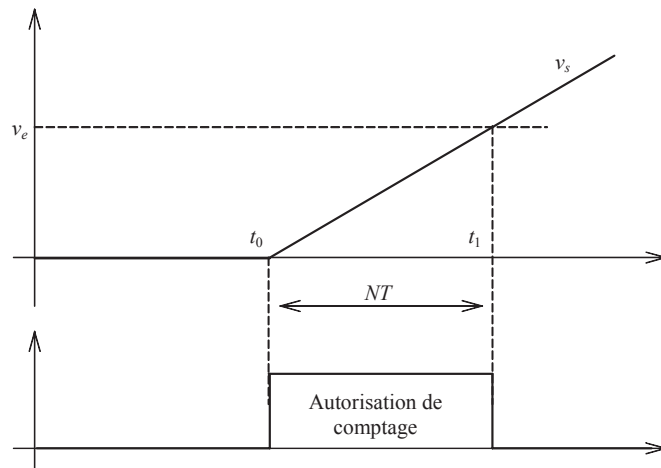
- un générateur de rampe réalisé par l'intégration d'une tension de référence  $-V_{ref}$ ,
- un comparateur qui compare la rampe à la tension  $v_e$  à convertir,
- un circuit logique de commande qui gère le comptage,
- un compteur synchronisé par une horloge et le système d'affichage.

En début de cycle, l'intégrateur et le compteur sont remis à zéro, à l'instant  $t_0$  du début de mesure, le circuit logique commande le début de comptage des impulsions délivrées par l'horloge, la tension de sortie de l'intégrateur  $v_s$  augmente alors linéairement avec le temps (Fig. 13). Lorsque la tension de rampe atteint la tension d'entrée  $v_e$  (à l'instant  $t_1$ ) le comparateur  $A$  bascule et la logique de commande arrête le compteur dont le contenu est mémorisée et transmis aux afficheurs.

En fait le convertisseur «chronomètre» le temps nécessaire pour que la tension de la rampe passe de 0 à  $v_e$ . La tension  $v_s$  est donnée par :

$$v_s = -\frac{1}{RC} \int_{t_0}^t -V_{ref} dt = V_{ref} \frac{t - t_0}{\tau} \quad \text{avec} \quad \tau = RC.$$





**Fig. 13** – Tension de sortie de l'intégrateur et période de comptage dans un CAN à comptage d'impulsions simple rampe.

Comme  $v_s(t_0) = 0$  et  $v_s(t_1) = v_e$  on a :

$$v_s = V_{ref} \frac{t_1 - t_0}{\tau} = V_{ref} \frac{NT}{\tau} \text{ avec } N \text{ nombre de périodes } T \text{ de l'horloge compté entre les instants } t_0 \text{ et } t_1.$$

### – Propriétés

La pleine échelle du convertisseur est fixée par le nombre de points maximal  $N_{max}$  autorisé par la dynamique du compteur et la résolution est l'inverse de  $N_{max}$ . Pour avoir une bonne résolution, à rampe égale, il faut donc une fréquence d'horloge élevée. L'expression de la tension de sortie montre qu'elle dépend de la période de l'horloge, de la tension de référence et des valeurs de la résistance  $R$  et de la capacité  $C$ . Ces deux derniers paramètres constituent un des points faibles de ce convertisseur car il est difficile de disposer de composants précis et stables en température et dans le temps.

Un autre inconvénient de ce convertisseur tient à sa grande sensibilité au bruit : une perturbation sur la tension d'entrée peut faire basculer l'AOP  $A$  et interrompre le comptage prématurément, la valeur affichée sera fautive en ce cas. Ce dernier point montre d'ailleurs que la tension d'entrée doit rester **constante** pendant toute la durée du comptage, il s'agit donc d'un convertisseur lent réservé aux applications très basse fréquence.

## 2.5 – CAN à comptage d'impulsions double rampe

### – Principe

Pour réduire les défauts des convertisseurs à simple rampe, on utilise la méthode de comptage double rampe dont le principe est représenté sur la figure 14. Dans ce dispositif, la mesure est réalisée en deux temps :

- en début de cycle, l'intégrateur et le compteur sont remis à zéro, à l'instant  $t_0$  du début de mesure, le circuit logique positionne l'inverseur d'entrée de l'intégrateur sur la

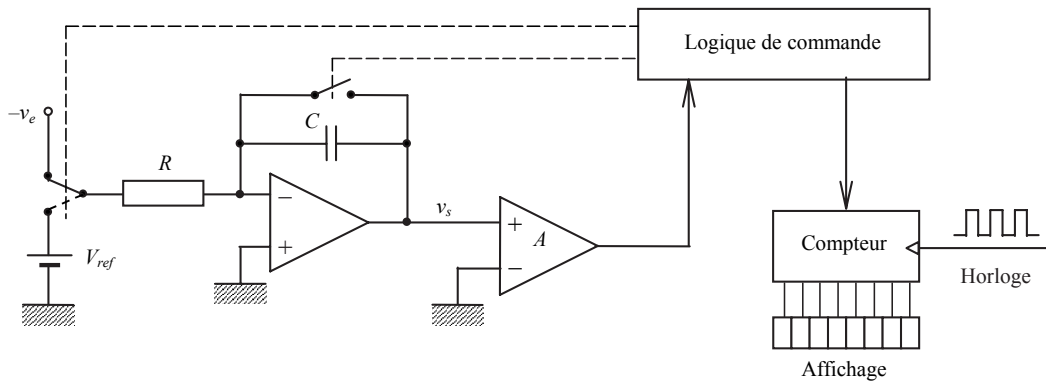


Fig. 14 – CAN à comptage d'impulsions double rampe.

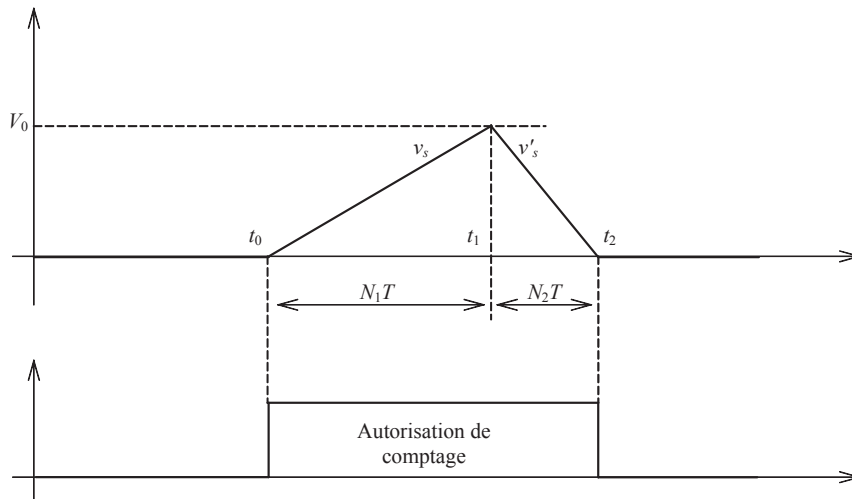


Fig. 15 – Tensions de sortie de l'intégrateur et de la porte dans un CAN à comptage d'impulsions double rampe.

tension à mesurer  $v_e$  et commande l'ouverture de la porte ce qui autorise le comptage des impulsions délivrées par l'horloge ; ce comptage est effectué pendant une durée fixe de  $N_1 T$  périodes d'horloge (Fig. 15),

- lorsque ce nombre est atteint, à l'instant  $t_1$ , l'inverseur est commuté sur la tension de référence  $V_{ref}$  de polarité opposée à celle de  $v_e$  et la tension de sortie de l'intégrateur  $v_s$  diminue alors linéairement avec le temps ; lorsque la tension de rampe devient nulle (instant  $t_2$ ) le comparateur  $A$  bascule et la porte se referme après avoir compté  $N_2 T$  périodes d'horloge.

Comme précédemment, la tension de rampe est donnée par la relation :

$$v_s = -\frac{1}{RC} \int_{t_0}^t -v_e dt = v_e \frac{t - t_0}{\tau} \quad \text{avec : } \tau = RC,$$

à l'instant  $t_1$  la tension de la rampe atteint la valeur  $V_0$  et l'on a :

$$V_0 = v_e \frac{t_1 - t_0}{\tau} = v_e \frac{N_1 T}{\tau}.$$

Entre les instants  $t_1$  et  $t_2$  la tension de rampe est donnée par la relation :

$$v'_s = -\frac{1}{RC} \int_{t_1}^t V_{ref} dt + V_0 = -V_{ref} \frac{t - t_1}{\tau} + V_0,$$

à l'instant  $t_2$  la tension de la rampe atteint la valeur 0, et l'on a :

$$0 = -V_{ref} \frac{t_2 - t_1}{\tau} + V_0 = -V_{ref} \frac{N_2 T}{\tau} + V_0 \quad \text{d'où : } V_0 = V_{ref} \frac{N_2 T}{\tau}.$$

En égalant les deux valeurs de  $V_0$  dans les deux phases de comptage, on obtient :

$$v_e \frac{N_1 T}{\tau} = V_{ref} \frac{N_2 T}{\tau} \quad \text{ou encore : } v_e = V_{ref} \frac{N_2}{N_1}.$$

L'expression obtenue est à présent indépendante de la résistance  $R$ , de la capacité  $C$  et de la période  $T$  de l'horloge<sup>1</sup>.

### – Propriétés

Les principaux inconvénients du comptage simple rampe sont éliminés par la technique à double rampe qui présente également une bien meilleure immunité au bruit car le signal d'entrée est intégré, de ce fait si un parasite perturbe le signal d'entrée, seule son intégrale sera prise en compte et sera d'autant moins perceptible sur la mesure que la perturbation sera plus brève. Cependant, comme les convertisseurs double rampe, la tension d'entrée doit être constante pendant la durée de la conversion (ou tout au moins pendant la 1<sup>ère</sup> partie). Comme le précédent, ce type de CAN est réservé aux applications très basses fréquence mais il permet une très bonne résolution.

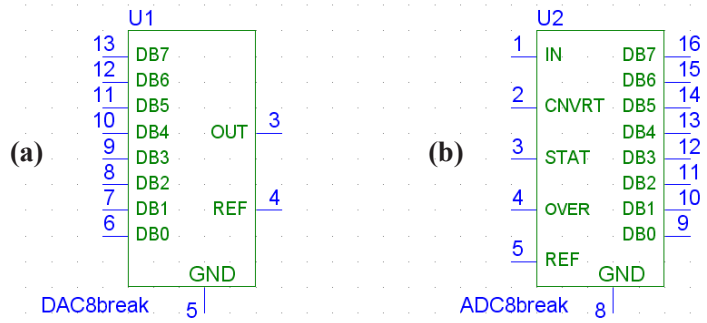
## 2.6 – Applications et caractérisation des CAN à comptage d'impulsions

Les CAN à comptage d'impulsions, simple ou double rampe, sont très répandus, principalement dans les applications de type multimètres car ils sont très précis et peu coûteux, cependant comme on l'a vu ils ne peuvent mesurer que des tensions statiques ou faire des moyennes. La dynamique des CAN n'est pas exprimée en bits mais en *points* qui correspondent à la capacité maximale du compteur. Les multimètres de poche ont une dynamique de 2 000 ou 3 000 points mais on trouve également des appareils plus évolués à 20 000, 30 000 ou même 100 000 points. La précision de ces appareils n'est cependant pas uniquement liée à la résolution et il convient d'être prudent. Par exemple un multimètre à 2 000 points, soit l'équivalent de 11 bits ( $2^{11} = 2 048$  points) qui a une précision de 0,5% pleine échelle (10 points) possède une dynamique effective de 200 points soit l'équivalent de 8 bits.

## 3 – Simulation des convertisseurs

La version d'évaluation de *PSpice* propose des convertisseurs génériques à 8, 10 ou 12 bits pour la simulation de ces fonctions. Des exemples de ces composants sont représentés figure 16.

<sup>1</sup>Cette méthode s'apparente à la double pesée avec une balance.



**Fig. 16** – Convertisseurs génériques de PSpice : numérique–analogique (a) et analogique–numérique (b).

### 3.1 – CNA

Appelés **DAC8break**, **DAC10break**, **DAC12break** suivant le nombre  $n$  de bits, ils se comportent comme des sources de tension commandées idéales dont la loi de conversion s’écrit (tension à la sortie **OUT**) :

$$V_{OUT} = \frac{N_{10} V_{REF}}{2^n}.$$

Les  $n$  bits du mot binaire dont l’équivalent décimal est  $N_{10}$  sont appliqués sur les entrées **DBk** ( $k = n - 1$  à  $0$ ) où **DB0** est le bit de poids faible.  $V_{REF}$  est la tension de référence placée entre les entrées **REF** et **GND**.

### 3.2 – CAN

Appelés **ADC8break**, **ADC10break**, **ADC12break** suivant le nombre  $n$  de bits, ils convertissent la tension analogique d’entrée  $V_{IN}$  (tension entre **IN** et **GND**) en un mot binaire disponible sur les  $n$  sorties **DBk** ( $k = n - 1$  à  $0$ ) où **DB0** est le bit de poids faible.

La loi de conversion s’écrit :

$$(N_{10}) = \frac{V_{IN}}{V_{REF}} 2^n,$$

les parenthèses autour de  $(N_{10})$  indiquent un arrondi à la valeur la plus proche.  $V_{REF}$  est une tension de référence placée entre les entrées **REF** et **GND**. La conversion a lieu lorsque l’entrée **CNVRT** est mise à 1. Pendant la conversion qui n’est pas instantanée, la sortie **STAT** normalement à 0 passe à 1 et pendant la conversion les variations de  $V_{IN}$  ne sont pas prises en compte.

Si la tension d’entrée est négative tous les bits de sortie sont mis à 0 et la sortie **OVER** passe à 1.

Si la tension d’entrée est supérieure à  $V_{REF}$  tous les bits de sortie sont mis à 1 et la sortie **OVER** passe à 1.

Pour plus de détails sur ces convertisseurs, consulter la documentation.