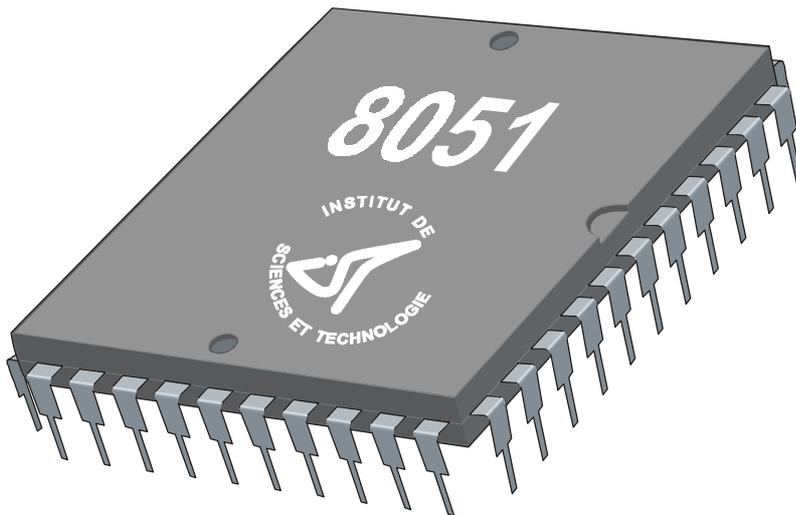


IV

NOTES : Exemples d'application



APPLICATIONS DU 8051

1 Horloge Temps Réel DALLAS DS 1302

Ce circuit est une horloge calendrier capable de compter secondes, minutes, heures et date jusqu'en 2100 ;il comporte en plus 31 cases mémoire de 8 bits à usage général...Le boîtier comporte 2 accès d'alimentation, le 5V est normalement appliqué sur la broche 1 (Vcc2), la broche 8 étant reliée à un supercondensateur qui est maintenu en charge par le circuit et assure la sauvegarde de l'heure en cas de coupure de l'alimentation principale. La charge de ce condensateur est contrôlée par un octet chargé dans un registre interne Trickle Charge Register d'adresse 1001000R/W. (Voir documentation constructeur)

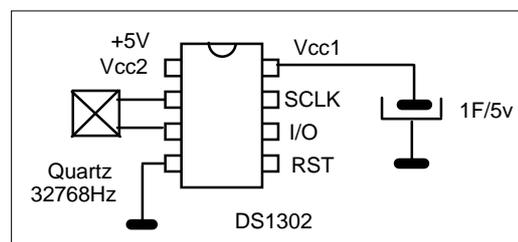
Les adresses des registres internes sont définies sur 7 bits, le MSB étant toujours 1, le second un 0 pour la zone horloge, un 1 pour la RAM, auxquels s'ajoute un 8eme bit indiquant si la case considérée est en lecture (1) ou écriture (0), les 10 premières adresses sont les registres utilisés par l'horloge-calendrier :

Adresses		Organisation
1000000R/W	Secondes	CH Dizaine de Sec Secondes
1000001R/W	Minutes	0 Dizaine de minutes Minutes
1000010R/W	Heures	12/24 0 10/1/P Heure Heure
1000011R/W	Date	00 Dizaine date unités date
1000100R/W	Mois	000 1 ou 0 Mois
1000101R/W	Jour de la semaine	00000 Jour 1 à 7
1000110R/W	Année	Dizaine Unités
1000111R/W	Contrôle	WP 0000000
1001000R/W	Trickle Charger	
1011111R/W	Clock Burst	
1100000R/W à	Mémoire RAM	
1111111R/W	RAM	

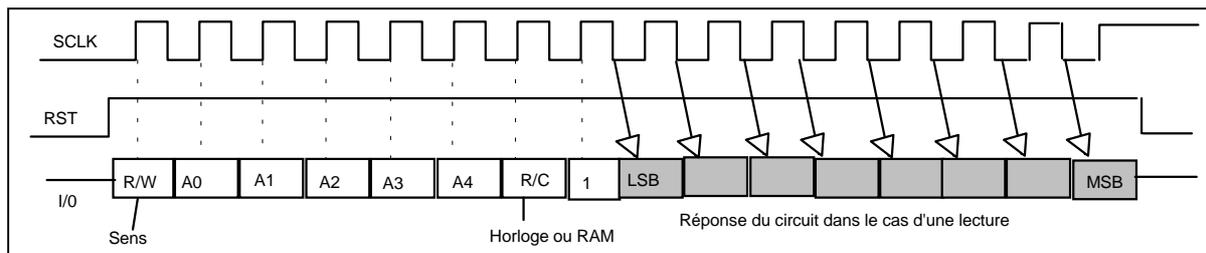
Les nombres sont codés en DCB. on se reportera à la documentation complète pour le contenu des registres de chargement (Trickle Charge Register) et de Control. L'heure peut être notée entre 0 et 24 ou 0 à 12 avec P et M comme aux USA, ce choix est déterminé par le premier bit du registre heures. Le MSB du registre des secondes (CH) doit être mis à 0 pour lancer l'oscillateur interne.

Le contenu de chaque registre peut être lu ou modifié à volonté. Un mode BURST permet le défilement de la totalité du contenu de la mémoire, octet après octet. (Voir doc complète)

Dans le cas d'une lecture unique on doit présenter d'abord l'adresse, LSB en tête (Ce LSB est le bit R/W indiquant le sens de l'échange), pour une lecture le contenu de la case visée est transmis ensuite.(LSB en tête) L'échange est de type série sur la broche 6 (I/O) du circuit. Une broche SCLK reçoit le signal d'horloge qui séquence le transfert. Chaque bit est écrit dans le boîtier sur le front de montée de l'horloge et dans le cas d'une lecture transféré sur I/O sur le front de descente de cette même horloge.



Le logiciel écrit pour un 8031 respecte le timing ci dessous. Les temps minimum requis sont tous compatibles avec une gestion directe par un 8031 à 12Mhz d'horloge sans ajout de NOP.



**;commande de l'horloge DALLAS DS1302
;Ce programme lit le fichier secondes et l'affiche sur P3**

```

;P1.0 est le fil /RST du boîtier
;P1.1 est le fil d'horloge SCLK que nous appellerons H
;P1.2 est le fil d'entrée sortie I/O appelé D
;Nous effectuerons toujours l'accès par transfert d'un seul octet
; SINGLE BYTE TRANSFER
;L'octet d'adresse à envoyer d'abord est chargé dans R2
;l'octet de commande dans le cas d'un envoi de commande est dans R3
;l'octet lu dans le cas d'une lecture est versé dans R4
;R5 est un compteur
;On utilise deux sous programmes
      ;COMAND pour envoyer une commande; avec comme paramètres R2 et R3
      ;LIT avec deux paramètres l'adresse R2 et le résultat R4

```

```

=====
ORG 0
RST EQU P1.0
H EQU P1.1
D EQU P1.2
;
MOV P1,#0 ;état de repos
;-----
MOV R2,#8EH ;adresse du registre de contrôle
; le bit 7 du registre de contrôle (WP) doit être à 0 pour autoriser l'écriture
MOV R3,#0 ;mettre D7 à 0
LCALL ECRIT ;autorisation d'écriture
;
MOV R2,#80H ;adresse du registre des secondes
MOV R3,#0 ;pour RAZ bit 7 (CH) ce qui lancera l'horloge et contenu 0
LCALL ECRIT ;lancement timer, l'horloge commence à compter à partir de 0
;
MOV R2,#8EH ;adresse du registre de contrôle
MOV R3,#80H ;pour interdire de nouveau les écritures WP=1
LCALL ECRIT
;
SECONDES:MOV R2,#81H ;adresse du registre des secondes en lecture
LCALL LIT ;lecture des secondes
MOV P3,R4 ;affichage sur P3 du chiffre des secondes
;
LCALL UNESEC ;retard environ une seconde
SJMP SECONDES

```

```

=====
;Sous programmes de service
=====

```

```

ECRIT:SETB RST ;montée de /RST
MOV A,R2 ;chargement de l'adresse
MOV R5,#8 ;compteur de bits
SUIVANT1:RRC A ;bit dans Carry
MOV D,C ;bit sur I/O du boîtier
SETB H
CLR H ;top d'horloge
DJNZ R5,SUIVANT1
; fin du transfert d'adresse SCLK est basse
MOV A,R3 ;chargement de l'octet de commande

```

```

MOV R5,#7      ;compteur
SUIVANT2:RRC A
MOV D,C
SETB H
CLR H
DJNZ R5,SUIVANT2
RRC A          ;pour le dernier bit SCLK ne doit pas redescendre
MOV D,C
SETB H
CLR RST ;fin du transfert
MOV R5,#255
DJNZ R5,$     ;repos entre deux transferts
CLR H        ;reset de SCLK pour le transfert suivant
RET

```

```

;-----
LIT:MOV A,R2
MOV R5,#7     ;7 seulement car l'horloge ne doit pas revenir à 0
             ;à la fin de l'adresse
SETB RST     ;début de transfert
SUIVANT3:RRC A
MOV D,C
SETB H
CLR H
DJNZ R5,SUIVANT3
RRC A        ;traitement du dernier bit
MOV D,C
SETB H      ;montée d'horloge pour charger le dernier
             ;bit de l'adresse
;CLR A      ;pour préparer l'arrivée des bits
MOV R5,#7   ;compteur
RECU:CLR H  ;descente d'horloge
MOV C,D     ;transfert dans C
RRC A      ;poussé dans A
SETB H     ;montée d'horloge
DJNZ R5,RECU
CLR H
MOV C,D
RRC A
MOV R4,A   ;sauvetage de l'octet dans R4
SETB H
CLR RST
MOV R5,#255
DJNZ R5,$
CLR H
RET

```

```

;-----
UNESEC:MOV R7,#2      ;retard une seconde
MOV R6,#0
MOV R5,#0
SO1:DJNZ R5,SO1
DJNZ R6,SO1
DJNZ R7,SO1
RET
END.

```

2 . Convertisseur Analogique Numérique série LTC1298

Le LTC1298 de LINEAR TECHNOLOGY est un double CAN série. Alimenté sous 5V il consomme moins de 500µA et effectue une conversion sur 12 bits par approximations successives d'une tension comprise entre 0 et 5V en 60µS.

Présenté en boîtiers DIP ou SOIC8 8 broches il est relié au microprocesseur qui le pilote par 3 ou 4 fils seulement.

Son brochage est représenté ci contre:

Outre l'alimentation 5V (Vcc et GND) le circuit comprend:

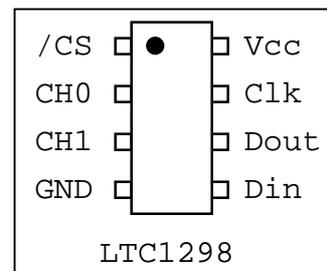
Les entrées CH0 et CH1 pour les deux voies de conversion. Ces deux entrées peuvent être utilisées séparément ou en mode différentiel.

/CS est la borne de sélection qui est forcée au niveau bas pendant une conversion.

CLK est l'entrée d'horloge qui séquence la conversion , fréquence maximale 250kHz

Dout est la borne ou sortent en série les 12 bits du mot de sortie.

Din est une borne d'entrée qui permet d'entrer une commande, mode de fonctionnement et numéro du canal (0 ou 1) ; Ces deux accès peuvent être reliés ensemble pour réduire le nombre de fils .



Le séquençement .

La conversion commence avec l'abaissement de /CS .

Quatre bits doivent être entrés , dans l'ordre:

Un 1 de start.

SGL/DIFF qui vaut 1 si chaque canal est utilisé seul (gamme 0 5V)

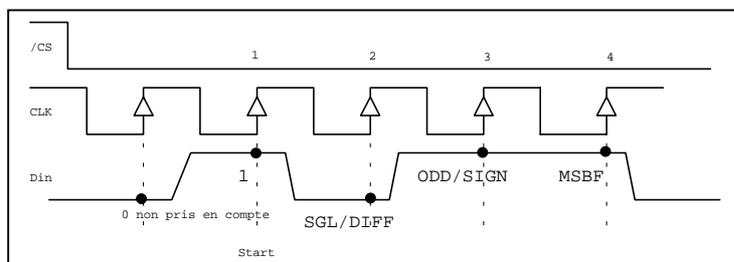
Et 0 pour une entrée différentielle CH1-CH0

ODD/SIGN qui détermine le signe .Voir tableau ci contre .

MSBF le mot de sortie peut être présenté MSB en tête (MSBF=1) ou LSB en tête (MSBF=0)

	SGL/DIFF	ODD/SIGN	Canal utilisé		Masse
			0	1	
	1	0	+		-
	1	1		+	-
Mode différentiel	0	0	+	-	
Mode différentiel	0	1	-	+	

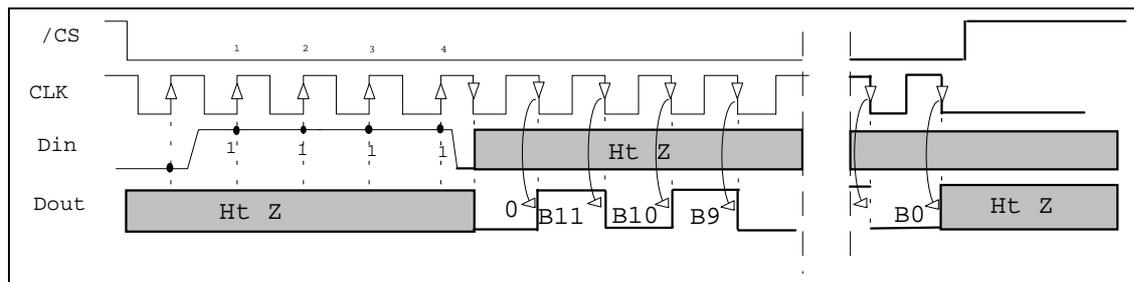
Les bits entrés sont pris en compte par le circuit sur le front de montée de l'horloge CLK .Il faut donc 4 fronts de montée d'horloge ,le premier correspondant au premier 1 sur Din . (figure ci dessous) .Avant le premier 1 sur Din les fronts de montée de CLK sont ignorés.



Les bits du résultat de la conversion sont affichés sur Dout à chaque front de descente de CLK. Sur le premier front de descente qui suit le front de montée n°4 , un 0 est forcé sur Dout pendant que Din est placé en haute impédance (Ce qui permet de relier les deux accès).Les 12 bits suivants apparaissent sur Dout sur

les 12 fronts de descente suivants de CLK..Dout passe en haute impédance après le 12eme front, Les fronts suivants de CLK sont ignorés et /CS peut être remonté à 1.

La figure suivante représente la totalité d'une conversion .Les 4 premiers bits sont au 1 ce qui correspond à une conversion sur l'entrée 1 .

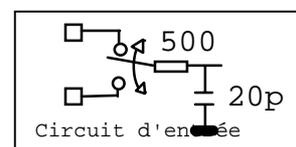


La conversion délivre un mot de 12 bits , de 000000000000 pour $V_{in}=0$ à 111111111111 pour $V_{in}=5V$.

Attention c'est le 5V d'alimentation qui sert de référence. Pour que le LSB soit significatif il faut que ce 5V soit parfaitement stabilisé et exempt de toute ondulation ou bruit résiduel , en effet le LSB a pour poids $5/4096=1,22mV$

(Le circuit LTC1289 est équivalent mais ne contient qu'un seul convertisseur et intègre une référence ultra stable)

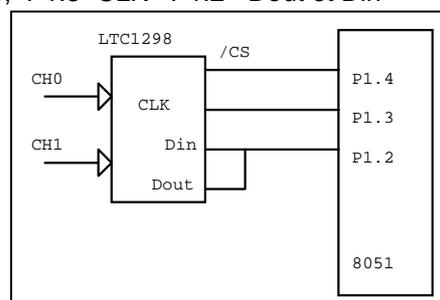
Chacune des entrées est équivalente à une résistance de 500Ω en série avec un condensateur de $20pf$ commuté ; Figure ci contre. Il faut vérifier que la perturbation de la tension de sortie due à cette commutation est inférieure au LSB. En pratique à la vitesse maximale une résistance de 750Ω placée en série avec les entrées provoque une erreur de 1 LSB . Si la source d'entrée a une impédance interne élevée il suffit de baisser la fréquence d'horloge.



Pilotage par un 8051 et logiciel

Trois fils du port P1 sont mis à contribution, P1.4=/CS, P1.3=CLK P1.2= Dout et Din
Le logiciel suivant est proposé par le constructeur LINEAR TECHNOLOGY dans le datasheet du circuit.

Un logiciel de base peut être le suivant ,il est facile de l'adapter à un besoin particulier.



	MOV	A,#0FFH	C'est le mot qui doit être entré sur Din ,4 bits seulement sont utilisés ,ici 1111 ,la tension convertie est celle présente sur le canal 1 avec sortie MSB en tête
	SETB	P1.4	Pour être sur que /CS est haut
	CLR	P1.4	/CS descend à 0, début de conversion
	MOV	R4,#4	R4 est utilisé comme compteur , mis à 4 pour introduire les 4 bits de commande
LOOP1	RCL	A	Le MSB de A (1) est chargé dans le Cy
	CLR	P1.3	L'horloge est abaissée
	MOV	P1.2,C	Le Cy est placé sur Din
	SETB	P1.3	Remontée d'horloge pour charger le bit présent sur Din
	DJNZ	R4,LOOP1	Décrément de R4 et si non nul nouvelle boucle pour charger le bit suivant
	MOV	P1.,#4	P1.2 devient une entrée
	CLR	P1.3	Descente d'horloge, un 0 apparaît sur Dout=P1.2
	MOV	R4,#9	Chargement du compteur R4 pour lire les 8 bits de plus fort poids y compris le premier 0
LOOP2	MOV	C,P1.2	L'état de Douit est chargé dans Cy

	RCL	A	Cy est poussé dans A vers la gauche. La boucle étant exécutée 9 fois, le premier 0 sera éliminé .
	SETB	P1.3	Montée d'horloge
	CLR	P1.3	Descente de CLK (front de descente, le bit suivant apparaît sur Dout)
	DJNZ	R4,LOOP2	bit suivant
	MOV	R2,A	Les 8 bits de plus fort poids sont stockés dans R2
	CLR	A	A=0
	MOV	R4,#4	Chargement du compteur pour les 4 derniers bits
LOOP3	MOV	C,P1.2	L'état de Dout est chargé dans Cy
	RLC	A	et poussé dans A vers la gauche
	SETB	P1.3	Montée d'horloge
	CLR	P1.3	Front de descente, le bit suivant est placé sur Dout
	DJNZ	R4,LOOP3	Suivant
	MOV	R4,#4	Compteur à 4 pour pousser les bits jusqu'à la position MSB sur A
LOOP4	RRC	A	Après 4 tours les 4 bits se retrouvent en haut de A soit A=B3 B2 B1 B0 0 0 0 0
	DJNZ	R4,LOOP4	
	MOV	R3,A	Les 4 bits de plus faible poids sont stockés dans R3 et suivis de 4 zéros.
	SETB	P1.4	/CS est remonté à 1 .Fin de conversion.

3 Pilotage d'une EEPROM série

Une EEPROM est une mémoire programmable et effaçable électriquement. Les boîtiers actuels peuvent être effacés plusieurs centaines de milliers de fois et l'information enregistrée subsiste en absence d'alimentation plusieurs dizaines d'années. Un tel composant est donc très intéressant chaque fois que l'on veut mémoriser une donnée qui doit être conservée après une coupure de courant ou un 'plantage' du processeur. Les EEPROM citées sont des composants de toute petite taille (boîtier 8 broches) pilotés en série par 4 fils. Le format de la liaison n'est absolument pas standard, chaque composant possède le sien. Nous décrivons ici un circuit de MICROCHIP, Thomson en fabrique de très semblables dont les signaux de commande sont très voisins.

Attention : Microchip a modifié le composant, le choix entre des mots de 8 ou 16 bits a été supprimé, le circuit décrit correspond au 93LC56B, le 93LC56A est organisé en mots de 16 bits

FONCTIONNEMENT DE LA MEMOIRE EEPROM SERIE 93LC56 (MICROCHIP)

Il s'agit d'une mémoire de 2K bits organisée en 256 mots de 8 bits ou 128 de 16 bits. La 93C46 est une 128x8 ou 64x16, la 93C66 a une capacité de 4K 512 mots de 8 bits ou 256 de 16 bits. La gestion de ces boîtiers est très voisine de celle des boîtiers concurrents d'origine Thomson par exemple.

Ce composant a une consommation très faible, 1mA seulement sous 5V (Alimentation de 2 à 6V) il peut supporter 1 million de cycles d'écriture effacement et la rétention des données est garantie sur 40 ans.

Le brochage DIP est reproduit ci contre.

Les circuits concurrents, par exemple NM93C/46/56/66 de National Semiconductor, ont un mode de gestion presque identique à quelques codes et temps d'accès près.

DESCRIPTION DES FONCTIONS

La PIN ORG permet de choisir la longueur des mots, à la masse elle détermine des mots de 8 bits, au +Vcc c'est 16 bits.

Les données significatives, données proprement dites bits de programmation ou d'adresse sont prélevés sur l'entrée DI sur le front montant de l'horloge CLK.

DO est normalement dans un état haute impédance sauf bien sûr pendant une lecture ou dans l'état test à la fin d'une opération de programmation. DO retourne à l'état HtZ lorsque CS retombe à l'état bas. Lors d'une lecture la valeur de DO est modifiée sur un front montant de CLK et stable 250nS plus tard.

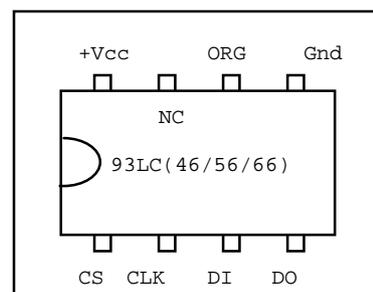
La condition de départ (START) est définie par CS=DI=1 et une transition montante de l'horloge CLK. Une instruction est ensuite effectuée en présentant en séquence sur l'entrée DI les bits convenables. A la fin de l'instruction CLK et DI sont sans effet jusqu'à la condition START suivante.

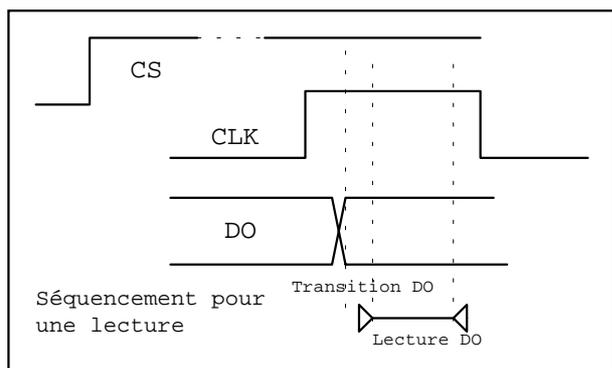
Il est possible de relier ensembles DI et DO mais un conflit peut se produire dans certaines conditions, une résistance de 1K peut être placée entre ces deux broches pour éviter ce conflit.

A la mise sous tension (POWER ON) le circuit est inactif tant que la tension n'atteint pas 1,4V, il en est de même inversement à la coupure (POWER DOWN)

A la mise sous tension le circuit se trouve dans un état où il est protégé contre les écriture ou effacement (état EWDS Erase Write Disable) Pour effectuer un effacement ou une écriture il faut donc préalablement exécuter une commande EWEN (Erase Write Enable).

LECTURE (READ)





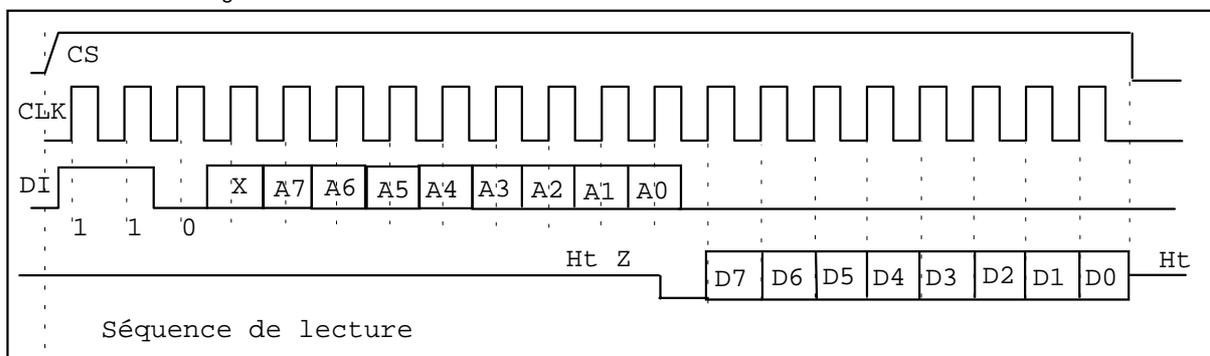
L'instruction READ envoie les bits en série sur la broche DO. Un faux zéro (Dummy Zéro) précède les 8 ou 16 bits du mot. Il est présent sur DO dès que le dernier bit de l'adresse (A0) a été reconnu. L'état de la broche DO est modifiée sur le front montant de l'horloge CLK, et peut être lue 250 nS plus tard. Si CS est maintenu au niveau haut après la lecture des 8 ou 16 bits, les bits de la case mémoire suivante sont envoyés séquentiellement. Ainsi toute la mémoire peut être vidée à partir d'une adresse de départ spécifiée.

Format de la transmission :

Code opération précédé de 1 suivi d'adresse (9 bits le premier étant quelconque pour un 93C56) + 8 bits sur DO

1 1 0- X- A7- A6- A5- A4- A3- A2- A1- A0 - D7- D6- D5- D4- D3- D2- D1- D0

Les bits soulignés sont présentés en sortie sur DO sur les fronts de montée de CLK. Au total 20 coups d'horloge sont nécessaires.



EWEN et EWDS

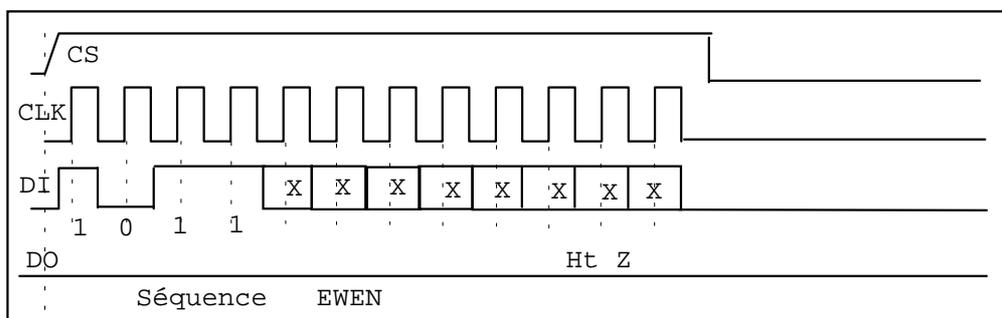
Lorsqu'une instruction EWEN est exécutée l'écriture ou l'effacement est possible jusqu'à l'exécution d'une instruction EWDS ou une coupure d'alimentation. Il est conseillé pour sécuriser les données d'exécuter une EWDS après une écriture. L'instruction READ reste possible dans tous les cas.

Format de la transmission :

L'instruction EWEN nécessite 12 bits

1 - 0 - 0 - 0 - 1 - 1 - X - X - X - X - X - X - X -

Pendant toute son exécution DO est dans l'état Haute Impédance (H t Z)

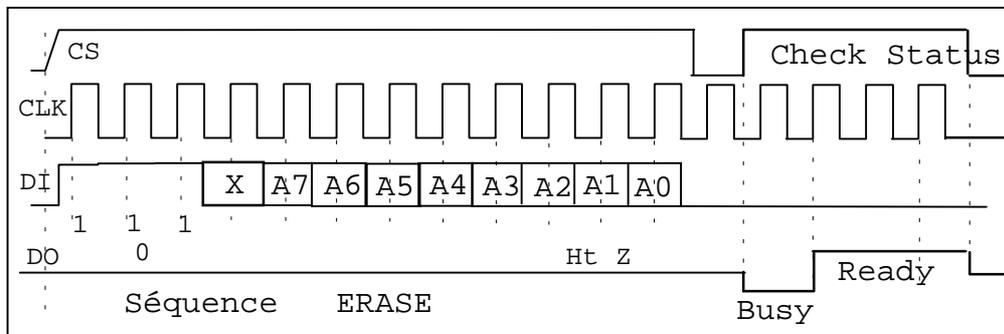


L'instruction EWDS est semblable avec une séquence de même longueur débutant par 1-0-0-0-0-0

EFFACEMENT (ERASE)

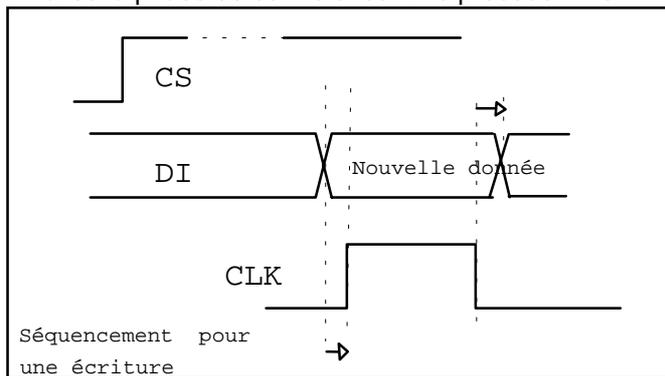
Cette instruction force tous les bits de l'adresse spécifiée au niveau haut. CS doit être mis à zéro pendant le cycle actif d'horloge qui suit l'envoi de l'adresse. Cet état bas démarre le cycle de programmation interne. La broche DO, lorsque CS est remonté à 1, indique l'état du circuit, occupé (Niveau 0) ou disponible (Niveau 1) Au total 12 coups d'horloge sont au minimum nécessaires. Le cycle d'effacement prend au moins 4mS par mot .

Format de la transmission :
Le mot code est 1 1 1 suivi des 9 bits d'adresse



ECRITURE (WRITE)

L'instruction WRITE est suivie par les 8 ou 16 bits à écrire à l'adresse spécifiée. Après le dernier bit sur DI CS doit être amené à zéro avant la prochaine montée d'horloge. Cette chute de CD initialise la phase de contrôle comme précédemment.



Format de la transmission :

Sur DI doivent être présentés : 1-0-1-X-A7-A6-A5-A4-A3-A2-A1-A0-D7-D6-D5-D4-D3-D2-D1-D0 suivi sur DO des états 0 puis 1 indiquant l'état occupé (BUSY) puis libre (Comme ci dessus) Au total 20 coups d'horloge sont nécessaires.

EFFACEMENT TOTAL (ERASE ALL)

Cette instruction met tous les bits de la mémoire à 1 .Elle est semblable à l'instruction ERASE mais avec un code différent. et sans indication d'adresse Le travail d'effacement est automatique et débute dès la chute de la broche CS. Le maintien du signal CLK n'est plus nécessaire dès que l'opération est engagée. L'état de la broche DO indique comme plus haut l'état du système. L'effacement est terminé lorsque DO revient à 1 .

Format de la transmission :
1-0-0-1-0-X-X-X-X-X-X-X 12 coups d'horloge nécessaires

WRITE ALL

Cette instruction est semblable à la précédente mais tous les mots de la mémoire sont écrits avec les bits imposés.

Format de la transmission :
1-0-0-0-1--X-X-X-X-X-X-X--D7-D6-D5-D4-D3-D2-D1-D0
Suivi du cycle de contrôle sur DO après un 0 sur CS comme plus haut

Le tableau ci dessous résume toutes ces informations .

Instruction	Start bit et code	Adresse	Data IN	Data OUT	Nombre de coups d'horloge
-------------	-------------------	---------	---------	----------	---------------------------

READ	1-1-0	A7-A6-A5-A4-A3-A2-A1-A0		D7.....D0	20
EWEN	1-0-0	1-1-X-X-X-X-X-X-		Ht Z	12
ERASE	1-1-1	A7-A6-A5-A4-A3-A2-A1-A0		RDY/BUSY	12
ERAL	1-0-0	1-0-X-X-X-X-X-X		RDY/BUSY	12
WRITE	1-0-1	A7-A6-A5-A4-A3-A2-A1-A0	D7.....D0	RDY/BUSY	20
WRAL	1-0-0	0-1-X-X-X-X-X-X	D7.....D0	RDY/BUSY	20
EWDS	1-0-0	0-0-X-X-X-X-X-X		Ht Z	12

DESCRIPTION DES BROCHES DU CIRCUIT

Chip Select CS

Un niveau haut sélectionne le circuit. Un niveau bas le déconnecte. Cependant si CS est amené au niveau bas pendant l'exécution d'une instruction cette dernière s'effectue cependant jusqu'à son terme, le circuit passe ensuite seulement dans l'état bloqué.

CS doit rester au moins 250nS au niveau bas pour que ce niveau soit pris en compte.

CS doit passer au niveau bas entre deux instructions successives.

Serial Clock CLK

Il est utilisé pour synchroniser le transfert de l'information. La borne DI est échantillonnée sur le front de montée de CLK alors que la nouvelle valeur de DO est introduite sur ce même front et stable ensuite au bout de 250nS au plus. L'horloge peut être stoppée lorsqu'une instruction est en cours d'exécution et relancée plus tard. Le signal CLK est sans effet si CS est bas. Si CS est haut mais que la condition START n'a pas été détectée un certain nombre de cycles d'horloge peuvent être appliqués sans effet.

DI DO sont les entrées et sorties de données

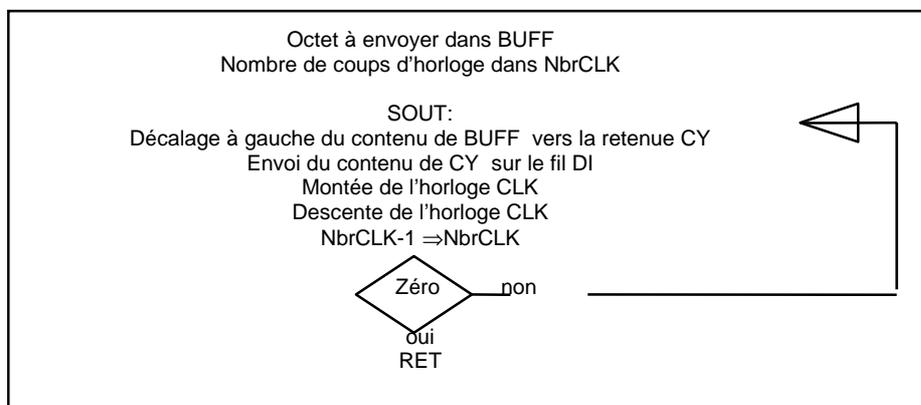
ORG permet de choisir entre des mots de 8 ou 16 bits. Cette entrée n'existe plus sur les composants récents, il faut choisir entre 93LC56 A ou B

LE PROGRAMME DE GESTION SUR 8031

Des zones mémoire sont réservées pour stocker la donnée (lue ou à mémoriser) l'adresse, et un nombre de coups d'horloge. Ce sont ici des cases mémoires en haut de la RAM interne (Adresses 127-126 ...).

Les mots codes correspondant aux diverses opérations sont associés au start bit (1), au neuvième bit d'adresse (inexistant avec une 93LC56) et au nombre de zéros nécessaire pour constituer des octets définis au début du listing.

Les sous-programmes effectuant chacun une opération particulière font appel à un sous-programme commun SOUT qui commande le fil d'horloge CLK et présente successivement sur DI un nombre déterminé de bits de l'octet stocké dans le buffer provisoire BUFF. Cet octet peut être soit le mot code précédent, soit une donnée à charger.



ASSEMBLEUR 8051

Ne pas oublier de placer des résistances de pull up sur les broches du 8031 utilisées pour commander les entrées ou sorties du composant .

```

;Definition des mots codes caractéristiques des
;différentes instructions
;ce sont des mots de 8 bits dont les premiers
;seulement seront utilisés de 3 à 5 suivant le cas
READ EQU 192 ;11000000B
WRITE EQU 160 ;10100000B
EWEN EQU 152 ;10011000B
EWDS EQU 128 ;10000000B
ERAS EQU 224 ;11100000B
ERAL EQU 144 ;10010000B
WRAL EQU 136 ;10001000B
DK BIT P3.3 ; Le fil P3.3 est relié aux entrées DI et DO du boîtier
CLK BIT P3.4 ; Le fil P3.4 est l'horloge
SELK BIT P3.5 ; Le bit P3.5 est le bit de sélection CS du boîtier

;Quatre emplacements mémoire sont réservés en RAM
;interne pour y stocker données,adresses et nombre
;de coups d'horloge nécessaire ,8 au plus .
BUFF DATA 127
EPDATA DATA 126
EPADRS DATA 125
NBCLK DATA 124

ORG 0
;ce programme d'essai envoie C3H dans la EEPROM
;puis la relit et envoie le résultat sur P1
LJMP DEBUT
;-----
;sous programme essentiel qui envoie sur DI les bits
;contenus dans le buffer BUFF (Adresse 127)
;par un décalage via la retenue
;NBCLK doit préalablement avoir été chargé avec le
;nombre de coups d'horloge à créer.
SOUT:MOV A,BUFF ;data chargée dans A
BSOUT:RLC A ;rotation des bits dans la retenue
MOV DK,C ;envoi du bit sur DI
SETB CLK ;montée d'horloge
NOP ;pour élargir le top d'horloge
CLR CLK ;descente d'horloge
DJNZ NBCLK,BSOUT ;BSOUT contient le nombre de coups d'horloge
RET
;-----
;autorise une écriture
IEWEN:SETB SELK ;monte CS
MOV NBCLK,#12 ;pour 12 coups d'horloge
MOV BUFF,#EWEN
CALL SOUT ;pour envoi de la séquence
CLR SELK ;retour à 0 de CS
RET
;-----
;protège les données
IEWDS:SETB SELK
MOV NBCLK,#12
MOV BUFF,#EWDS
CALL SOUT
CLR SELK

```

```

RET
;-----
;effacement total
IWRAL:SETB SELK
MOV NBCLK,#12
MOV BUFF,#WRAL
CALL SOUT
CLR SELK
RET
;-----
;écriture dans une case mémoire
IWRITE:MOV BUFF,#WRITE
MOV NBCLK,#4
SETB SELK
CALL SOUT ;envoi Start bit ,code=01 et A8=0 soit 1010=A
MOV NBCLK,#8
MOV BUFF,EPADRS ;chargement de l'adresse contnue dans EPADRS
CALL SOUT ;envoi des 8 bits d'adresse A7-A8
MOV NBCLK,#8
MOV BUFF,EPDATA ;chargement dans BUFF de la donnée à envoyer
CALL SOUT ;envoi des 8 bits de donnée
CLR SELK
RET
;-----
;lecture d'une case mémoire dont le
;contenu est chargé dans EPDATA
IREAD:MOV BUFF,#READ
MOV NBCLK,#4
SETB SELK
CALL SOUT
MOV NBCLK,#8
MOV BUFF,EPADRS
CALL SOUT
SETB DK ;un 1 sur P3.5 pour le mettre en lecture
MOV NBCLK,#8
LIT:SETB CLK ;horloge à 1
MOV C,DK ;lecture de D0 dans la retenue CY
RLC A ;le bit est glissé dans l'accumulateur
CLR CLK
DJNZ NBCLK,LIT
MOV EPDATA,A ;résultat envoyé dans EPDATA
CLR SELK
RET
;-----
;attend la fin d'une opération d'écriture ou
;effacement
OCCUPE:NOP ;pour prolonger l'état bas de CS
SETB DK ;met un 1 sur P3.3 pour le mettre en lecture
SETB SELK ;remonte CS à 1
ATTENTE:JNB DK,ATTENTE ;boucle en attendant que DO soit a 1
CLR SELK
RET
;-----
;programme utilisateur exemple
;ecrit C3 dans la EEPROM puis le lit et ecrit dans P1

DEBUT:
CLR DK
CLR CLK
CLR SELK ;Les trois lignes de dialogue a zero

```

```
MOV EPDATA,#0C3H ;C3H dans le registre de données
CALL IEWEN ;DEblocage de la EEPROM
MOV EPADRS,#10H ;Adresse 10H
CALL IWRITE ;Ecriture dans l'EEPROM
CALL OCCUPE
MOV EPDATA,#0 ;EPDATA Vidée par sécurité
CALL IREAD ;Lecture EEPROM
MOV P1,EPDATA ;Affichage lecture dans P1
CALL IEWDS ;Blocage de la EEPROM
SJMP $ ;Boucle sans fin
END
```

Attention : Le circuit commercialisé actuellement par MICROCHIP sous ce nom est organisé en mots de 16 bits, il faut utiliser le 93LC56A . Thomson fabrique des circuits très semblables dont la programmation est du même type ,il faut à chaque fois se reporter à la documentation à jour de chaque constructeur et modifier le logiciel précédent en conséquence .