

THESE

présentée à

l'Université des Sciences et Technologies de Lille

pour obtenir le grade de

Docteur en Electronique

par

Andreia NITESCU-HENRY
épouse **CATHELIN**

CONCEPTION ET REALISATION D'UN RECEPTEUR FM COMPLETEMENT INTEGRE SUR SILICIUM

Soutenue le 9 Mars 1998, devant la commission d'examen:

Président:

Eugène Constant

Rapporteurs:

Georges Alquié
Jean-Michel Fournier

Examineurs:

Jean-Noël Decarpigny
Andreas Kaiser
Gilles Rosenberger
Ernesto Perea



à Philippe

à ma mère, Miruna

à toute ma famille

Mes premiers remerciements iront à Andreas Kaiser. Tout d'abord pour m'avoir guidé sur le chemin de la microélectronique analogique, en m'accueillant au sein du laboratoire d'électronique de l'ISEN, depuis le début de la deuxième année de mes études d'ingénieur. Ensuite, pour m'avoir accordé toute sa confiance et son soutien permanent pour un travail de thèse dans un domaine d'avant-garde.

Je remercie Messieurs les professeurs Georges Alquié et Jean-Michel Fournier pour l'intérêt qu'ils ont porté à ce travail en acceptant la fastidieuse tâche de rapporteur.

J'exprime mes remerciements à Monsieur le professeur Eugène Constant qui a accepté la présidence de ce jury de thèse.

Je tiens à remercier également Monsieur le directeur Jean-Noël Decarpigny pour l'accueil chaleureux qui m'a été réservé au sein de son établissement et ensuite pour avoir accepté d'être le directeur de cette thèse.

J'exprime toute ma gratitude à Monsieur Ernesto Perea pour avoir accepté de faire partie du jury.

Je remercie la société INFO-TECHNOLOGIES - MS2 de m'avoir offert l'opportunité d'effectuer ce travail de thèse et, plus particulièrement, Messieurs Daniel Langlois, Jean-Marie Chieppa et Gilles Rosenberger pour leur soutien. Une mention particulière va pour Monsieur Gilles Rosenberger pour sa participation au jury.

J'adresse un merci tout particulier à Philippe Cathelin, mon mari et excellent collègue de travail, pour son soutien moral de tous les jours.

Je remercie mes nombreuses et nombreux collègues des équipes de MS2 à Roubaix, de l'ISEN à Lille et de INFO-TECHNOLOGIES à Gradignan pour leur agréable compagnie tout au long de ces années.

Un des circuits décrit dans ce mémoire est le résultat du travail de groupe d'une partie de l'équipe de MS2 qui est encore une fois vivement remerciée : Frank Op't Eynde, Raed Moughabghab, Olivier Declerck, Philippe Cathelin, Jean-Christophe Delefosse, Najwa Moughabghab et Joël Pelletier. Je tiens aussi à remercier Nicolas Krasnanski et Jean-Mathieu Stricker (INFO REALITE) pour leur aide et conseils lors des mesures RF.

Enfin, merci aussi à ma famille, en Roumanie et en France, pour tout leur support.

Din toată inima, mulțumesc.

Note à l'attention du lecteur

L'étude décrite dans ce document a été réalisée au sein de l'équipe de INFO TECHNOLOGIES – MS2 et dans le cadre du département ISEN de l'Institut d'Electronique et Micro-électronique du Nord (UMR CNRS 9929). Ce travail est issu d'une coopération entre le CNRS Délégation Nord – Pas de Calais – Picardie, la Région Nord – Pas de Calais et INFO TECHNOLOGIES – MS2.

INFO TECHNOLOGIES – MS2 détient les droits de propriété industrielle relatifs à cette étude. Toute utilisation de résultats issus de celle-ci, dans un but académique ou industriel, est soumise à l'accord préalable de la société INFO TECHNOLOGIES – MS2.

Table de matières

Avant-propos	1
Chapitre 1. Introduction	
1.1 Court historique sur les radio-communications	3
1.2 Evolution récente des récepteurs radio-fréquence	4
Chapitre 2. Présentation de différentes structures de récepteurs FM dans le contexte d'une complète intégration sur Silicium	
2.1 Notions de base et spécifications imposées par l'Union Internationale des Télécommunications	7
2.1.1 Définitions et caractéristiques de la modulation de fréquence pour la bande FM standard	7
2.1.2 Termes qui définissent les qualités d'un récepteur radio-électrique	10
2.1.3 Schéma de principe d'un récepteur radio superhétérodyne	13
2.2 Le récepteur simple hétérodyne	16
2.3 Le récepteur radio à discriminateur FM avec contre-réaction	17
2.4 Le récepteur double hétérodyne	19
2.5 Le récepteur homodyne	21
2.6 Le récepteur à mélange complexe de fréquences	23
2.7 Conclusion	25
Chapitre 3. Le récepteur double hétérodyne	
3.1.1 La structure de base	26
3.1.2 Le choix des Fréquences Intermédiaires	28
3.2 Les contraintes électriques du circuit	30
3.3 Le choix des structures	33
3.3.1 Le traitement front-end (amont)	33
3.3.1.a L'amplificateur à faible bruit (LNA)	34
3.3.1.b Les filtres de réjection de la fréquence image – approche comportementale	38
3.4 La réalisation du premier filtre HF de réjection d'image	42
3.4.1 Considérations nécessaires pour une analyse comportementale du filtre	42
3.4.2 Choix des valeurs; simulations comportementales	47
3.4.3 La structure des transconductances	51
3.4.4 Implémentation pratique du filtre	61
3.4.4.a Conception des transconductances	61
3.4.4.b Réalisation des capacités d'intégration	67

3.4.4.c Implémentation d'une cellule d'attaque du filtre	68
3.4.4.d Résultats des simulations électriques	69
3.4.4.e Résultats des mesures	74
3.4.5 Conclusions sur le filtre haute-fréquence de réjection d'image (1 ^{ère} version)	79
3.5 La réalisation du premier filtre HF de réjection d'image (2 ^e version)	80
3.5.1 L'analyse comportementale	80
3.5.2 La structure générale du filtre	81
3.5.3 Implémentation pratique; changements par rapport à la première version	83
3.5.4 Circuit pour le réglage du facteur de qualité des intégrateurs	86
3.5.5 Résultats de simulation (2 ^e version)	89
3.5.6 Implémentation physique du filtre (layout)	91
3.5.7 Résultats de mesures	100
3.6 Conclusions sur le filtre à réjection d'image	101

Chapitre 4. Le récepteur à mélange complexe de fréquences

4.1 La structure de base	103
4.2 Les contraintes électriques du circuit	105
4.3 Description bloc par bloc du récepteur FM et fonctionnalités	105
4.3.1 Le LNA et le VGA1	105
4.3.2 La première paire de mélangeurs et le premier Oscillateur Local	106
4.3.3 Les filtres passe-bas à la première Fréquence Intermédiaire	113
4.3.4 Les mélangeurs moyenne-fréquence, le sommateur et le deuxième Oscillateur Local	116
4.3.5 Le filtre passe-bande à la deuxième Fréquence Intermédiaire	121
4.3.6 Le deuxième amplificateur à gain contrôlé en tension (VGA2)	123
4.3.7 Le contrôle automatique du gain (AGC)	125
4.3.8 Le discriminateur de fréquence	128
4.4 Résultats de mesures concernant le Récepteur FM à mélange complexe de fréquences	137
4.4.1 Réalisation pratique du circuit	137
4.4.2 Testabilité et modes de test	138
4.4.3 Résultats de mesures bloc par bloc	140
4.4.3.a La PLL1 et la logique de division variable de la fréquence	140
4.4.3.b La PLL2	148
4.4.3.c Les filtres passe-bas	151
4.4.3.d Le filtre passe-bande à la 2 ^e Fréquence Intermédiaire	152
4.4.3.e Les amplificateurs à gain variable et la boucle de contrôle automatique du gain	155
4.4.3.f Le discriminateur de fréquence	157
4.4.4 Résultats de mesures concernant la voie de transmission du signal	166
4.5 Conclusions sur la réalisation du Récepteur FM à mélange complexe de fréquences	173

Conclusion générale	174
Bibliographie	176

Annexes

<i>A.2.6.1</i> Analyse mathématique du récepteur à mélange complexe de fréquences	I
<i>A.2.6.2</i> Résultats des simulations MATLAB pour le récepteur FM à mélange complexe de fréquences	III
<i>A.3.4.4</i> Choix des dimensions pour les transconductances du filtre HF de réjection d'images (1 ^{ère} version)	VII
<i>A.3.4.4.d</i> Autres résultats de simulations concernant le filtre HF de réjection d'image (1 ^{ère} version)	XII
<i>A.3.4.4.e</i> Résultats de mesures pour le filtre HF de réjection d'image (1 ^{ère} version)	XV
<i>A.mes1</i> Le set-up de mesure pour le filtre HF de réjection d'image (1 ^{ère} version)	XIX
<i>A.3.5.5</i> Résultats des simulations concernant les transconductances du filtre à réjection d'image (2 ^e version)	XX
<i>A.4.3.3</i> Calculs théoriques pour le filtre de boucle d'une PLL	XXIV

Avant-propos

Dans tous les domaines de l'électronique, la tendance veut que l'on évolue vers des systèmes de plus en plus compacts. L'aboutissement ultime de ce challenge est le circuit intégré remplissant la fonction de tout un système: récepteurs basses fréquences de toutes sortes, rétines artificielles, un ordinateur est réalisé en trois puces ...

Le domaine des communications radio-fréquences n'échappe pas à cette tendance, comme nous le montre l'expansion actuelle du marché de la radio-téléphonie et de la radio-messagerie. Pour toutes ces applications "portables", des fréquences de travail de plus en plus élevées et une faible consommation de puissance sont des contraintes supplémentaires. Parmi ces applications, un cas un peu particulier est celui de la transmission hertzienne de données numériques par le système RDS, pour des applications de radio-messagerie. Ce système de codage présente l'avantage d'utiliser l'infrastructure déjà existante des émissions FM dans la bande commerciale, en superposant au signal modulant audio une porteuse modulée numériquement. Cette porteuse additionnelle se situe au delà de la bande occupée par le signal modulant audio et impose donc des spécifications particuliers pour les récepteurs RDS.

Depuis le début des années 90, des circuits FM avec un degré d'intégration presque maximal ont fait leur apparition, tels que les récepteurs de la famille TDA 7000 [2.3.2]. Leur application était exclusivement pour la réception stéréo. Ainsi, l'expansion très récente du système RDS a montré un besoin pour des nouveaux circuits de réception FM, compatibles avec les demandes de technologie portable.

Cette thèse sera donc consacrée à l'étude de différentes structures de récepteurs FM complètement intégrés et capables de recevoir les informations RDS. Le récepteur doit en plus présenter des caractéristiques de faible tension d'alimentation et faible consommation. Les techniques présentées dans ce mémoire sont applicables à tout type de récepteur radio-fréquences. La structure retenue a été implantée dans le cadre d'un projet industriel.

Le Chapitre 1 débute avec un court historique des radio-communications, suivi par l'évolution récente des récepteurs radio vers des circuits tout intégré.

Le Chapitre 2 fait une présentation des différentes structures de récepteurs FM dans le contexte d'une complète intégration sur Silicium. Les caractéristiques principales des émissions FM dans la bande commerciale standard (87 – 108 MHz) sont présentées, ainsi que quelques termes caractérisant la réception radio-fréquence. Le passage en revue d'une bonne partie de schémas de récepteurs superhétérodyne permet d'évaluer la faisabilité d'une intégration totale de ces récepteurs.

Le Chapitre 3 traite du récepteur FM double hétérodyne. On présente une solution d'implémentation de la partie amont (front-end) de réception. L'accent est posé sur la réalisation

du filtre haute-fréquence (100 MHz) de réjection de la fréquence image. Des techniques particulières de conception et de réalisation topologique pour des filtres, adaptées aux demandes des circuits hautes-fréquences, sont présentées. Deux versions différentes de ce filtre sont abordées, en présentant des résultats de simulations et de mesures.

Le Chapitre 4 présente le récepteur FM à mélange complexe de fréquences. Après une description de la structure en son ensemble, suit une présentation bloc par bloc de chaque élément fonctionnel du circuit. On décrit les contraintes posées sur chaque partie du circuit et la manière dont leur implémentation pratique a été réalisée. En final, nous présentons des résultats de mesures effectuées sur cette version du récepteur FM. Ces mesures peuvent être séparées en deux catégories: mesures concernant les blocs les plus importants du circuit et mesures globales sur la chaîne totale de réception. On présente également les techniques permettant l'obtention de ces mesures.

Mars 1998

Chapitre 1. Introduction

1.1 Court historique sur les radio-communications [1.1.1]

Par rapport à d'autres branches de la science et de la technique, les communications électroniques sont un domaine assez récent. En effet, les bases théoriques des communications par le biais d'un champ électro-magnétique viennent avec les équations du champ proposées par Maxwell en 1865. En 1877, Hertz apporte la vérification expérimentale de cette théorie.

Les premières communications à longue distance sont arrivées en 1895. Marconi développe le télégraphe sans fil et apporte des améliorations dans le système d'émission et réception. Au début du 20^e siècle, on remarque un essor considérable des transmissions par code de Morse, en utilisant des appareils embarqués composés d'émetteurs à arc électrique.

A la même époque, un scientifique nommé Fessenden propose une nouvelle technique qui a pour but d'améliorer les transmissions sans fil. Il appela cette technique **hétérodyne**, du grecque "heteros" (différent) et "dynamis" (puissance). Dans le cadre d'une transmission par code de Morse, l'idée était de mélanger le signal reçu avec un signal issu d'un générateur local de sinusoïdes. Le signal obtenu, à la fréquence différence, était situé dans la gamme des signaux audibles. Cette technique est communément appelée aujourd'hui la conversion directe du signal à recevoir.

En 1915, en utilisant cette même idée de système hétérodyne, Alexanderson produit des alternateurs radio délivrant une puissance de 200 kW à une fréquence de 150 kHz. Il construit également les premiers récepteurs à tubes à vide, connus sous le nom de récepteurs TRF (tuned radio frequency).

Un fort développement des communications radio-fréquence a été induit par la première guerre mondiale. Un des promoteurs de ces idées a été Edwin Armstrong, qui était à l'époque major dans l'armée américaine. Le besoin s'est montré pour des récepteurs radio capables à capter le bruit d'armement des bombardiers, sachant que ce bruit est le plus intense pour des fréquences de l'ordre de quelques méga-hertz. La technique imaginée par Armstrong était de réaliser une conversion de fréquence du signal reçu vers une fréquence intermédiaire d'environ 50 kHz et ensuite traiter le signal ainsi obtenu. Ce nouveau type de système a été appelé **superhétérodyne**. La guerre est finie avant que le projet de défense anti-aérienne voit le jour.

Armstrong reste un des pères des radio-communications. Dans les années 1913 - 1914, avec deForest, Franklin, Meissner et Round, il découvre à peu près en même temps les oscillateurs à tubes à vide. Ceci lance la production en masse de récepteurs radio utilisant le nouveau principe superhétérodyne, qui est accepté comme le standard pour les systèmes de réception radio. Armstrong développe et répand également les systèmes à modulation de fréquence.

L'ère des semiconducteurs est ouverte après la deuxième guerre mondiale, avec l'invention du transistor (1948) par Bardeen et Brattain et la théorie de la jonction pn par Shockley (1949). Les encombrants tubes à vide présents dans les récepteurs radio sont remplacés par des transistors et diodes beaucoup plus petits.

La première bribe de circuit intégré apparaît bien sûr avec le circuit multivibrateur réalisé par Jack Kilby en 1959. Quelques années après, les composants intégrés prennent la place petit à petit des transistors discrets utilisés jadis dans des multiples applications radio-électriques. Les récepteurs radio présentés dans le commerce commencent à être communément appelés "récepteurs radio à transistors" ou, plus populairement, "transistors", en ignorant le fait que le circuit imprimé afférent est le support de moins en moins de composants.

1.2 Evolution récente des récepteurs radio-fréquence

Dans le cadre de cette thèse, nous ne nous intéresserons qu'aux récepteurs à transistors, et plus particulièrement à ceux adaptés à des appareils portables et donc utilisant des composants intégrés.

Le degré d'intégration a augmenté de plus en plus avec les décennies qui ont passé. Il y a une dizaine d'années, les récepteurs de base disponibles sur le marché civil étaient construits à base de plusieurs circuits intégrés. Il peut être présenté comme exemple le récepteur FM à base du circuit intégré $\beta M 3189$ [1.2.1]. La puce amplifie, limite et démodule le signal FM autour d'une fréquence de 10.7 MHz. Un filtre céramique assure en amont une extraction du canal désiré. La partie front-end du récepteur (LNA, mélangeur de fréquences et filtre de réjection de la fréquence image) est réalisée avec un montage à composants discrets.

La grande majorité des récepteurs radio actuels utilisent encore des schémas hybrides, dans le sens où les composants actifs (tels que le LNA, les mélangeurs, le VCO, le contrôle automatique de gain et de fréquence et d'autres amplificateurs) sont intégrés sur une même puce et les autres composants (notamment filtres) sont des éléments externes à la puce. De même, les composants passifs qui déterminent la fréquence de l'Oscillateur Local et les constantes de temps des filtres sont aussi des composants externes.

La fréquence de l'Oscillateur Local est déterminée par un réseau LC accordé ou par une boucle à verrouillage de phase. Dans ce dernier cas, la PLL nécessite généralement une self externe ou alors une diode varicap.

Les filtres peuvent être des structures actives LC classiques avec des inductances accordés. Cette approche mène vers un circuit avec un grand nombre de composants externes, dont une grande partie sont accordés à la main. Une autre alternative est l'utilisation des filtres à onde acoustique de surface (mieux connus sous leurs nom anglais "SAW filters") ou encore des filtres à quartz. Ces solutions permettent de simplifier les structures des récepteurs, notamment en réduisant le nombre de composants. De plus, les tailles de ces composants externes diminuent constamment,

ce qui permet la miniaturisation des appareils de communications. Par exemple, un filtre à ondes acoustiques de surface pour une fonction passe-bande à une fréquence intermédiaire de 130 MHz présente un encombrement de seulement 60 mm³, et ceci pour une fonction de filtrage très sélective [1.2.2].

Dans la suite de cette thèse, ce type de récepteurs radio seront classifiés comme récepteurs radio *classiques*, par opposition aux récepteurs radio complètement intégrés. Deux exemples de récepteurs classiques sont donnés dans les deux figures suivantes. Le premier concerne un émetteur-récepteur pour des application GSM [1.2.3] et le deuxième présente une application possible avec le circuit SA620 [1.2.4].

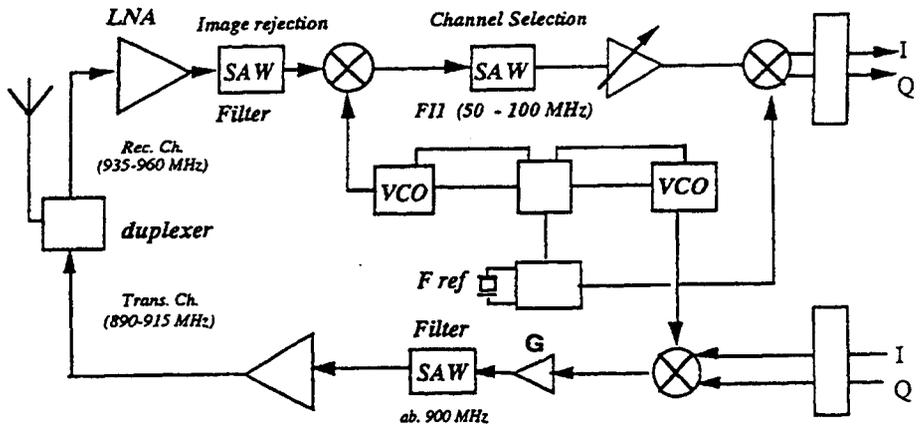


figure 1.2.1 Emetteur-récepteur pour des applications GSM

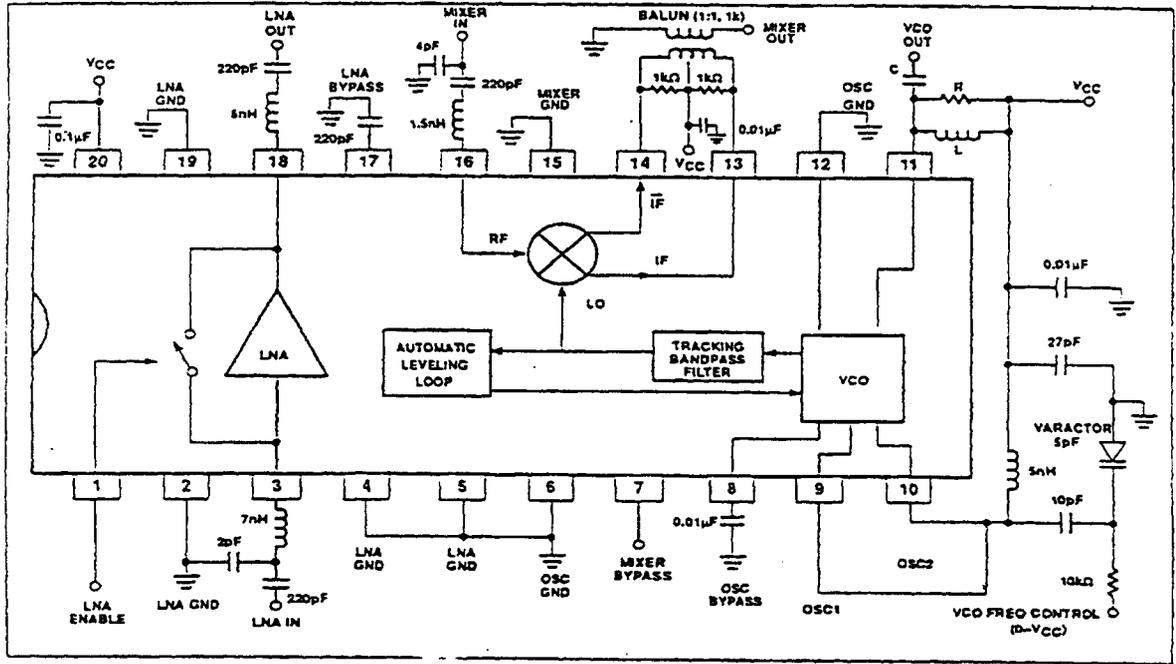


figure 1.2.2 Une application typique de radio-fréquence utilisant le circuit intégré SA620

Le développement actuel des communications mobiles de toute sorte: téléphonie sans fil et cellulaire, systèmes de radio-messagerie et autres, impose une cadence très serrée pour l'évolution des appareils d'émission et/ou de réception. Des contraintes de faible consommation, faible alimentation, faible taille et bonne robustesse imposent un nouveau challenge sur le marché des produits de télécommunications: celui des solutions complètement intégrées dans des technologies sub-microniques de plus en plus évoluées.

Cette thèse sera donc axée sur la présentation de plusieurs solutions de récepteurs FM complètement intégrés dans des technologies Silicium. Le but de l'opération est d'obtenir un *récepteur à faible consommation et faible alimentation*, pour des appareils portables fonctionnant sur piles [1.2.5]. Une autre contrainte porte donc sur l'encombrement de volume généré par le circuit.

Chapitre 2. Présentation de différentes structures de récepteurs FM dans le contexte d'une complète intégration sur Silicium

2.1 Notions de base et spécifications imposées par l'Union Internationale des Télécommunications

2.1.1 Définitions et caractéristiques de la modulation de fréquence pour la bande FM standard

La bande FM standard ou commerciale est située entre 87.5 et 108 MHz (pour l'Europe) et correspond aux émissions grand public des stations de radio et autres émetteurs civils.

L'équation de principe d'une onde modulée en fréquence est la suivante:

$$v_{FM}(t) = A \cdot \cos\left(\omega_c t + \frac{\Delta f}{f_m} \cdot \cos \omega_m t\right) \quad (2.1.1)$$

avec:

$v_{FM}(t)$ = le signal modulé en fréquence;

A = l'amplitude du signal FM;

ω_c = la pulsation angulaire de la porteuse HF;

Δf = la déviation maximale de fréquence du signal modulant;

$\omega_m = 2 \cdot \pi \cdot f_m$ = la pulsation angulaire du signal modulant.

Le signal Radio-Fréquence (RF), constitué d'une porteuse haute fréquence qui est donc modulée en fréquence par un signal en bande de base. La déviation maximale de fréquence est de ± 75 kHz.

Généralement, le signal modulant FM en bande de base contient d'autres informations à part l'information audio (musique). Toutes ces informations sont multiplexées en fréquence dans une bande comprise entre 50 Hz et environ 80 kHz. En conséquence, ce signal est généralement nommé le signal multiplexé (MPX). La figure 2.1.1 ci-dessous présente l'occupation spectrale de la bande de base modulante. Dans cette figure, plusieurs bandes de fréquence peuvent être distinguées [2.1.1]:

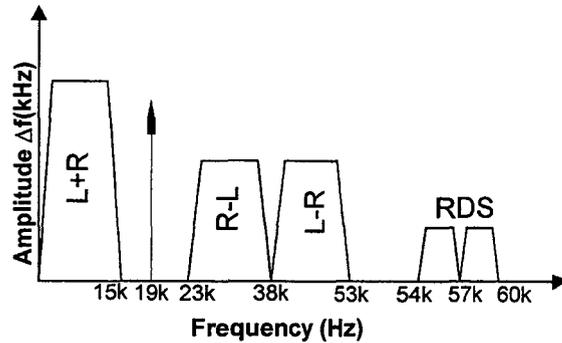


figure 2.1.1 Le signal modulant lors d'une émission FM.

1. Le signal "mono", appelé "L+R". Ce signal s'étale entre 50Hz et 15kHz, il est émis avec préaccrétuation et sa valeur maximale est 90% de l'amplitude totale du signal; L et R sont en phase. Avec un amplificateur audio, ce signal peut être directement amplifié pour une restitution monophonique.
2. La bande de fréquence entre 23 et 53kHz contient l'information additionnelle nécessaire pour constituer le signal stéréo. La différence des deux signaux stéréo (L et R) module en amplitude une sous-porteuse à 38kHz. La sous-porteuse est par la suite supprimée. La valeur maximale de l'amplitude pour la somme des deux lobes est de 90% de l'amplitude totale du signal MPX. L et R sont en opposition de phase.
3. Pour faciliter la démodulation de l'information stéréo, un signal pilote à 19kHz est aussi transmis. Après une multiplication fréquentielle par deux, ce signal permet la génération d'une référence à 38kHz utile pour la démodulation AM. L'amplitude du signal pilote est 8 à 10% de l'amplitude totale du signal.
4. Une bande de 6kHz autour d'une troisième sous-porteuse à 57kHz est prévue pour transmettre des données numériques, selon les standards RDS et ARI. La sous-porteuse est de nouveau supprimée. L'amplitude du signal RDS est généralement 2% de l'amplitude totale du signal.

Le principal objectif du Système de Transmission Radio de Données (RDS, de l'anglais Radio Data System) est de créer un standard d'émission d'informations numériques pour les stations de radio. Par ce moyen, un récepteur radio FM peut être accordé automatiquement sur l'émetteur radio du programme désiré. Bien d'autres informations et applications sont disponibles par le biais du système RDS. Le tableau suivant présente la dénomination de chaque fonction et sa fonctionnalité [2.1.2].

Nom de la fonction	Dénomination	Fonctionnalité
PI	Programme Identification	Identification du programme
PS	Programme Service Name	Nom de la chaîne de programmes
PTY	Programme Type	Genre de programme
AF	Alternative Frequencies	Autres fréquences possibles
TP / TA	Traffic Program/ Announcement Identification	Programmes pour automobilistes et annonces routières
DI	Decoder Identification	Identification du décodeur
M / S	Music / Speech Switch	Commutateur musique / parole
PIN	Programme-Item Number	Horaire de l'émission
RT	Radiotext	Transmission de texte à des récepteurs fixes
EON	Enhanced Other Networks Information	Information améliorées sur les autres réseaux
TDC	Transparent Data Channel	Voie de données à usage externe
IH	In-House Application	Applications internes propres à l'organisme de radiodiffusion
CT	Clock Time & Date	L'heure (Temps Universel) et la date (Date Julienne Modifiée)
RP	Radio Paging	Radiomésagerie

table 2.1.2. Les applications RDS

Une application possible pour le système RDS est la radio-messagerie [2.1.2]. Les possibilités suivantes sont offertes:

- la transmission de différents types de messages, y compris des communications internationales;
- la possibilité d'une utilisation simultanée de plusieurs canaux pour la transmission des messages; ceci permet de résoudre le problème de la capacité de transmission de la voie de communications;
- la possibilité d'un mode de veille sur l'appareil (économies importantes d'énergie).

Comme la norme RDS permet d'utiliser le réseau déjà existant des transmetteurs radio, un système de radio-messagerie RDS peut être installé facilement. Ce type de système permet une large couverture géographique, et ceci à un prix nettement inférieur à ceux des pagers du type ERMES¹.

¹ ERMES est une norme de transmission de données numériques qui utilise des porteuses autour de 169 MHz. Ce genre de transmission hertzienne nécessite l'installation de nouveaux émetteurs spécialement dédiés à cette application.

2.1.2 Termes qui définissent les qualités d'un récepteur radio-électrique

Tout récepteur radio-électrique FM est caractérisé par un certain nombre de qualités [2.1.3]. L'Union Internationale des Télécommunications (UIT) définit des normes qui régissent toutes ces notions.

La *sensibilité* d'un récepteur définit son pouvoir de détecter des signaux en entrée avec une très faible amplitude. Elle est décrite par la valeur minimale du signal en entrée capable d'assurer en sortie du récepteur un rapport signal à bruit déterminé.

La limite utile de propagation des ondes métriques correspondant à des porteuses autour de 100 MHz est assez restreinte (50km) par rapport aux grandes ondes utilisées pour la modulation d'amplitude. Le signal reçu par l'antenne varie fortement avec l'orientation de l'antenne et la distance entre l'émetteur et le récepteur.

Les valeurs typiques pour des niveaux minimaux du signal à l'entrée de l'antenne, conformément aux Recommandations de l'UIT [2.1.1], sont:

- 95dBm (0.3pW) pour une réception monophonique;
- 75dBm (31pW) pour une réception stéréophonique;
- 87dBm (2pW) pour une réception RDS.

Ces valeurs sont fondées sur un rapport signal à bruit audio-fréquence (donc en sortie du récepteur) de 40 dB et une impédance de 50 Ω pour l'antenne.

On décrit également les qualités d'un récepteur par son *facteur de bruit*, notion qui matérialise la détérioration du rapport signal à bruit de la source, due au passage du signal dans le récepteur.

Pour des récepteurs FM classiques, des valeurs raisonnables pour ce facteur de bruit se situent entre 3 et 5 dB [2.1.4].

La *sélectivité* permet la réception, dans des conditions correctes, de deux stations émettrices dont les fréquences sont voisines. Elle se traduit par l'écart de fréquence minimal séparant deux stations, que peut distinguer sans brouillage le récepteur.

L'antenne reçoit en général des signaux issus de plusieurs émetteurs et le récepteur radio doit extraire seulement le signal désiré et filtrer tous les autres signaux parasites. Quand le récepteur est accordé sur un poste émetteur qui se situe assez loin de point de vue géographique, d'autres signaux non-désirés, issus d'émetteurs rapprochés, peuvent présenter une amplitude supérieure de quelques ordres de grandeur par rapport au signal désiré. Les Recommandations de l'UIT [2.1.1] définissent les niveaux des signaux à l'entrée d'un récepteur.

Le tableau suivant donne des chiffres imposées pour la réception des signaux en modulation de fréquence. Il s'agit du niveau toléré d'un bruiteur en fonction de l'espacement fréquentiel par rapport à la porteuse qu'on désire recevoir.

Ecart de fréquence	Niveau toléré du bruiteur (dB)
0	-15
+/- 200 kHz	0
+/- 300 kHz	30
+/- 400 kHz	60
+/- 1 MHz ou plus	70
à la fréquence image	50

table 2.1.1 Niveau toléré des bruiteurs

Le niveau maximum du signal à recevoir est de l'ordre de 10dBm, ce qui correspond à une tension de 0.707 Vrms sous 50 ohm.

Pour l'émission FM standard, l'espacement minimum entre deux canaux d'émission est de 200 kHz.

La **linéarité** d'un récepteur définit son aptitude à recevoir un signal utile de faible amplitude, en présence de signaux bruiteurs de fort niveau.

Des non-linéarités dans le circuit physique génèrent des signaux parasites, qui peuvent être de forte amplitude, et qui perturbent le signal dit utile. Il s'agit des composantes d'intermodulation, et notamment de l'**intermodulation de troisième ordre**. Deux composantes fréquentielles captées dans le champs de l'antenne et éloignées de la fréquence désirée génèrent, à cause des non-linéarités du circuit, des composantes d'intermodulation. Les raies d'intermodulation les plus importantes en amplitude sont celles d'ordre trois. Ces signaux résultants peuvent se retrouver dans la bande du signal désiré et perturber la réception de l'émission souhaitée, d'autant plus que les produits d'intermodulation peuvent présenter d'assez fortes amplitudes.

Pour tout concepteur de circuits de radio-fréquence, le challenge permanent consiste à réaliser le meilleur **compromis entre la sensibilité et la linéarité** d'un récepteur [2.1.3].

La force électromotrice fournie par l'antenne est donnée par le produit entre la hauteur effective de l'antenne et le champ électromagnétique présent au voisinage du récepteur. Il est clair que le rapport S/B sur l'antenne (S/B_{externe}) ne dépend que de l'environnement. Le rapport S/B_{externe} représente le rapport S/B que pourrait avoir, en sortie, un récepteur idéal. Pour pouvoir l'atteindre, il faut que le bruit équivalent ramené à l'entrée du circuit de son intérieur soit nettement inférieur au bruit externe capté par l'antenne. Les seuls moyens d'obtenir ce résultat

sont soit augmenter la hauteur effective de l'antenne ou alors diminuer le facteur de bruit du système.

Comme le facteur de bruit ne peut pas être réduit en dessous de quelques 4 ou 5 dB, il faut assurer la hauteur effective nécessaire pour garder toujours le bruit externe supérieur au bruit interne du circuit, même pendant les périodes calmes.

D'un autre côté, le critère de linéarité impose une tenue maximale aux bruiteurs externes. La force électromotrice correspondant à ces bruiteurs externes sera d'autant plus importante que la hauteur effective de l'antenne augmente.

En plus de toutes ces considérations, une autre contrainte entre en jeu dans le cas des récepteurs miniaturisés. L'encombrement physique de l'antenne doit être très réduit, ce qui implique une forte directivité [2.1.5]. Une solution pour une réception omnidirectionnelle selon les axes φ et θ est l'antenne duale, composée de deux ferrites situées dans le plan horizontal et perpendiculaires entre elles.

La **fidélité** d'un récepteur traduit son aptitude à restituer à sa sortie le signal modulant d'origine sans déformation. Elle se chiffre généralement en terme de distorsion harmonique globale sur le signal en bande de base.

Pour la réponse audio-fréquence globale, une distorsion harmonique de 1% a été adoptée [2.1.1]. Le rapport signal à bruit audio-fréquence, pour des forts signaux d'entrée, doit être d'au moins 56 dB pour un niveau d'entrée de -50 dBm (sur 50 ohm).

La norme hi-fi impose des rapports signal à bruit en sortie de valeurs plus élevées: 70 dB pour une restitution mono et 50 dB pour la stéréo. Pour la réception des signaux d'information additionnels (RDS), un facteur signal à bruit de -6 dB est suffisant pour décoder les données; ceci correspond à un taux d'erreur binaire de $1 * 10^{-4}$ à la réception, avant correction [2.1.1].

La **stabilité** du récepteur définit son aptitude à conserver son réglage sur une fréquence fixe, dans le temps, quand les conditions d'environnement se modifient (température, tension d'alimentation,...).

Les récepteurs actuels, dotés d'un asservissement automatique de fréquence et d'un réglage électronique de la fréquence, présentent une stabilité de quelques dizaines de kHz.

2.1.3 Schéma de principe d'un récepteur radio superhétérodyne

La figure 2.1.2 présente le schéma de principe d'un récepteur radio superhétérodyne [2.1.6]. Les fonctions de base réalisées sont les suivantes:

- a.) L'amplification du signal radio d'entrée, reçu par l'antenne.
- b.) La translation du signal Radio-Fréquence (RF) situé autour de 100MHz dans le cas d'une FM standard vers la Fréquence Intermédiaire (FI). En pratique, cette opération de translation de fréquence est réalisée par un mélange avec un signal issu d'un Oscillateur Local (OL).
- c.) L'extraction de l'information utile du large spectre électromagnétique reçu par l'antenne, avec l'aide du filtrage passe-bande.
- d.) L'élimination de toute modulation parasite d'amplitude, à l'aide d'un amplificateur-limiteur.
- e.) La démodulation du signal radio vers l'information (sonore ou numérique) désirée.

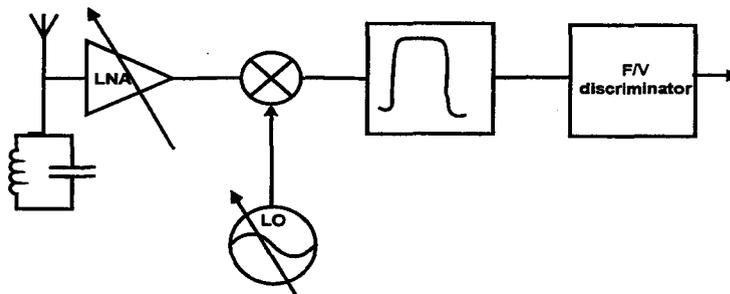


figure 2.1.2 Le schéma conceptuel d'un récepteur superhétérodyne

Quelques explications s'imposent.

a. L'amplification du signal radio d'entrée

Cette fonction est réalisée par un amplificateur à faible bruit (LNA pour Low Noise Amplifier) qui permet d'amener le signal radio-fréquence incident à un niveau de tension qui peut être traité facilement par les blocs suivants. Ces amplificateurs ont souvent un gain variable, selon l'amplitude du signal incident; la variation du gain pouvant être réglée par le contrôle automatique de gain. Le LNA doit présenter également une très bonne linéarité [2.1.7], sachant que des signaux parasites de très forte amplitude (par rapport à celle du signal utile) peuvent être présents en entrée. Son impédance d'entrée doit être calculée de telle manière que le transfert de puissance entre l'antenne et le reste du circuit soit optimal. Le facteur de bruit du LNA détermine en bonne partie le facteur de bruit global du circuit.

b. La translation de fréquence

Les récepteurs FM classiques contiennent un Oscillateur Local (LO) avec une fréquence variable et un mélangeur (multiplieur de fréquences) qui transpose l'information Radio-Fréquence (RF) vers une Fréquence Intermédiaire (FI). Pour les récepteurs FM classiques, la Fréquence Intermédiaire (FI) la plus courante est 10.7MHz.

En sortie du mélangeur, le signal présente les fréquences somme et différence des deux tensions à l'entrée du mélangeur. La fréquence somme est par la suite filtrée.

Tout signal parasite, espacé de deux fois la FI par rapport à un signal donné, s'appelle la Fréquence Image du signal désiré. Après passage par le mélangeur de fréquences, ce signal donne une composante à la même fréquence que celle correspondant au signal utile. Cette fréquence image doit donc être éliminée avant le mélange des fréquences. Les Normes Internationales imposent une atténuation de la fréquence image d'au moins 50dB [2.1.1].

La fréquence de l'Oscillateur Local peut être inférieure ou supérieure à celle du signal radio-fréquence reçu, tout comme la Fréquence Intermédiaire [2.1.3]. Dans le cas d'une FI basse (on appelle le système infradyne), le principal avantage vient du fait que le traitement du signal à la Fréquence Intermédiaire est fortement facilité et des composants standard sur Silicium peuvent être employées. Les désavantages viennent de l'immunité aux fréquences parasites: la Fréquence Image, la Fréquence Intermédiaire et la Fréquence de l'Oscillateur Local tombent dans la gamme de fréquences que peut recevoir le récepteur.

Dans le cas d'une FI élevée (récepteur supradyné), il n'y a plus de problèmes relatives à l'élimination des trois types cités de fréquences parasites. Dans ce cas, le traitement de l'information à la Fréquence Intermédiaire doit être réalisé en très haute fréquence, ce qui est pour le moment actuel pas facilement réalisable dans une technologie Silicium.

Pour permettre l'accord du récepteur sur les différentes stations de radio, l'Oscillateur Local (OL) et éventuellement la structure de suppression de la fréquence image doivent être accordables en fréquence. En général, après le mélangeur, toutes les fréquences de travail sont fixes.

c. La sélection du canal désiré et la réjection des canaux adjacents

Un filtrage passe-bande très étroit est nécessaire pour extraire seulement l'information concernant le canal désiré, sachant que l'espacement minimum entre deux canaux adjacents est de 200 kHz. D'un autre côté, la bande passante nécessaire pour restituer correctement un signal FM modulé selon les normes en vigueur est également d'environ 200 kHz [2.1.8]. Pour des Fréquences Intermédiaires supérieures à quelques megahertz, ce filtrage n'est plus réalisable avec des circuits intégrés sur Silicium et des valeurs acceptables de consommation et de tension alimentation. Les récepteurs classiques, avec une FI de 10.7 MHz, utilisent des filtres externes céramiques, d'ordre très élevé (~ 20e ordre).

d. L'élimination de la modulation parasite d'amplitude

Des imperfections dans le circuit du récepteur génèrent un bruit qui module en amplitude le signal utile. Pour éliminer cette modulation AM résiduelle, le signal présent à l'entrée du bloc de discrimination est amplifié et limité en amplitude. A l'issue du bloc d'amplification et limitation, le signal a une forme carrée et toute information contenue dans l'amplitude est éliminée.

e. La démodulation (ou encore discrimination)

Le discriminateur FM est un bloc qui transforme les variations de fréquence de son entrée en une tension de sortie qui constitue le signal modulant de bande de base. De point de vue fonction de transfert, un discriminateur de fréquence présente une réponse fréquentielle linéaire autour d'une fréquence centrale f_0 . Pour obtenir une démodulation correcte d'un signal FM dans un récepteur superhétérodyne, la valeur de la fréquence centrale du discriminateur doit être égale à la Fréquence Intermédiaire.

En sortie du discriminateur, le signal modulant en bande de base est disponible. Pour faciliter le traitement ultérieur de cette information, un bloc amplificateur et buffer est souvent prévu. La sortie audio-fréquence d'un récepteur FM est souvent dénommée "sortie MPX" (signal multiplex).

Les chapitres suivants présentent plusieurs types possibles de récepteurs FM et le degré d'intégration possible pour chacune de ces structures.

2.2 Le récepteur simple hétérodyne

La figure 2.2.1 présente le schéma de principe d'un récepteur radio simple hétérodyne. Le circuit comprend un amplificateur de faible bruit (LNA), un filtre de réjection de la fréquence image, un mélangeur avec un oscillateur local, un filtre de sélection de canal, un amplificateur-limiteur et enfin un discriminateur de fréquence. Dans une réalisation pratique, un bloc de contrôle automatique de gain et de réglage automatique de fréquence sont prévus. Ce type de circuit matérialise la structure d'un récepteur radio classique avec des composants externes passifs.

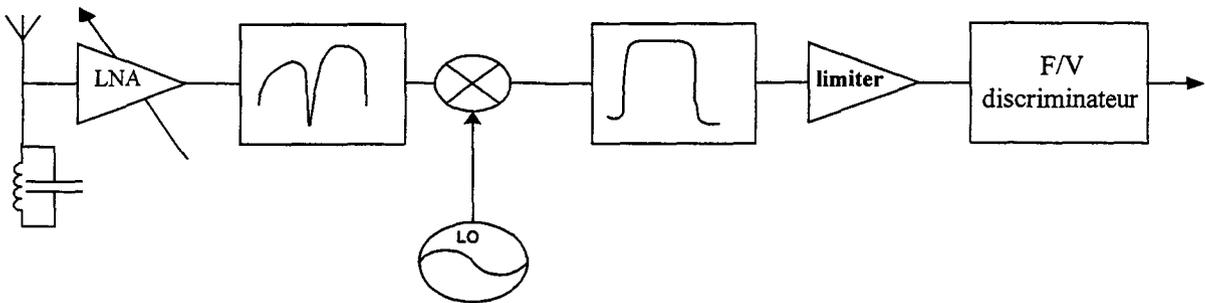


figure 2.2.1 Le schéma de principe d'un récepteur radio simple hétérodyne

L'intégration du bloc de réjection de la fréquence image est un des problèmes majeurs dans le cadre d'une solution complètement intégrée, surtout lorsqu'on pose des contraintes de faible consommation et faible tension d'alimentation. Les fréquences utilisées pour la bande FM standard sont suffisamment élevées pour que des techniques basses fréquences soient impropres. D'un autre côté, les fréquences autour de 100 MHz ne peuvent pas non plus être considérées comme de très hautes fréquences. Pour ces fréquences, la seule solution possible est l'intégration sous la forme de filtre continu.

Quant au filtre de sélection de canal, celui-ci doit présenter une sélectivité fréquentielle très importante. Le facteur de qualité des filtre continus réalisables avec les technologies actuelles ne peut pas dépasser une valeur d'environ 10, compte tenu de la valeur de la fréquence intermédiaire, qui peut se situer entre quelques megahertz et quelques dizaines de megahertz. Suite à ce fait, le filtre passe-bande de sélection du canal n'est faisable que pour des fréquences centrales (FI) de seulement quelques megahertz, compte tenu des contraintes de faible alimentation et faible consommation. Des solutions de filtre passe-bande de sélection de canal fonctionnant entre 5 et 10 MHz ont déjà été présentées dans la littérature, mais elles mènent à des circuits avec une forte consommation [2.2.1], [2.2.2].

D'un autre côté, comme le facteur de qualité du filtre à réjection d'image est aussi limité, sa réponse en fréquence ne peut pas non plus être très raide. La différence entre la fréquence d'entrée et la fréquence image doit être d'au moins 20%, pour garder un rapport raisonnable entre la fréquence utile et la fréquence image. Conformément à l'expression (2.2.1), ceci

implique que la fréquence intermédiaire (FI) doit être au moins 10% de la fréquence d'entrée, donc environ 10MHz.

$$f_{image} = f_c + 2 \cdot FI \Rightarrow FI = \frac{|f_{image} - f_c|}{2} \quad (2.2.1)$$

Il en résulte très clairement que le choix de la fréquence intermédiaire (FI) est un compromis entre les besoins de ces deux filtres. Avec une technologie Silicium "classique" (comprenant des transistors, capacités et résistances), ce compromis n'est pas réalisable. Le choix de la fréquence intermédiaire ne permet pas, en même temps, la faisabilité des deux filtres. *Le récepteur simple hétérodyne n'est donc pas faisable actuellement dans une solution complètement intégrée*, avec les contraintes données de faible consommation et faible alimentation.

Au cours des deux dernières années, une nouvelle tendance tend à s'imposer dans le cadre des technologies Silicium existantes. Il s'agit de l'intégration d'inductances dont le facteur de qualité varie de quelques unités pour des fréquences de quelques centaines de megahertz jusqu'à quelques dizaines pour des fréquences dans le domaine des gigahertz [2.2.3], [2.2.4], [2.2.5],[2.2.6], [2.2.7].

Les selfs intégrées sont réalisées soit sous forme de spirales de métal [2.2.3], soit sous forme de surface plane métallique avec des trous équidistants [2.2.8]. L'utilisation de technologies à plusieurs niveaux de métal (trois, quatre ou même cinq) permet l'obtention de fortes valeurs pour le facteur de qualité des inductances, pour des fréquences de l'ordre du gigahertz.

On utilise ces nouveaux composants intégrés pour des parties front-end de récepteurs, travaillant à des hautes fréquences. Les résultats actuels, qui restent dans une phase expérimentale avec une faible reproductibilité, indiquent le fait que l'utilisation des inductances intégrées devient intéressante seulement pour des fréquences dans le domaine des gigahertz. Les parties concernées par l'utilisation des selfs sont les amplificateurs à faible bruit (LNA) [2.2.8] ou bien des filtres à réjection d'image [2.2.9], [2.2.10]. On utilise également des selfs pour la réalisation de filtres passe-bande, dans des fréquences de quelques centaines de megahertz [2.2.11].

2.3. Le récepteur radio à discriminateur FM avec contre-réaction (FMFB)

Un des premiers récepteurs radio complètement intégrés disponible sur le marché au début des années 90 est construit autour du concept de discriminateur FM avec contre-réaction [2.3.1] (ou encore FMFB: "Frequency Modulation Feedback Loop Discriminator" en anglais).

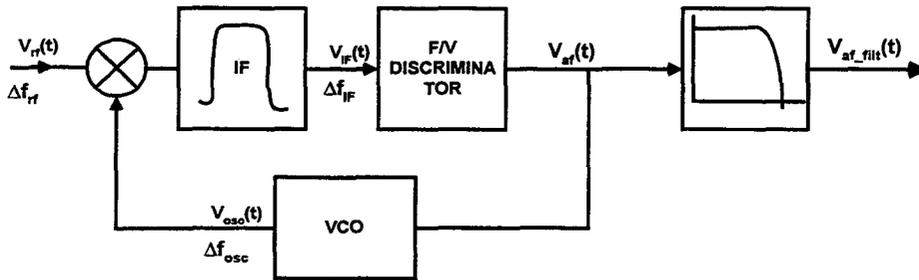


figure 2.3.1 Le schéma de principe du récepteur FMFB

La figure 2.3.1 ci-dessus présente le schéma de principe du récepteur FMFB. Dans ce circuit, le discriminateur est placé dans une boucle à fort gain, contenant aussi un VCO, un mélangeur et un filtre. Les variations de fréquence à l'entrée du discriminateur vont entraîner une variation de tension à sa sortie. Cette variation de tension commande l'oscillateur de la boucle et le signal issu de ce bloc est aussi modulé en fréquence. La variation instantanée de fréquence de l'oscillateur compense en grande partie celle du signal d'entrée Radio-Fréquence. De cette manière, la variation instantanée de fréquence Δf à l'entrée du discriminateur est virtuellement réduite. Le facteur de réduction est égale au gain de la boucle.

Conformément à l'expression 2.3.1 [2.3.1], ce fait permet une réduction de la bande passante du filtre de sélection du canal et aussi le choix d'une fréquence intermédiaire (FI) plus basse.

$$BW = 2 \cdot (\Delta f_{\max} + f_{\max}) \quad (2.3.1)$$

avec:

BW = la largeur de la bande passante d'un signal FM permettant d'extraire 98% de la puissance initiale du signal;

Δf_{\max} = la déviation maximale du signal modulant;

f_{\max} = la fréquence maximale du signal modulant émis.

Le système FMFB ne prévoit aucune atténuation pour la fréquence image, donc l'utilisation d'un filtre haute-fréquence de réjection d'image s'impose. Comme la fréquence intermédiaire (FI) est fixe, la fréquence image varie avec celle du signal radio d'entrée, d'où la nécessité d'un accord en fréquence pour ce filtre.

Si la fréquence intermédiaire du récepteur est choisie inférieure à la moitié de la plage de fréquences allouée pour un émetteur FM, la fréquence image du récepteur sera située dans la bande de fréquences allouée à ce même émetteur, donc à une fréquence où il n'y a aucun signal parasite. Dans ce cas, le filtre de réjection d'image peut être omis. Plus en détail, les signaux des autres émetteurs ne produisent aucune fréquence image sur le signal désiré d'un émetteur si:

$$FI < \frac{\text{Espacement_canaux} - \Delta f_{\max}}{2} \quad (2.3.2)$$

Exemple: Si l'espacement entre deux canaux adjacents est de 220kHz (Normes Européennes) et $\Delta f_{\max} = 75\text{kHz}$, une fréquence intermédiaire FI de 70kHz peut être utilisée (voir figure 2.3.2).

Un seul désavantage majeur existe pour cette solution: les signaux mono ou stéréo peuvent être reçus correctement, mais pas le RDS (la bande n'est pas assez large). *Cette solution ne peut donc pas être retenue pour notre application.*

Le premier récepteur complètement intégré disponible dans le commerce a été le TDA7000 de Philips [2.3.2]. Son schéma bloc est présenté dans la figure ci-dessous.

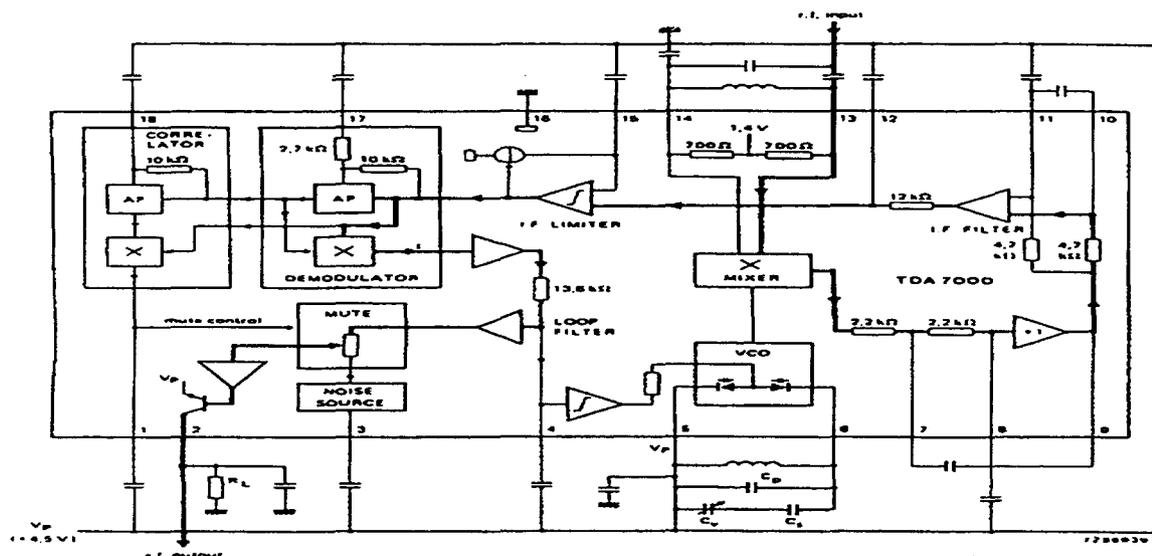


figure 2.3.2 Le récepteur FM construit autour du circuit TDA7000.

2.4. Le récepteur double hétérodyne

Le récepteur double hétérodyne présenté dans la figure 2.4.1 peut résoudre en quelque sorte le dilemme posé par le récepteur simple hétérodyne.

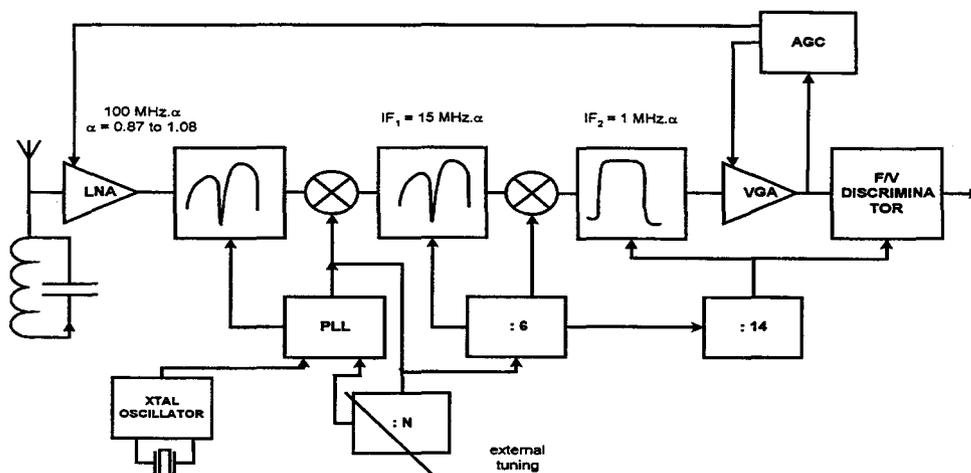


figure 2.4.1 Le schéma de principe du récepteur radio double hétérodyne.

Dans ce circuit, le signal est deux fois transposé en fréquence [2.4.1], à l'aide de deux mélangeurs et deux Oscillateurs Locaux. A chaque mélange de fréquences opéré sur le signal correspond une fréquence image déterminée par la fréquence de l'Oscillateur Local respectif. Le système présente donc deux filtres de réjection de la fréquence image, implantés en amont de chacun des deux mélangeurs.

Le choix d'un système à double hétérodyne (c. à. d. un système avec deux étages de mélangeurs et donc deux fréquences intermédiaires) réalise un bon compromis entre les deux règles de base pour la conception des récepteurs hétérodyne [2.4.2], [2.4.3].

La première loi indique que ***pour une bonne réjection de la fréquence image, il faut avoir une fréquence intermédiaire la plus élevée possible.*** Effectivement, comme le signal utile d'entrée et le signal image sont espacés de $2 \cdot IF$, il est évident qu'au plus la fréquence intermédiaire est élevée, au mieux le filtrage image s'effectuera.

La deuxième loi de base pour la conception de récepteurs hétérodyne indique que ***pour une bonne sélectivité dans l'extraction du canal désiré, la fréquence intermédiaire doit être la plus basse possible.*** En effet, comme l'espacement minimum entre deux canaux de transmission adjacents est de 220 kHz, le filtre passe-bande qui extrait le signal à discriminer doit avoir une caractéristique très raide.

Dans ce qui suit, un possible jeu de fréquences à adopter pour le circuit double hétérodyne sera présenté. Dans le premier étage, le signal est converti de 100 MHz vers environ 15 MHz. Dans la deuxième étape, le signal est reconverti vers 1 MHz.

Ainsi, l'écart relatif entre la fréquence porteuse à chaque étage du circuit et sa fréquence image peut se chiffrer comme suit:

- pour la première fréquence intermédiaire FI_1 : $\left| f_{signal} - f_{image1} \right| = 30\% \cdot f_{signal}$ (2.4.1)

- pour la deuxième fréquence intermédiaire FI_2 : $\left| IF_1 - f_{image2} \right| = 13.4\% \cdot IF_1$ (2.4.2)

Dans ces deux cas de figure, *les filtres d'atténuation de la fréquence image respective sont faisables dans le cadre des technologies intégrées actuelles sur Silicium.* Comme présenté dans le chapitre 2.1.3, un signal image arrivant à l'entrée d'un mélangeur peut avoir une amplitude beaucoup plus grande que celle du signal utile, et donc doit être atténué d'au moins 50dB. Les contraintes sur les deux filtres de réjection de la fréquence image restent toujours très sévères. De même, le choix de la deuxième fréquence image permet la réalisation du filtre passe-bande dans une structure complètement intégrée.

On peut donc conclure que ce type de récepteur FM est faisable, pour le moins de point de vue conceptuel, dans le cadre d'une réalisation complètement intégrée sur Silicium et qui utilise les

technologies actuelles. Des solutions partiellement intégrées (tout sauf les filtres) existent également [2.4.4].

2.5. Le récepteur homodyne (conversion directe de la fréquence)

Un autre type de structure, largement présentée dans les publications actuelles concernant les communications radio [2.5.1], [2.5.2], est le récepteur homodyne ou à fréquence intermédiaire nulle (voir la figure 2.5.1). Dans ce circuit, le signal d'entrée est mélangé avec deux signaux en quadrature issus de l'Oscillateur Local (OL). La fréquence de l'Oscillateur Local est toujours égale à celle du signal Radio-Fréquence d'entrée, ce qui implique que la Fréquence Intermédiaire (FI) est égale à zéro. Conformément à l'expression (2.2.1), la fréquence image coïncide alors avec la fréquence du signal d'entrée et donc aucun signal parasite ne peut se propager vers le discriminateur de fréquence. L'avantage de cette opération sera donc le fait de ne pas avoir besoin du filtre haute-fréquence de réjection d'image. La combinaison des deux signaux issus des mélangeurs contient l'information nécessaire pour déterminer l'amplitude et la fréquence du signal d'entrée.

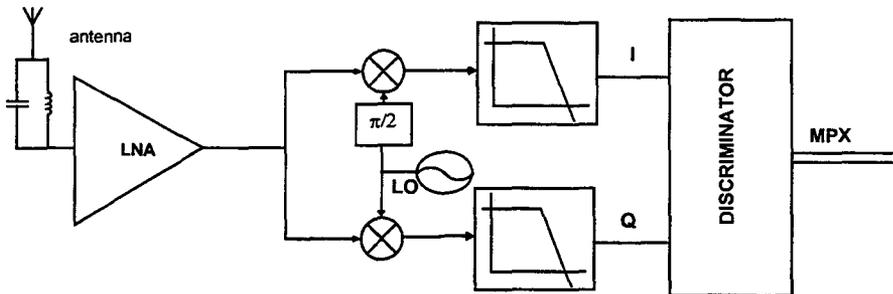


figure 2.5.1 Le schéma de principe du récepteur homodyne.

Cette solution présente également quelques désavantages. Le premier vient du fait que la bande radio-fréquences est translatée directement vers le continu sans aucune compression fréquentielle. Comme conséquence, les filtres analogiques passe-bas utilisés en bande de base auront besoin d'une plage dynamique très importante.

Le deuxième problème à résoudre concerne des offsets DC non-systématiques qui résultent en sortie des mélangeurs et qui se superposent donc sur le signal utile qui a été translaté vers la fréquence nulle. Pour éviter ces phénomènes et donc pouvoir assurer des bonnes sensibilité et sélectivité pour le récepteur, des solutions engendrant des importantes surfaces layout et une assez forte consommation doivent être mises en place.

Outre ces inconvénients, cette solution ne peut pas être employée pour un récepteur de radio FM, et la raison est présentée dans ce qui suit [2.5.3].

Un récepteur FM contient un amplificateur-limiteur qui élimine toute modulation d'amplitude résiduelle. L'opération de limitation est présentée dans la figure 2.5.2. En sortie du limiteur, les seules informations qui restent du signal sont les instants de temps des passages du signal par zéro. De cette manière, le limiteur réalise une opération d'échantillonnage non-équidistant aux instants où la phase du signal est un multiple de π . La fréquence d'échantillonnage est égale au double de la fréquence instantanée à l'entrée du limiteur.

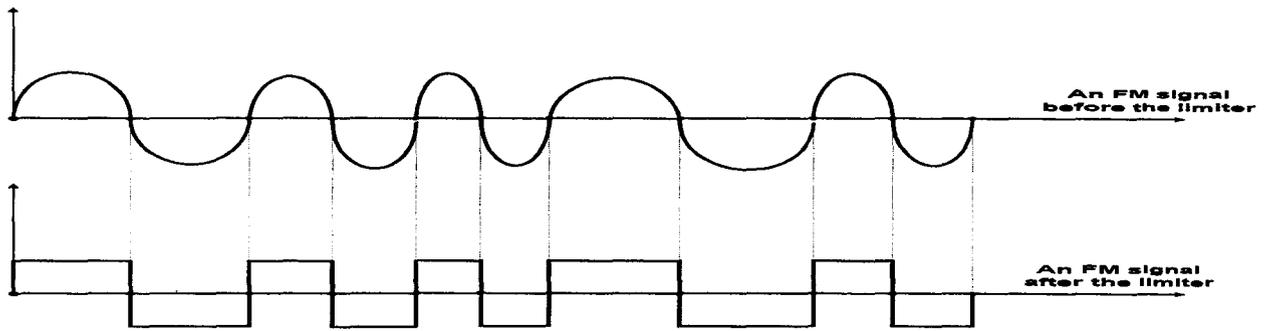


figure 2.5.2 L'opération de limitation.

Une version dérivée du théorème de Shannon peut être appliquée pour cette opération: si la fréquence d'échantillonnage d'un système est inférieure au double du maximum de la fréquence modulante, en sortie du système il y aura repliement du spectre et l'information utile sera perdue. Cette relation se traduit par:

$$FI > \Delta f_{\max} + f_{\max} \quad (2.5.1)$$

condition nécessaire pour ne pas avoir de repliement

avec:

FI = la fréquence intermédiaire (fréquence du signal utile à l'entrée du limiteur);

Δf_{\max} = la déviation maximale de fréquence;

f_{\max} = la fréquence maximale du signal modulant.

Cette dernière expression peut être interprétée d'une autre manière. En effet, conformément à la loi de Carson [2.5.4] pour les systèmes à modulation de fréquence, la bande fréquentielle du signal FM est donnée par:

$$BW = 2 \cdot (\Delta f_{\max} + f_{\max}) \quad (2.5.2)$$

avec:

BW = la largeur de la bande qui contient 98% de la puissance du signal FM.

Les deux expressions présentées ci-dessus imposent que la fréquence intermédiaire (FI) doit être suffisamment grande pour que le bas de la bande passante du signal FM soit supérieur au continu (DC). Il est clair que cette condition n'est pas remplie dans le cas du récepteur homodyne.

2.6. Le récepteur à mélange complexe de fréquences

Le principal désavantage du récepteur double hétérodyne est le besoin de filtrage haute-fréquence, pour éliminer le signal image. Une solution pour éviter cette opération haute-fréquence est présentée par le récepteur homodyne, qui, à son tour, n'est pas approprié pour la réception correcte des signaux FM. Une autre manière de faire est d'utiliser un système qui réalise la même opération de filtrage de la fréquence image que le récepteur homodyne, mais en travaillant à une Fréquence Intermédiaire de très faible [2.6.1], [2.6.2]. Ce système s'appelle le mélangeur à réjection d'image et il est présenté dans la figure 2.6.1.

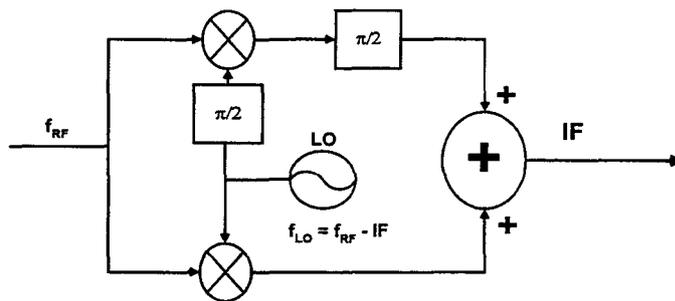


figure 2.6.1 Le mélangeur à réjection d'image.

Le signal radio d'entrée (f_{RF}) est directement traduit vers une Fréquence Intermédiaire beaucoup plus basse par un mélange avec deux signaux en quadrature issus d'un Oscillateur Local. La structure ne présente aucun filtre haute-fréquence de réjection d'image. Les deux signaux issus des mélangeurs sont en opposition de phase. Ensuite, l'une des deux voies est retardée d'un quart de période et les deux signaux, qui redeviennent en phase, peuvent être simplement sommés.

Ce type de structure permet d'éliminer la fréquence image. Les calculs présentés dans l'annexe A.2.6.1 montrent que les signaux avec une fréquence supérieure à l'Oscillateur Local sont sommés à la sortie de la structure, pendant que ceux qui ont une fréquence inférieure à l'OL sont soustraits, et donc éliminés. D'un point de vue pratique, la réjection de la fréquence image se voit limitée par l'appariement des deux voies en quadrature. Une valeur raisonnable pour l'atténuation qu'on puisse obtenir de cette façon, compte tenu des fréquences de travail, est de 30 dB.

Les blocs de retard (90°) sont les parties critiques du système, sachant que le système de réjection d'image se base sur la compensation parfaite entre les deux voies. Ce fait demande une forte précision sur la phase et un bon pareillement du gain des deux voies. Une façon de réaliser le déphasage de 90° est la combinaison entre un intégrateur RC et un différentiateur CR [2.6.3], [2.6.4]. De même, un réglage automatique pour le gain et la phase doivent être prévus.

Une autre solution pratique pour implémenter ce principe est présentée dans la figure 2.6.2 [2.6.5]. Réaliser deux sorties en quadrature à partir d'un Oscillateur Local n'est plus un problème, car la plupart des oscillateurs intégrés ont cette caractéristique. Le deuxième retard, présent sur le chemin du signal, peut être réalisé à l'aide d'un second bloc de mélangeurs, contrôlé par deux

autres signaux en quadrature. Cette deuxième paire de signaux en quadrature est obtenue à partir d'un deuxième Oscillateur Local. Le signal est donc translaté vers une deuxième Fréquence Intermédiaire, qui habituellement est supérieure à la première FI, mais qui reste largement inférieure aux fréquences radio incidentes.

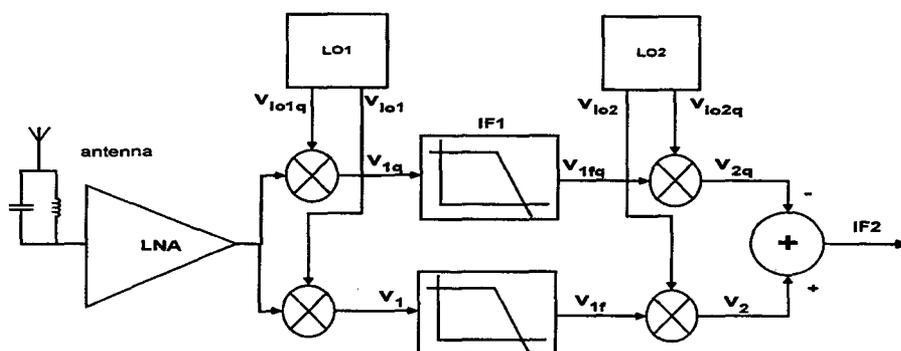


figure 2.6.2 Le schéma de principe du récepteur à mélange complexe de fréquences

Comme le système est devenu maintenant un récepteur à double hétérodyne, il présente au moins deux fréquence image (voir la figure 2.6.3). La première fréquence image (le signal B dans la figure) est associée au premier Oscillateur Local (OL). Ce signal générera, après passage par les deux blocs de mélangeurs, deux signaux de même amplitude et phase, qui seront donc éliminés par l'opérateur différence. La deuxième fréquence image (voir les signaux C et D dans la figure), associée au deuxième Oscillateur Local, nécessite un filtrage de type passe-bas avant le deuxième bloc de mélangeurs. De cette manière, seulement le signal désiré A se propage jusqu'à l'entrée du discriminateur.

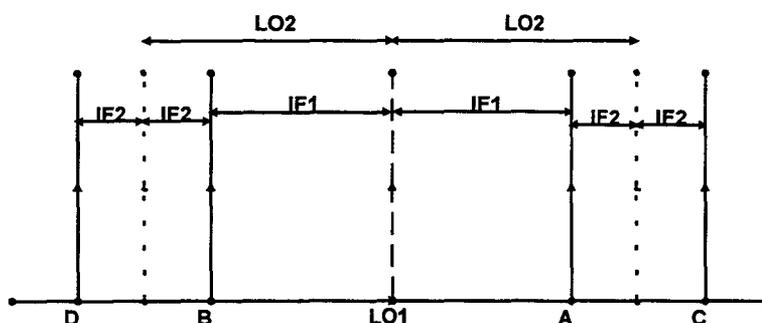


figure 2.6.3 Les fréquences image du récepteur à mélange complexe de fréquences

Ce type de circuit ne contient aucun traitement de filtrage au niveau radio-fréquence. Comme conséquence, il peut être utilisé pour des applications radio (récepteurs radio FM, récepteurs GSM...) à très haute fréquence d'entrée [2.6.6]. Les deux fréquences intermédiaires sont fixes. L'accord en fréquence nécessaire pour la sélection du canal doit agir seulement sur le premier Oscillateur Local. Les bonnes performances de ce type de récepteur dépendent également du

choix du jeu de fréquences adopté, sachant que pour des valeurs très basses de la première FI, il peut y avoir repliement du spectre initial du signal.

Le comportement du récepteur à mélange complexe de fréquences a été simulé à l'aide de simulations comportementales MATLAB. Les principaux résultats sont donnés dans l'annexe **A.2.6.2**.

2.7 Conclusion

Ce chapitre a présenté différentes structures de récepteurs radio-fréquences dans le contexte de la transmission de signaux en modulation de fréquence. Pour cette présentation, plusieurs aspects ont été abordés.

Une première partie rappelle les définitions et caractéristiques de la modulation de fréquence, pour la bande de transmission commerciale 87 – 108 MHz. Outre les aspects classiques de la FM, cette présentation met en évidence la possibilité de transmission de données numériques par le biais du standard RDS. La section suivante passe en revue les principaux termes employés dans le cadre des récepteurs radio-électriques. Et enfin, cette première partie présente le schéma de base (et de départ) pour tout récepteur radio super-hétérodyne, en abordant toutes les opérations de base nécessaires pour l'obtention à la sortie du circuit d'un signal radio démodulé.

La deuxième partie de ce chapitre présente plusieurs types possible de récepteurs radio-fréquence et leur application pour la réception FM, dans le cadre d'une structure complètement intégrée. Les différentes solutions sont traitées dans un ordre "logique", en partant d'un schéma de base de récepteur simple hétérodyne et en lui apportant pas à pas des modifications pour améliorer ses performances et son intégrabilité sur Silicium:

- Le récepteur simple hétérodyne;
- Le récepteur à discriminateur FM avec contre-réaction (FMFB);
- Le récepteur double hétérodyne;
- Le récepteur homodyne;
- Le récepteur à mélange complexe de fréquences.

D'après une première étude comportementale, deux de ces solutions seraient adaptées aux besoins de notre circuit: le récepteur double hétérodyne et celui à mélange complexe de fréquences. Les chapitres suivants se proposent d'examiner plus en détail la faisabilité et l'implémentation sur Silicium de ces deux solutions.

Chapitre 3. Le récepteur double hétérodyne

3.1.1 La structure de base

Pour réaliser le récepteur FM complètement intégré, la première solution adoptée a été celle du récepteur double hétérodyne. Comme précisé dans le chapitre 2.4, ce type de structure pourrait présenter une solution viable pour le compromis entre la réjection de la fréquence image et la sélectivité de canal. De plus, dans un système avec deux fréquences intermédiaires, l'écart relatif entre la fréquence utile et sa fréquence image devient plus important et donc une complète intégration des filtres de réjection d'image semble possible. Ainsi, la deuxième Fréquence Intermédiaire peut être choisie suffisamment basse pour que l'intégration soit également possible pour le filtre passe-bande de sélection de canal.

La figure 3.1.1 ci-dessous présente le schéma de base de la puce "Récepteur FM", telle qu'elle a été prévue dans le cahier des charges [3.1.1].

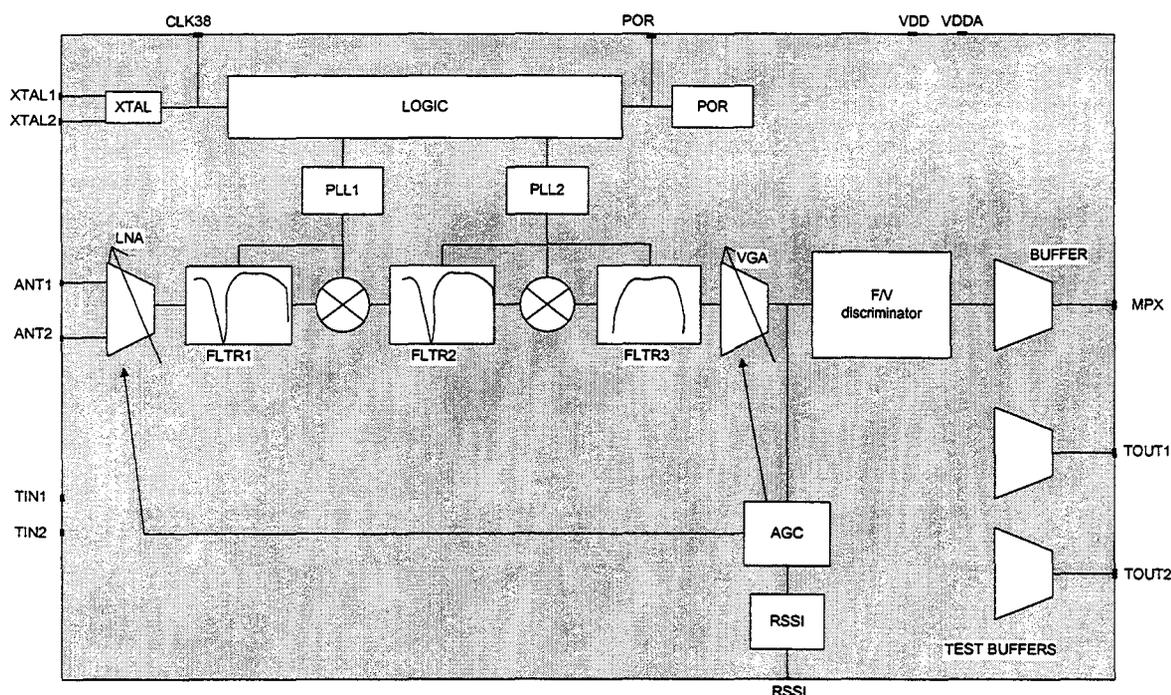


figure 3.1.1 Le schéma bloc du Récepteur FM à double hétérodyne

Les seuls éléments externes sont l'antenne ferrite accordée sur la bande FM commerciale et le cristal de quartz de fréquence 38 kHz.

Le signal différentiel issu de l'antenne attaque un amplificateur à faible bruit (LNA) qui présente également un gain variable. L'impédance d'entrée de l'amplificateur est adaptée à celle de l'antenne.

Le premier filtre de réjection de fréquence image (FTR1) élimine la première fréquence image associée au premier mélange de fréquences. Le signal est ensuite converti vers la première

Fréquence Intermédiaire (FI1) à l'aide d'un mélange avec un signal venu d'un premier Oscillateur Local. La première FI se situe autour de 15 MHz. Le même ensemble d'opérations est appliqué au signal pour le passage vers la deuxième Fréquence Intermédiaire (FI2): filtrage de réjection d'image (FTR2) et mélange avec un autre signal issu d'un deuxième Oscillateur Local. La deuxième FI est autour de 1 MHz. Les deux Oscillateurs Locaux sont implémentés à l'aide de deux boucles à verrouillage de phase (PLL1 et PLL2), avec un facteur de division variable.

Ce circuit a *la particularité* de présenter deux Fréquences Intermédiaires de valeurs variables. En effet, les deux Oscillateurs Locaux du récepteur ont une valeur qui est égale à une fraction *fixe* de la fréquence de la porteuse HF à recevoir. Ceci implique que les deux FI sont aussi égales à une fraction fixe de la fréquence incidente. Ce type de structure permet d'asservir en fréquence les deux filtres de réjection d'image et le filtre passe-bande à partir des deux PLL's. Si les filtres (continus) sont réalisés à partir des mêmes transconductances que les VCO's des deux boucles à verrouillage de phase, un bon réglage en fréquence des structures de filtrage peut être obtenu.

L'extraction du canal utile de fréquences est réalisée donc par un filtrage passe-bande très raide (FTR3). Un amplificateur à gain variable (VGA) amplifie les signaux issus du filtre. Le discriminateur (F/V) transforme les variations de la fréquence instantanée du signal à la deuxième FI en une information de tension en bande de base. Le signal démodulé est par la suite amplifié et filtré dans le bloc BUFFER et il est disponible en sortie sur la broche MPX.

Comme l'amplitude du signal radio reçu par l'antenne peut varier dans une très large gamme d'amplitude, un réglage automatique du gain (AGC) de tout le circuit front-end a été prévu. L'information utilisée par le bloc AGC est le signal à l'entrée du discriminateur de fréquences, et l'AGC agit sur le gain du LNA et celui du VGA.

Un oscillateur à quartz est également prévu à l'intérieur de la puce; il sert à piloter les signaux de référence pour les PLL et la partie logique du circuit.

Toutes les parties énumérées ci-dessus sont prévues pour une intégration complètement analogique. Le circuit présente aussi une partie numérique (LOGIC) d'importance plus réduite. Les coefficients de division variables des PLL, ainsi que le trimming des fréquences centrales de tous les filtres sont réalisés dans cette partie numérique.

D'autres fonctions propres aux récepteurs FM classiques sont également implémentées en technologie numérique. Il s'agit de l'indicateur de puissance du signal reçu (Received Strength Signal Indicator) et de l'indicateur qui montre l'accord correct du récepteur sur la fréquence à recevoir (Automatic Frequency Control).

La partie numérique permet également de mettre la partie analogique et l'oscillateur à quartz en mode veille. Et enfin, la logique réalise aussi la gestion des modes de test prévus sur la puce. En vue de la testabilité, plusieurs multiplexeurs analogiques sont englobés dans le schéma, afin de permettre l'accès à des niveaux internes du circuit.

3.1.2 Le choix des Fréquences Intermédiaires

Comme précisé au 3.1.1., le design de ce circuit prévoit que les deux Fréquences Intermédiaires soient variables. Le tableau suivant présente le jeu de fréquences choisi.

Fréquence	Valeur littérale	Valeur min (MHz)	Valeur exemple (MHz)	Valeur max (MHz)
Porteuse d'accord	Fc	87.5	100	108
1 ^{er} Oscillateur Local	Fol1 = Fc - FI1 Fol1 = 0.849*Fc	74.2	84.9	91.7
1 ^{ère} Fréquence Image	Fim1 = Fc - 2*FI1 Fim1 = 0.696*Fc	60.9	69.6	75.1
1 ^{ère} Fréquence Intermédiaire	FI1 = Fc / 6.6 FI1 = 0.151*Fc	13.2	15.1	16.3
2 ^e Oscillateur Local	Fol2 = Fol1 / 6 Fol2 = 0.933*FI1	12.2	14	15.1
2 ^e Fréquence Image	Fim2 = FI1 - 2*FI2 Fim2 = 0.866*FI1	11.4	13	14.1
2 ^e Fréquence Intermédiaire	FI2 = FI1 / 15 FI2 = 0.067*FI1	0.885	1.011	1.092

table 3.1.1 Jeu de fréquences choisi pour le récepteur double hétérodyne

La deuxième colonne de ce tableau indique les valeurs des différentes fréquences en fonction de la *porteuse de référence*. La porteuse de référence pour tous les signaux jusqu'à la FI1 est Fc, c.à.d. le signal radio-fréquence d'entrée. Pour toutes les fréquences d'après, c'est la FI1 qui est vue comme porteuse de référence. La différence relative entre une fréquence et sa porteuse de référence donne des indications sur le degré de complexité du filtre de réjection d'image à implémenter.

Egalement dans la deuxième colonne, les valeurs mises en **gras italique** sont les choix de conception pris volontairement, comme décrit à la page précédente, les autres valeurs découlant de ces choix.

Outre ces aspects "techniques", d'autres remarques d'ordre "système" peuvent être mis en évidence par ce type de structure. La figure 3.1.2 ci-dessous dessine les plages de fréquences occupées par la fréquence porteuse radio-fréquence, la fréquence de l'OL1 et la première fréquence image.

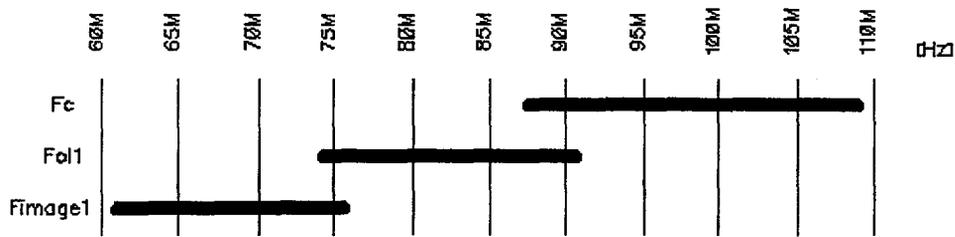


figure 3.1.2 Le jeu de fréquences associés au premier mélange de fréquences

Pour toute structure de radio-récepteur classique, la fréquence intermédiaire est choisie de telle manière que la bande occupée par la fréquence image ne se superpose pas à celle du signal utile radio-fréquence. Comme les antennes de réception sont habituellement accordées sur la bande utile à recevoir (dans notre cas ~ 20 MHz), ayant un facteur de qualité autour de 100, il est préférable que les fréquences image se trouvent dans une bande qui n'est pas amplifiée par l'antenne.

La largeur de la bande occupée par la fréquence image est de 14.26 MHz. La bande de fréquences occupée par l'émission FM standard est de 20.5 MHz. Dans le cas d'un système où la première FI est fixe, la largeur de bande pour la fréquence image est égale à celle de la bande FM. Dans le système présenté dans ce chapitre, on observe une réduction de 30% de la bande concernant la première fréquence image, ce qui avantage le premier filtre de réjection d'image, en réduisant la bande d'accord du notch.

L'écart relatif entre la fréquence radio incidente et sa première fréquence image est de 30% également. Cette opération a pour but également d'alléger la tâche du filtre haute-fréquence de réjection d'image, en augmentant l'écart entre la fréquence des pôles et celle des zéros.

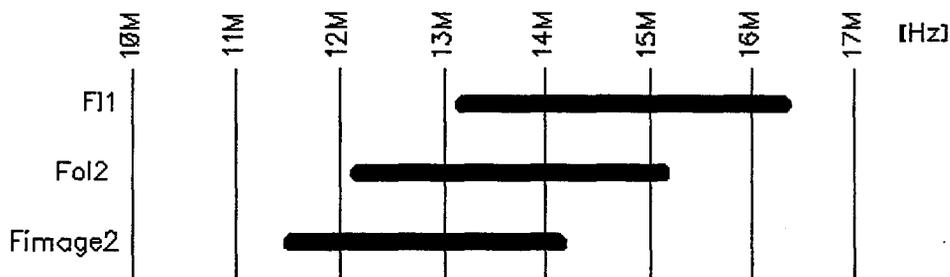


figure 3.1.3 Le jeu de fréquences associés au deuxième mélange de fréquences

La figure 3.1.3 présente le diagramme des fréquences représenté pour le deuxième mélange de fréquences. Dans ce cas, on observe qu'il y a un recouvrement de presque 30% entre la bande de la deuxième FI et la bande concernant sa fréquence image.

La partie aval (back-end) du circuit demande une deuxième FI suffisamment basse pour permettre l'intégration du filtre de sélection de canal et du discriminateur. Cette fréquence suffisamment basse implique un faible écart entre la deuxième porteuse de référence et sa fréquence image (seulement 13.4%). La valeur choisie pour la deuxième FI semble réaliser le meilleur compromis entre la partie aval et celle amont (front-end) du récepteur.

3.2 Les contraintes électriques du circuit

Ce chapitre présente les contraintes les plus importantes pour le récepteur FM, telles qu'elles sont précisées dans le cahier des charges du circuit.

1. Consommation et gamme de fréquences de fonctionnement

Le circuit doit respecter des contraintes de faible consommation et de faible tension d'alimentation (low-power low-voltage). Ceci permettrait au circuit d'être utilisé pour un récepteur radio-messagerie portable, avec une longue vie pour les batteries d'alimentation (ou alors pour les piles). Pour les premiers récepteurs de radio-messagerie, la durée de vie des piles était de seulement deux semaines [3.2.1]; elle est devenue, pour les produits les plus récents, d'environ un mois et demie [3.2.2]. Le circuit FM présenté dans ce chapitre se propose une autonomie de quelques mois.

Le tableau suivant indique les valeurs de consommation et d'alimentation pour le récepteur FM en question. De même, il donne la gamme utile de fréquences de réception du circuit.

Paramètre	Valeur min	Valeur max	Unité de mesure
Tension d'alimentation	2.2	3.7	V
Consommation globale de la puce		10 (@25°C)	mA
Gamme de fréquences utiles	87.5	108	MHz

table 3.2.1 Contraintes de consommation pour le récepteur FM

2. Sensibilité

Les récepteurs portables doivent présenter une très bonne sensibilité électrique, sachant que la taille de l'antenne de réception est fortement réduite. Le tableau suivant donne quelques informations concernant ce critère d'appréciation.

NOTA: La valeur réelle de l'impédance d'entrée du récepteur est de 500 Ω .

Paramètre	Valeur min	Valeur max	Unité de mesure
Gamme dynamique d'entrée	-110	-10	dBm
Facteur de bruit pour IN = -110 dBm		4	dB
Facteur de bruit pour IN > -90 dBm		20	dB

table 3.2.2 Contraintes de sensibilité pour le récepteur FM

Le niveau minimum du signal d'entrée à recevoir est donc de 2.23 μ V et le niveau maximal de 223 mV.

3. Sélectivité

Le diagramme de sélectivité d'un récepteur FM suit de près celui imposé par les Normes Internationales. Le tableau suivant présente ces valeurs.

Ecart de fréquence	Niveau toléré du bruiteur (dB)
0	-15
+/- 100 kHz	-10
+/- 200 kHz	0
+/- 300 kHz	30
+/- 400 kHz	60
+/- 1 MHz ou plus	70

table 3.2.3 Contraintes de sélectivité pour le récepteur FM

4. Linéarité

La linéarité du récepteur peut se chiffrer par l'amplitude des produits d'intermodulation résultants après passage par le circuit de deux signaux de fréquences différentes. Le tableau suivant présente la valeur du point d'interception d'ordre trois, pour des différentes valeurs du signal d'entrée.

IP3	Valeur min	Unité de mesure
pour IN = -110 dBm	-10	dBm
pour IN > -90 dBm	-30	dBm

table 3.2.4 Contraintes de linéarité pour le récepteur FM

5. Fidélité

Pour un récepteur FM, la principale source de distorsion est l'opération de discrimination. En effet, cette opération fréquentielle consiste en quelque sorte en une reconstruction de signaux en basses-fréquences, en partant d'un signal de fréquence beaucoup plus élevée.

Le tableau suivant donne les valeurs de distorsion harmonique et d'intermodulation générées par le discriminateur, et mesurées à la sortie MPX.

Paramètre	Valeur max
Taux de distorsion harmonique	-50 dB = 0.316%
Taux de distorsion d'intermodulation	-56 dB = 0.158%

table 3.2.5 Contraintes de fidélité pour le récepteur FM

Cependant, les constructeurs indiquent également les caractéristiques de distorsion du filtre radio d'extraction du canal désiré, sachant que ce filtre limite la bande passante du signal reçu. Le spectre d'un signal modulé FM est, en théorie, d'étendue infinie [3.2.3], donc il peut paraître probable que l'information utile se retrouve tronquée après passage par ce filtre. En pratique, plus de 98% de la puissance du signal se trouve dans une bande limitée (~200 kHz) [3.2.4]. Le tableau suivant présente quelques caractéristiques du filtre de sélection de canal.

Paramètre	Valeur min	Valeur max	Unité de mesure
Largeur de bande du filtre radio	210	240	kHz
Ondulation du filtre dans la bande		6	dB
Distorsion de délai de groupe du filtre dans la bande		3	μ s

table 3.2.6 Caractéristiques du filtre radio de sélection de canal

6. Stabilité

Il s'agit de la stabilité fréquentielle du récepteur dans le temps, en tenant compte des variations possibles des conditions d'environnement. Le circuit est prévu avec un indicateur AFC qui se met à l'état actif chaque fois que les Oscillateurs Locaux s'écartent de Δf_{AFC} par rapport à la fréquence de la porteuse HF à recevoir. Le tableau suivant donne quelques valeurs concernant la stabilité du circuit.

Paramètre	Valeur min	Valeur max	Unité de mesure
Température de fonctionnement	-30	70	°C
Déviaton max de fréquence (Δf AFC)	5	25	kHz
Résolution d'accord en fréquence		7.6	kHz

table 3.2.7 Données concernant la stabilité en fréquence du récepteur FM

La gamme de fonctionnement en température correspond aux limites standard imposées pour des applications civiles. La résolution d'accord chiffre le pas de fréquence minimum programmable à l'aide de la partie logique englobée dans le récepteur.

3.3 Le choix des structures

3.3.1 Le traitement front-end (amont)

La partie front-end de ce récepteur FM est le bloc stratégique du circuit. La réalisation du récepteur FM dans une structure de double hétérodyne dépend surtout de la possibilité d'intégration du premier filtre de réjection d'image.

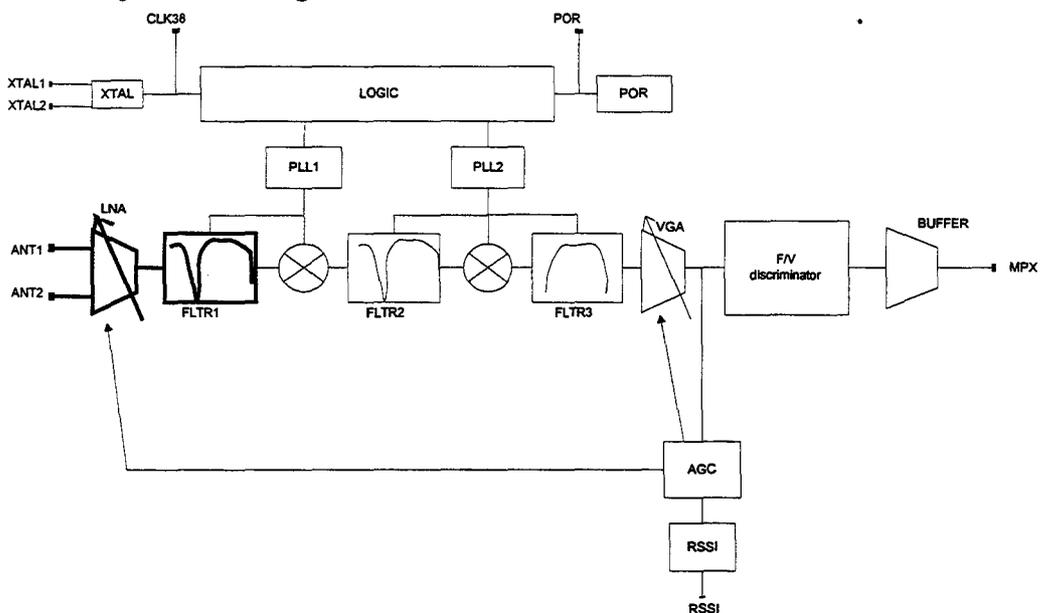


figure 3.3.1 Le 'Récepteur FM' à double hétérodyne; la partie front-end est mise en évidence

La figure 3.3.1 met en évidence la partie amont (front-end) du circuit "Récepteur FM". Il s'agit d'abord de l'amplificateur à faible bruit (LNA) suivi par le premier filtre de réjection de l'image. La faisabilité d'amplificateurs à faible bruit pour des fréquences radio de réception a déjà été prouvée par plusieurs types d'implémentations [3.3.1], [3.3.2].

Par contre, la faisabilité du premier filtre image n'a pas encore été validée. Des problèmes liés à la haute fréquence de travail du filtre, ainsi que les contraintes de faible consommation et faible tension d'alimentation, rendent sa réalisation très difficile. Le chapitre 3.4 présentera plus en détail l'étude théorique et l'implémentation physique de ce filtre, ce qui permettra de conclure sur la faisabilité actuelle de la structure.

3.3.1.a L'amplificateur à faible bruit (LNA)

La figure 3.3.2 ci-dessous présente le schéma de principe du bloc LNA. Il s'agit d'un amplificateur à fort gain de boucle ouverte, mis en configuration de contre-réaction par un réseau de deux résistances, R_s et R_{fb} . La structure est différentielle. R_{fb} est une résistance physique, intégrée dans le bloc LNA, tandis que R_s est la résistance de sortie du générateur de tension attaquant l'amplificateur, qui est en l'occurrence l'antenne. L'impédance de sortie de l'antenne est de 500Ω .

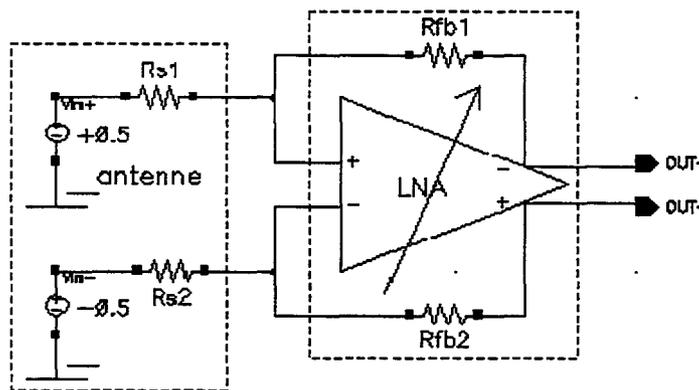


figure 3.3.2 Le schéma de principe du LNA

L'amplificateur bouclé a deux modes de fonctionnement:

- **mode fort gain.** Dans ce cas, le bloc LNA présente un gain de 20 dB. Le circuit sera mis dans ce mode de fonctionnement lorsque l'amplitude du signal d'entrée est faible.
- **mode faible gain.** Le LNA présente dans ce cas un gain de 0 dB. Ce mode s'adresse aux signaux avec une forte amplitude en entrée.

Un signal binaire, commandé par le bloc de contrôle automatique de gain, permet de basculer d'une mode de fonctionnement à l'autre.

Le schéma simplifié au niveau transistor est présenté à la figure 3.3.3.

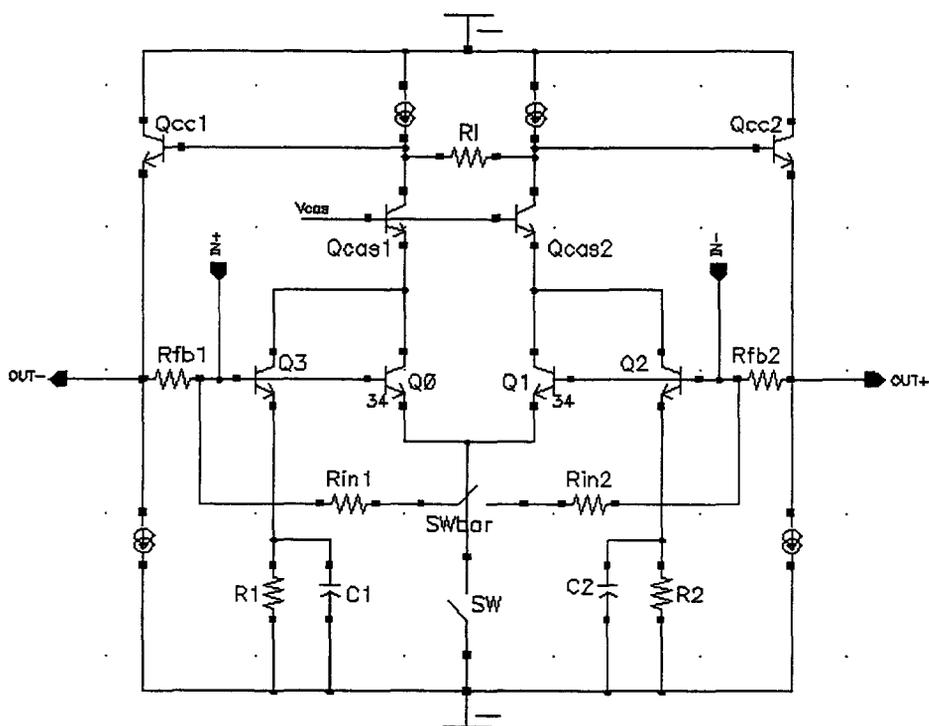


figure 3.3.3 Le schéma transistor du LNA

Le fonctionnement du circuit est basé sur la superposition de deux paires différentielles bipolaires.

La première est constituée des transistors Q_0 et Q_1 et elle est active seulement en mode fort gain, donc pour des signaux d'entrée de faible amplitude. Les transistors sont optimisés pour des caractéristiques de faible bruit, ce qui implique que chacun est réalisé par la mise en parallèle de plusieurs transistors bipolaires unitaires (dans ce cas, on a 34 transistors unitaires pour un transistor du schéma). Comme les signaux d'entrée sont de faible amplitude, cette paire différentielle ne nécessite pas une grande plage linéaire, et donc les transistors ne sont pas dégénérés. La paire différentielle est reliée à la masse par le biais d'un interrupteur NMOS (SW), qui la déconnecte du circuit dans le cas du fonctionnement en mode faible gain.

La deuxième paire différentielle, réalisée avec les transistors Q_2 et Q_3 , est elle dégénérée. Cette paire différentielle est toujours active, mais sa contribution en mode fort gain est négligeable. Ceci est dû à la différence des courants traversant les deux paires différentielles, sachant que ces deux derniers transistors sont réalisés avec des transistors unitaires. Comme cette paire différentielle doit agir en mode faible gain, elle a été prévue avec des résistances de dégénérescence, pour faire face aux signaux incidents de forte amplitude. Cette paire différentielle est également reliée à la masse.

Les deux paires différentielles sont alimentées par des sources de courant reliées à l'alimentation positive du circuit. La sortie des paires différentielles est chargée par la résistance R_1 . Une paire de transistors cascode permet l'obtention d'un fort gain de boucle ouverte pour l'amplificateur. Pour pouvoir attaquer la charge résistive apportée par la résistance de contre-réaction (R_{fb1} entre IN+ et OUT- et R_{fb2} entre les deux autres), un étage différentiel de collecteur commun a été introduit. Le point de connexion entre le premier étage du circuit (les paires différentielles) et le deuxième (le suiveur) est un nœud critique du circuit, de point de vue capacité parasite.

Lors du fonctionnement du circuit en mode faible gain, la première paire différentielle est donc inactive. Ceci a pour effet également une perturbation au niveau de l'impédance d'entrée, qui doit être égale en tous les cas à 500 Ω . Pour palier à cet effet, les deux résistances R_{in1} et R_{in2} ont été connectées entre les deux entrées IN+ et IN- et elles peuvent être mises hors du circuit actif par un autre interrupteur NMOS commandé par le signal SWbar.

Les courants de polarisation de l'amplificateur sont issus d'une source de courants du type PTAT (Proportional To Absolute Temperature). Cette source de courant polarise uniquement le LNA, ce qui permet un bon matching de proximité entre les transistors dans le générateur de courants et ceux dans le schéma "actif". De même, ceci permet d'éviter au maximum les parasites électriques induits par d'autres parties du récepteur, sachant que cet amplificateur doit présenter un très faible facteur de bruit.

La contrainte principale de l'amplificateur reste le facteur de bruit, qui doit avoir une valeur aussi faible que possible. Dans une chaîne de réception, c'est le facteur de bruit du premier bloc qui détermine en bonne partie le facteur de bruit globale de l'entière structure .

Le fonctionnement critique du circuit de point de vue facteur de bruit est dans le cas où un signal de faible amplitude doit être reçu par le circuit. Dans ce cas, le LNA sera mis en mode fort gain, ce qui minimisera l'apport en facteur de bruit des étages suivants et donc le facteur de bruit global sera quasiment égal à celui du LNA. Comme présenté dans le chapitre 3.2, le facteur de bruit maximal du récepteur FM, pour un signal d'entrée de -110 dBm, doit être de seulement 4 dB.

Résultats des simulations

Le tableau suivant présente quelques performances de simulation concernant le bloc LNA.

Paramètre	Résultat en cond. typique 25°C	Résultat en cond. slow -35°C	Résultat en cond. fast 75°C
Gain B.F. en mode gain = 10	19.27 dB	19.57 dB	
Gain B.F. en mode gain = 1	-0.23 dB	3.76 dB	
B.P. en mode gain = 10	220 MHz	136 MHz	
B.P. en mode gain = 1	248 MHz	153 MHz	
Consommation totale	1.6 mA		1.9 mA
THD en mode gain = 10		-47 dB	
THD en mode gain = 1	-50 dB	-42 dB	
Facteur de bruit (pire cas)		0.97 dB	2.89 dB
THDIM3	-41 dB	-40.5 dB	

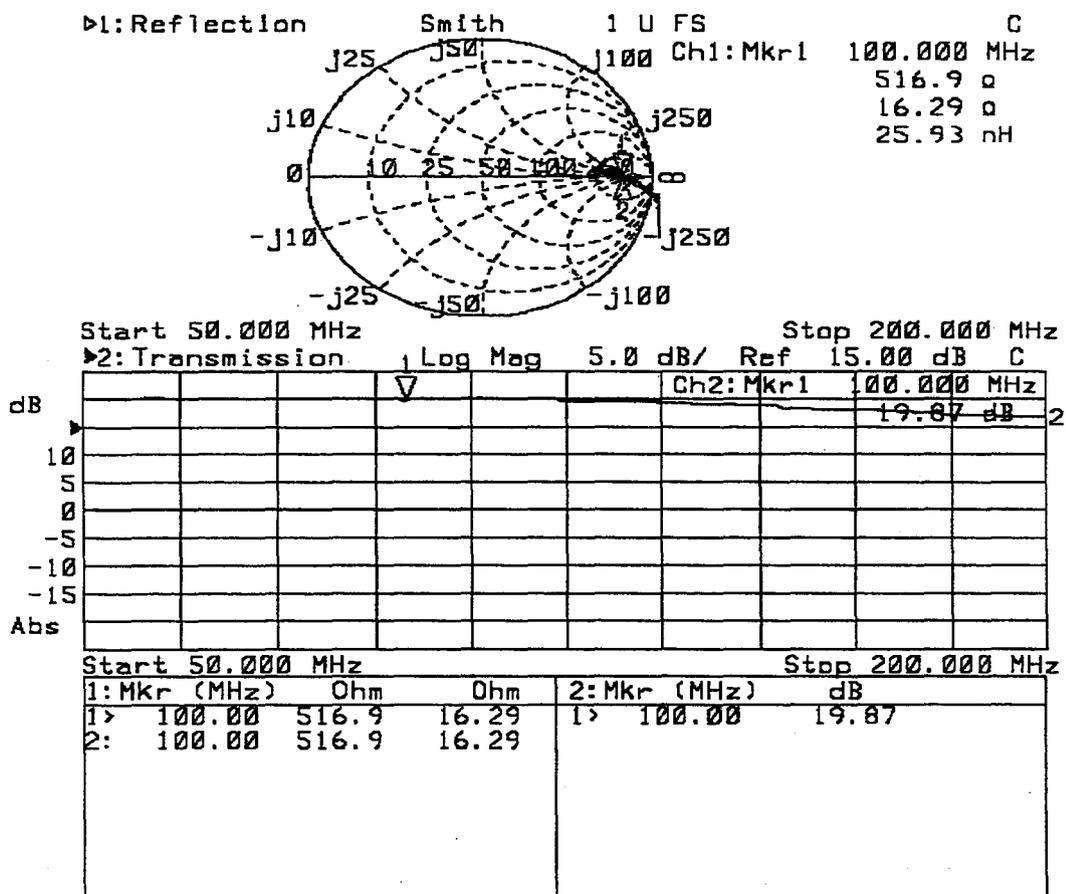
table 3.3.1 Quelques performances de simulation pour le LNA

NOTA: Les simulations ont été réalisées avec le simulateur HSPICE sur une plate-forme CADENCE, les modèles de simulation étant *level 47*.

Résultats des mesures

Cette partie du circuit a été réalisée sur Silicium en octobre 1995, lors du premier RUN concernant le "Récepteur FM". L'annexe *A.mes1* présente le dispositif de mesures mis en place pour tester les puces. Pour pouvoir appliquer aux circuits intégrés sur la puce des tensions différentielles, des buffers d'entrée et de sortie ont été prévus sur la puce. Ces buffers permettent également une adaptation vers le monde extérieur sur 50 Ω. Pour tester le LNA, la chaîne de mesure comprend l'amplificateur suivi d'un buffer de sortie.

La figure 3.3.4 présente le résultats de mesures concernant l'amplificateur à faible bruit, fonctionnant en mode de fort gain (20 dB).



LNA Module du gain

- configuration en gain de 10
- Vdd = 3.5V

figure 3.3.4 Réponse en fréquence du LNA (mesurée sur analyseur de réseau)

Les mesures ont été effectuées pour deux valeurs de la tension d'alimentation. Le tableau 3.3.2 montre quelques résultats prélevés sur les courbes de réponse en fréquence du LNA. Les conditions de mesure ont été les suivantes:

- amplificateur en mode de fort gain;
- le signal est appliqué sur l'entrée IN+; l'entrée IN- est reliée à la masse par le biais d'une capacité de 2.2 nF;
- le buffer de sortie est polarisé correctement;
- les valeurs données dans le tableau concernent uniquement le bloc LNA.

Fréquence de mesure (MHz)	Module du gain; Vdd_LNA =3.5V	Module du gain; Vdd_LNA =2.2V
50	19.99	17.30
87	20.07	17.14
100	19.87	16.8
108	20.09	17.0
120	19.95	16.77
150	18.95	non disp.

table 3.3.2 Résultats de mesures pour le LNA (RUN d'octobre 1995)

A la fréquence de 100 MHz, l'impédance du LNA, tenant compte du câblage de la plaquette de test, est:

- résistance parallèle: 500.03 Ω ;
- inductance parallèle: 26.52 μ H.

Le délai de groupe varie entre 1.6 et 2.4 ns dans la bande utile de fréquences, soit une distorsion du délai de groupe de 0.8 ns.

3.3.1.b Le filtre de réjection de la première fréquence image - approche comportementale

Les filtres haute fréquence de réjection d'image ont été implémentés en utilisant la synthèse de structures biquadratiques cascades. Cette méthode permet de décomposer la fonction de transfert du filtre en un produit de fonctions de transfert du second ordre, appelées sections biquadratiques. L'expression de la fonction de transfert générale pour une section biquadratique (ou encore biquad) est donnée par l'équation (3.3.2) ci-dessous.

$$H(p) = K \cdot \frac{a_2 \cdot p^2 + a_1 \cdot p + a_0}{p^2 + \frac{\omega_0}{Q} \cdot p + \omega_0^2} \quad (3.3.1)$$

avec:

- $p = j.\omega$ = la fréquence complexe;
- ω_0 = la pulsation de résonance du pôle;
- Q = le facteur de qualité du pôle;
- a_0, a_1, a_2 = des constantes réelles.

Selon les valeurs prises par les différentes constantes a_0, a_1 et a_2 , la fonction de transfert peut représenter un filtre passe-bas ($a_2 = a_1 = 0$), passe-haut ($a_1 = a_0 = 0$), passe-bande ($a_2 = a_0 = 0$), stop-bande ($a_1 = 0$) ou encore passe-tout [3.3.3].

Le critère principal dans le choix de la structure de base de la section biquadratique adoptée a été l'opération de filtrage en haute fréquence. Une structure de biquad en réalisation Gm-C, qui se prête au filtrage haute fréquence, est présentée dans la figure suivante [3.3.4].

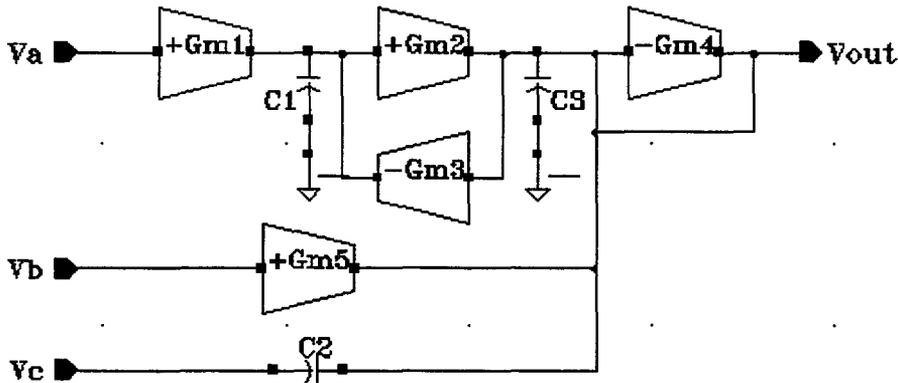


figure 3.3.5 Section biquadratique en structure Gm-C appropriée au filtrage HF

La fonction de transfert (idéale) de ce biquad est donnée dans l'équation (3.3.3).

$$V_o(p) = \frac{C_2}{C_2 + C_3} \cdot \frac{p^2 V_c + p \frac{g_{m5}}{C_2} V_b + \frac{g_{m2} g_{m1}}{C_1 C_2} V_a}{p^2 + p \frac{g_{m4}}{C_2 + C_3} + \frac{g_{m3} g_{m2}}{C_1 (C_2 + C_3)}} \quad (3.3.2)$$

La pulsation de résonance et le facteur de qualité du pôle sont (valeurs idéales):

$$\omega_0 = \sqrt{\frac{g_{m3} g_{m2}}{C_1 (C_2 + C_3)}} \quad (3.3.3)$$

$$Q_p = \sqrt{\frac{C_2 + C_3}{C_1}} \cdot \frac{\sqrt{g_{m3} g_{m2}}}{g_{m4}} \quad (3.3.4)$$

Un choix approprié des valeurs des transconductances et des capacités permet d'implémenter la fonction de transfert désirée.

Cette structure est très adaptée à la synthèse de filtres en hautes fréquences grâce à la présence des capacités entre chaque nœud du circuit et la masse. Il est bien connu qu'en technologie intégrée, les capacités présentent toujours une autre capacité, parasite cette fois, entre la plateau inférieur et la masse. De plus, il faut tenir compte également de la capacité d'entrée des transconductances. Pour pouvoir tenir compte de l'effet de ces capacités dès l'analyse comportementale du filtre, il est nécessaire que la structure de départ du filtre présente des chemins capacitifs directs entre chaque nœud du circuit et la masse.

La concaténation de plusieurs sections biquadratiques peut poser aussi des problèmes d'adaptation de charge. Ceci doit être pris en compte d'autant plus que des buffers de tension ne sont pas forcément faisables à de très hautes fréquences.

Le premier filtre de réjection d'image nécessaire pour le récepteur FM double hétérodyne présenté dans ce chapitre est une structure de *filtre passe-haut avec notch*. Le tableau suivant indique le gabarit à respecter pour le filtre.

Fréquence	Atténuation	Remarques
Porteuse RF F_c	0 dB	Plage de variation: 87.5 ... 108 MHz
1ère Fréquence Image $F_{im1} = 0.696 * F_c$	60 dB	Plage de variation: 60.9 ... 75.1 MHz
Basses Fréquences	forte	$f < 60$ MHz
Hautes Fréquences	forte	$f > 110$ MHz

table 3.3.3 Gabarit en fréquence du premier filtre de réjection d'image

Le filtre doit présenter une forme globale de passe-bande, pour limiter la bande de bruit injecté dans la suite de la chaîne de réception. Pour les basses fréquences, cette atténuation est obtenue par la forme même du filtre (passe-haut). L'atténuation pour les hautes fréquences sera acquise grâce aux imperfections des transconductances utilisées, qui ont une bande passante limitée en fréquence et qui vont imposer une sorte de fréquence de coupure haute pour le filtre.

Pour obtenir ce type de filtre, nous avons employé la structure de biquad présentée à la figure 3.3.5. En posant $V_a = V_b = V_c$, une fonction de *filtre passe-haut avec notch* peut être obtenue, comme indiqué dans la figure 3.3.6 ci-dessous.

3.4 La réalisation du premier filtre HF de réjection d'image

3.4.1 Considérations nécessaires pour une analyse comportementale du filtre

Ce chapitre présente un court aperçu des différentes non-idéalités des éléments constitutifs des filtres continus, tels celui de la figure 3.3.6.

Eléments parasites caractérisant les transconductances

La brique de base dans un filtre continu est l'intégrateur. La figure 3.4.1 présente schématiquement l'intégrateur idéal et l'intégrateur comprenant des effets de non-idéalités [3.4.1].

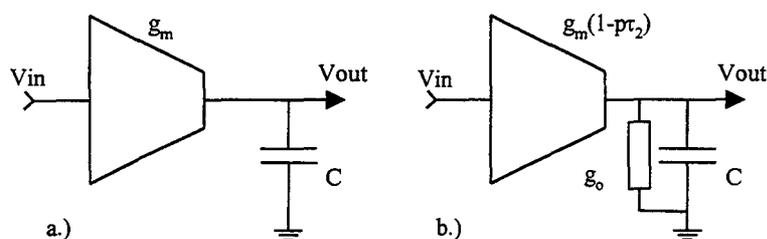


figure 3.4.1 Le schéma de principe d'un intégrateur
a.) intégrateur idéal;
b.) intégrateur non-idéal

Une première remarque est à faire sur *la conductance de sortie* de la transconductance, qui est généralement positive et de faible valeur. Ceci implique un gain en tension fini pour la transconductance (3.4.1) et donc l'apparition d'un pôle basses-fréquences (3.4.2) pour la structure de l'intégrateur (voir également la figure 3.4.2).

$$A_0 = \frac{g_m}{g_o} \quad (3.4.1)$$

$$\tau_1 = \frac{C}{g_o} \quad (3.4.2)$$

Le retard dans la fonction de transfert de l'intégrateur modélise les divers pôles et zéros parasites. Les pôles secondaires sont dus soit aux fréquences de coupure intrinsèques des transistors dans le schéma, soit aux fréquences de coupure associées aux éventuels nœuds internes de la transconductance.

Les zéros parasites viennent de deux sources également. Les inévitables capacités de recouvrement entre la grille et la source (ou le drain) des transistors MOS, ou alors la capacité C_μ des bipolaires qui sont utilisés sur les entrées de la transconductance, créent dans certains cas de figure un zéro à partie réelle positive [3.4.2]. D'un autre côté, les résistances série des blocs de capacités, réalisées

en structure "alvéolée" pour un meilleur appariement capacitif, introduisent également un zéro de transmission.

Tous ces pôles et zéros parasites peuvent être modélisés par un zéro global, situé dans le demi-plan gauche ou droit du plan complexe des fréquences. La figure 3.4.2 ci-dessous donne le schéma de la fonction de transfert d'un intégrateur non-idéal: on retrouve modélisés l'effet de la conductance de sortie finie de la transconductance et l'effet d'un zéro de transmission "global" situé dans le demi-plan complexe droit.

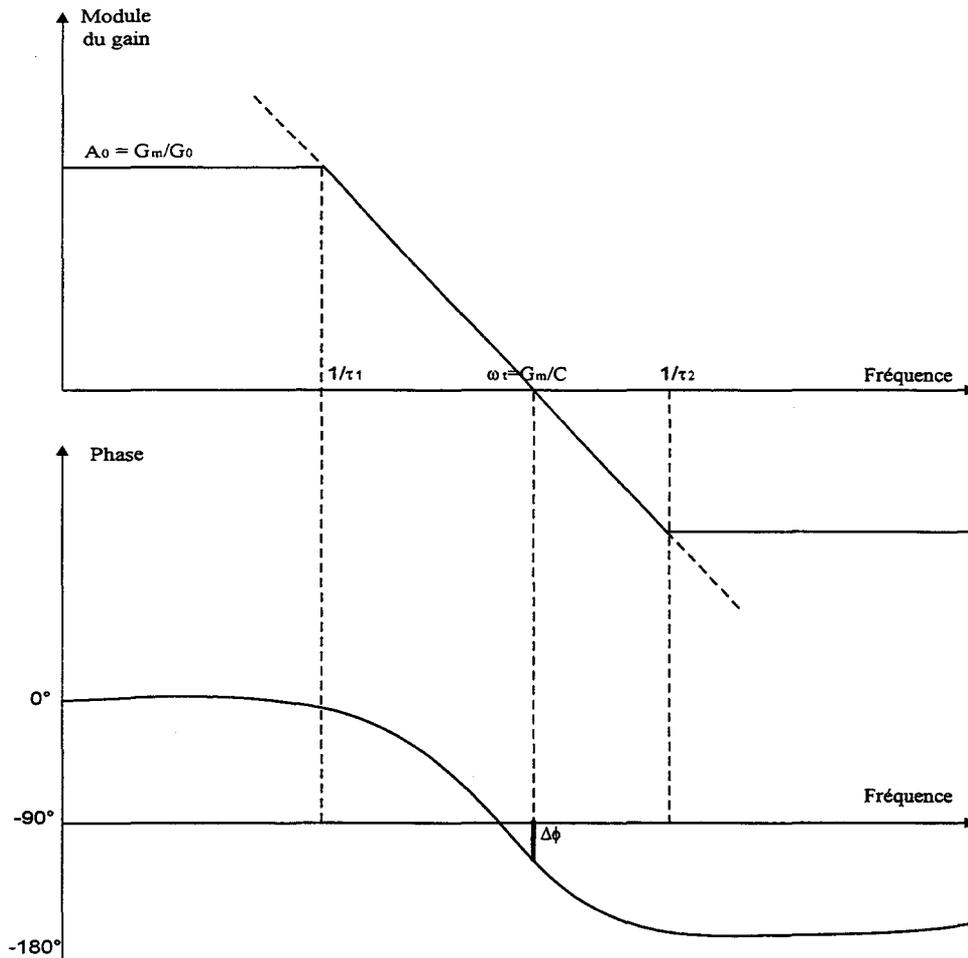


figure 3.4.2 La fonction de transfert (module et phase) pour un intégrateur non-idéal

La fonction de transfert d'un tel intégrateur peut être mise sous la forme suivante:

$$H_{ni}(p) = A_0 \cdot \frac{1 - p\tau_2}{1 + p\tau_1} \quad (3.4.3)$$

L'effet cumulé des deux types d'imperfections citées auparavant sur la fonction de transfert consiste en un retard ou une avance de phase à la fréquence de coupure de l'intégrateur. Il est à noter qu'à la

fréquence de coupure, l'intégrateur idéal doit présenter une phase de exactement -90° , ce qui est équivalent à un facteur de qualité infini de l'intégrateur.

Dans le cas d'un intégrateur avec des non-idéalités, son facteur de qualité devient donc de valeur finie. Pour des faibles écarts de phase, le facteur de qualité d'un intégrateur non-idéal peut être calculé avec la formule suivante:

$$\frac{1}{Q_{\text{int}}(\omega_0)} = \frac{1}{\omega\tau_1} - \omega\tau_2 \quad (3.4.4)$$

Un facteur de qualité fini des intégrateurs génère dans un filtre des variations au niveau de la fonction de transfert globale du filtre, en résultant dans des nouvelles valeurs pour le pôle ω_0 et son facteur de qualité Q_p . En général, on retrouve une faible déviation du pôle, mais par contre la dégradation du facteur de qualité Q_p dépend des facteurs de qualité des intégrateurs dans le filtre. La formule (3.4.5) ci-dessous donne la dégradation du facteur de qualité du pôle en fonction du pire cas de valeur de facteur de qualité pour les intégrateurs utilisés.

$$\frac{1}{Q_p} = \frac{1}{Q_p} + \frac{2}{Q_{\text{int}}(\omega_0)} \quad (3.4.5)$$

Pour des structures biquadratiques qui ont un zéro de transmission dans leur fonction de transfert, le même type de raisonnement peut être appliqué pour le facteur de qualité du zéro.

Pour respecter la précision sur le facteur de qualité du filtre imposée par le cahier des charges, la condition suivante doit être respectée au niveau du facteur de qualité des intégrateurs:

$$Q_{\text{int}}(\omega_0) > \frac{2Q_p}{\Delta Q_p / Q_p} \quad (3.4.6)$$

Pour réaliser des filtres d'ordre élevé, la synthèse impose l'utilisation de plusieurs intégrateurs à des fréquences de résonance différentes. Ceci impose le fait que les intégrateurs doivent présenter une phase de -90° sur une grande plage de fréquences. La fréquence de travail du filtre doit se situer loin de la fréquence de coupure du pôle basses-fréquence (τ_1) et de celle du zéro hautes-fréquences (τ_2) (3.4.7).

$$\left| \frac{1}{\tau_1} \right| \ll \omega_{\text{travail}} \ll \left| \frac{1}{\tau_2} \right| \quad (3.4.7)$$

Toutes ces différentes remarques sur les effets des non-linéarités des transconductances mènent à la conclusion que ce type de filtres biquadratiques haute-fréquence a besoin d'un réglage (tuning) du facteur de qualité du pôle et éventuellement du zéro. Ce réglage a pour but d'assurer un facteur de qualité infini pour tous les intégrateurs du biquad, ce qui équivaut à une phase de -90° à la fréquence de travail du filtre pour tous les intégrateurs.

Eléments parasites caractérisant les capacités

Il y a deux types de capacités utilisés dans la structure des filtres continus: des capacités flottantes et des capacités ayant un nœud connecté à la masse. Dans les technologies actuelles Silicium, la façon la plus courante d'intégrer ces capacités est en réalisant une superposition de couches Polysilicium1 et Polysilicium2 [3.4.3].

Tous les filtres continus sont réalisés évidemment dans des structures différentielles, ce qui impose la nécessité d'un bon appariement entre les paires de capacités identiques, en plus de celui demandé pour obtenir des bons rapports entre les différentes autres capacités du filtre. Pour satisfaire à cette demande d'un bon appariement, les fondeurs proposent des structures physiques de capacités basés sur la répétition un certain nombre de fois d'une cellule unitaire capacitive [3.4.4].

Les capacités d'intégration deviennent ainsi des structures "alvéolées", chacune étant un multiple entier de la capacité unitaire (3.4.8).

$$C = n \cdot C_{unitaire}, n \text{ entier} \quad (3.4.8)$$

Il est connu que pour une capacité poly1 - poly2, le plateau inférieur (dans notre cas le poly1) présente une capacité parasite vers le substrat du circuit. Pour des capacité d'une valeur assez importante (quelques pF) réalisées en un seul bloc, la valeur de cette capacité parasite constitue en général 5% de la valeur de la capacité physique désirée. La valeur de la capacité parasite entre le plateau supérieur (dans notre cas le poly2) et le substrat est, pour ce type de réalisations, négligeable.

La situation est tout à fait différente dans le cas des capacités d'intégration utilisées dans les filtres continus, où on désire des valeurs très précises pour ces capacités et on emploie donc des structures alvéolées. De plus, ces capacités ont des valeurs assez faibles (pas plus de quelques pF) pour des filtres avec des fréquences de travail élevées et qui ont besoin également d'une faible consommation.

Toutes ces considérations imposent le choix d'une capacité unitaire qui a habituellement une valeur de quelques centaines de fF. Pour minimiser la résistance parasite afférente aux structures alvéolées de capacités, il est nécessaire que chaque capacité unitaire soit contactée directement par le biais d'une liaison faiblement résistive (métal, par exemple). La figure 3.4.3 ci-dessous montre une possible structure de capacité unitaire appropriée aux traitements en haute-fréquence.

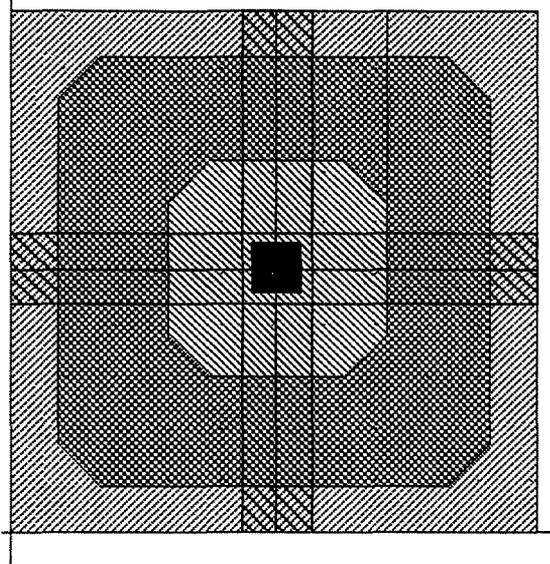


figure 3.4.3 Capacité unitaire appropriée pour le filtrage haute-fréquence

Des structures telles que celle montrée à la figure 3.4.3 présentent en effet trois capacités parasites de valeur assez significative (voir figure 3.4.4).

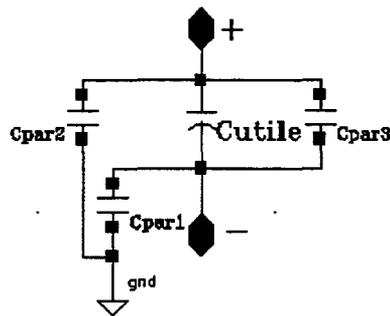


figure 3.4.4 Les capacités parasites correspondant à une $C_{unitaire}$ dans le cas des structures alvéolées

Un travail sur la structure de ce type de capacités unitaires s'impose donc, pour minimiser la valeur des ces trois capacités parasites. L'annexe A.3.4.1 présente ce travail d'extraction et de minimisation des capacités parasites pour les capacités d'intégration employées dans le premier filtre de réjection d'image.

Pour pouvoir réaliser des filtres hautes fréquences, il faut donc absolument partir de schémas électriques qui présentent des chemins capacitifs entre chaque nœud du circuit et la masse. La valeur physique de la capacité à implémenter sera décidée à la fin de la conception, en réalisant plusieurs itérations lors de l'étape de layout et extraction du circuit.

3.4.2 Choix des valeurs; simulations comportementales

La figure 3.4.5 ci-dessous rappelle la structure de base du premier filtre de réjection d'image. Il s'agit donc d'un filtre continu Gm-C de fonction passe-haut avec notch.

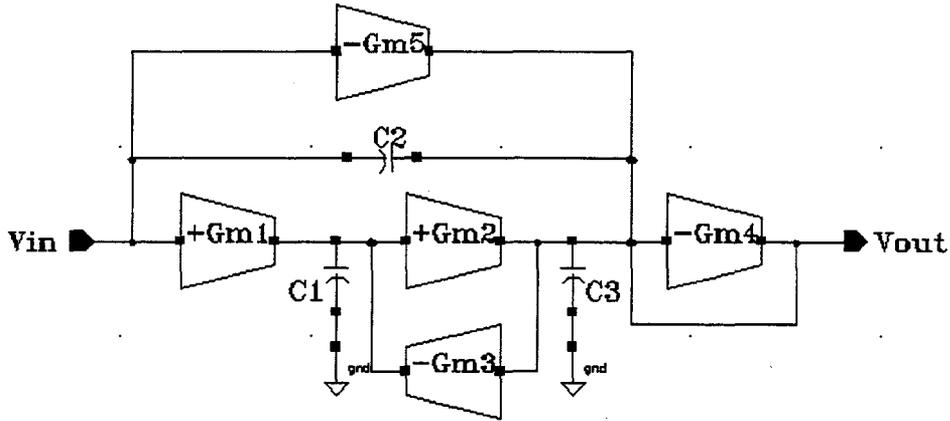


figure 3.4.5 Schéma de base du premier filtre de réjection d'image

La fonction de transfert (idéale) de ce filtre est donc:

$$H(p) = \frac{C_2}{C_2 + C_3} \cdot \frac{p^2 - p \frac{g_{m5}}{C_2} + \frac{g_{m1}g_{m3}}{C_1C_2}}{p^2 + p \frac{g_{m4}}{C_2 + C_3} + \frac{g_{m2}g_{m3}}{C_1(C_2 + C_3)}} \quad (3.4.9)$$

Le tableau suivant représente les informations concernant les pôles et les zéros de la structure.

	Fréquence de résonance	Facteur de qualité
Pôle	$f_p = \frac{1}{2 \cdot \pi} \frac{\sqrt{g_{m2}g_{m3}}}{\sqrt{C_1(C_2 + C_3)}} \quad (3.4.10)$	$Q_p = \sqrt{\frac{C_2 + C_3}{C_1}} \cdot \frac{\sqrt{g_{m2}g_{m3}}}{g_{m4}} \quad (3.4.12)$
Zéro	$f_z = \frac{1}{2 \cdot \pi} \frac{\sqrt{g_{m1}g_{m3}}}{\sqrt{C_1C_2}} \quad (3.4.11)$	$Q_z = \frac{\sqrt{g_{m1}g_{m3}}}{g_{m5}} \quad (3.4.13)$

table 3.4.1. Les pôles et les zéros du filtre image.

Quelques remarques s'imposent sur la capacité C_3 . Comme présenté auparavant, cette capacité est nécessaire pour assurer un chemin capacitif entre le nœud de sortie du biquad et la masse. Cependant, il n'est pas obligatoire que cette capacité soit physiquement présente sur le layout, car elle peut être remplacée par la capacité parasite de C_2 . Si un layout soigneux est réalisé pour cette capacité C_2 , la valeur de la capacité parasite sera d'environ 5% de la valeur de la capacité initiale.

Pour cette première version du filtre de réjection d'image, nous avons choisi une structure du filtre dans laquelle $C_1 = C_2 = C = 1 \text{ pF}$. Ceci permet d'un côté de pouvoir choisir des transconductances qui consomment faiblement, et de l'autre côté permet de minimiser la surface du layout du circuit.

Discutons un instant les effets de cette capacité C_3 . Comme présenté dans le tableau 3.4.1, elle n'influence que la paire de pôles du biquad. Soit f_{p0} et Q_{p0} les valeurs du pôle et de son facteur de qualité dans le cas où $C_3 = 0$. Si on considère effectivement que $C_3 = 5\% \cdot C_2$ et que $C_1 = C_2$, on obtient alors les relations suivantes:

$$f_p = 0.975 \cdot f_{p0} \quad (3.4.14)$$

$$Q_p = 1.024 \cdot Q_{p0} \quad (3.4.15)$$

On observe que cette capacité de faible valeur induit seulement 2.5% de déviation sur les valeurs du pôle et de son facteur de qualité. Ceci nous permet de la négliger dans les calculs théoriques menant au choix des valeurs des transconductances, sachant que, de toute manière, le filtre aura besoin d'asservissement et en fréquence et pour le facteur de qualité, et donc cette déviation pourra être réparée.

Une dernière remarque s'impose dans ces considérations. La valeur de cette capacité C_3 sera finalement plus élevée, car il y a aussi la capacité de sortie des transconductances g_{m3} , g_{m4} et g_{m5} qui s'ajoute sur le nœud de sortie du biquad. Tous ces effets seront finalement pris en compte lors des simulations transistor de la structure.

Nous avons choisi la même valeur pour les deux transconductances g_{m2} et g_{m3} qui forment une self vers la masse (avec la capacité C_3). La paire de pôles de la structure est donnée par le circuit résonant LC formé par cette « self » et la capacité C_1 :

$$g_{m2} = g_{m3} = G_{m23} = 2 \cdot \pi \cdot C \cdot f_p \quad (3.4.16)$$

Une fois la valeur de la capacité fixée, la valeur du pôle du biquad pourra être ajustée en agissant seulement sur la valeur G_{m23} .

La transconductance g_{m1} fixe la valeur du zéro du filtre, une fois que G_{m23} a été figée:

$$g_{m1} = G_{m1} = G_{m23} \cdot \left(\frac{f_z}{f_p} \right)^2 \quad (3.4.17)$$

Les deux autres transconductances, g_{m4} et g_{m5} , permettent de fixer la valeur des facteurs de qualité du pôle et du zéro du filtre, toujours après avoir défini la valeur G_{m23} :

$$g_{m4} = G_{m4} = \frac{G_{m23}}{Q_p} \quad (3.4.18)$$

$$g_{m5} = G_{m5} = G_{m23} \cdot \frac{f_z}{f_p} \cdot \frac{1}{Q_z} \quad (3.4.19)$$

Des simulations ont été menées sur ce filtre avec un modèle comportemental pour les transconductances. Les transconductances "comportementales" prennent en compte les éléments suivants:

- la valeur de la transconductance bien sûr;
- le second pôle de la transconductance (modélisé par un réseau RC)¹;
- la résistance de sortie de la transconductance \Leftrightarrow le gain DC.

La figure 3.4.6 ci-dessous présente le schéma de base utilisé pour modéliser le comportement des transconductances dans le biquad (prise en compte des éléments parasites du 2nd ordre).

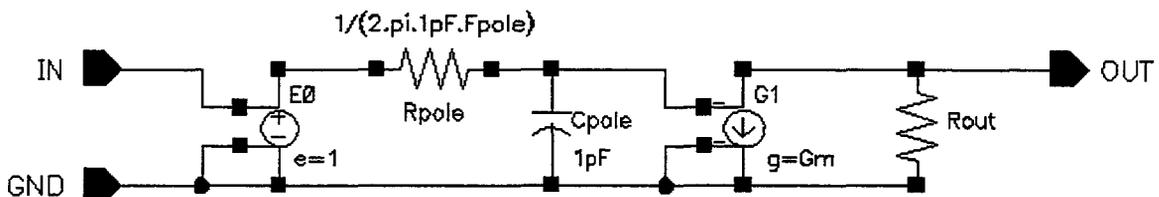


figure 3.4.6 Modélisation comportementale d'une transconductance (schéma single-ended)

Le cas de figure étudié la plupart du temps est celui qui correspond à une fréquence de réception RF de 100MHz (donc $f_{image1} \sim 70\text{MHz}$). Pour celui-ci, après plusieurs itérations de simulations comportementales, on fixera les caractéristiques suivantes pour le filtre (un biquad):

Caractéristiques du pôle	Caractéristiques du zéro
$f_{\text{pôle}} = 100 \text{ MHz}$	$f_{\text{zéro}} = 70 \text{ MHz}$
$Q_{\text{pôle}} = 5$	$Q_{\text{zéro}} = 10$

table 3.4.2. Les caractéristiques en fréquence du filtre

Ces paramètres permettent ainsi d'obtenir le gabarit souhaité pour le filtre (voir la **table 3.3.3** du précédent chapitre). De plus, une variation de 20% sur la valeur des facteur de qualité reste tolérable, le filtre restant encore dans le gabarit donné. De même, le choix de ces valeurs permet de chiffrer la valeur des transconductances utilisées dans un biquad.

¹ On néglige les zéros parasites, en considérant que les pôles parasites des transconductances sont prédominants. Cette hypothèse a été validée par la suite.

Le tableau suivant indique la valeur de la fréquence de coupure pour des intégrateurs chargés avec une capacité théorique de 1 pF.

Transconductance (nom et nom générique)	Fréquence de coupure de l'intégrateur (chargé sous 1 pF)	Gain de l'intégrateur à 100 MHz
$g_{m2} = g_{m3} = G_{m23}$	100 MHz	1 = 0 dB
$g_{m1} = G_{m1}$	50 MHz	0.5 = -6 dB
$g_{m4} = G_{m4}$	20 MHz	0.2 = -14 dB
$g_{m5} = G_{m5}$	7.3 MHz	0.073 = -22.75 dB

table 3.4.3. Valeur des transconductances utilisées dans le premier filtre image

Quant aux "caractéristiques parasites" pour chaque transconductance, les simulations comportementales imposent les valeurs suivantes:

Caractéristique	Val. min.	Val. typ.	Val. max.
2 nd pole	800 MHz	1 GHz	2.5 GHz
gain DC	70 = 36.9 dB	120 = 41.6 dB	200 = 46 dB

*table 3.4.4. Caractéristiques parasites des transconductances
(limites imposées par la simulation comportementale)*

La figure 3.4.7 présente les résultats des simulations comportementales réalisées en tenant compte des caractéristiques des transconductances telles qu'elles sont données dans les *tables 3.4.3 et 3.4.4*. Les trois courbes correspondent à la sortie de chacune des trois sections biquadriques cascadées.

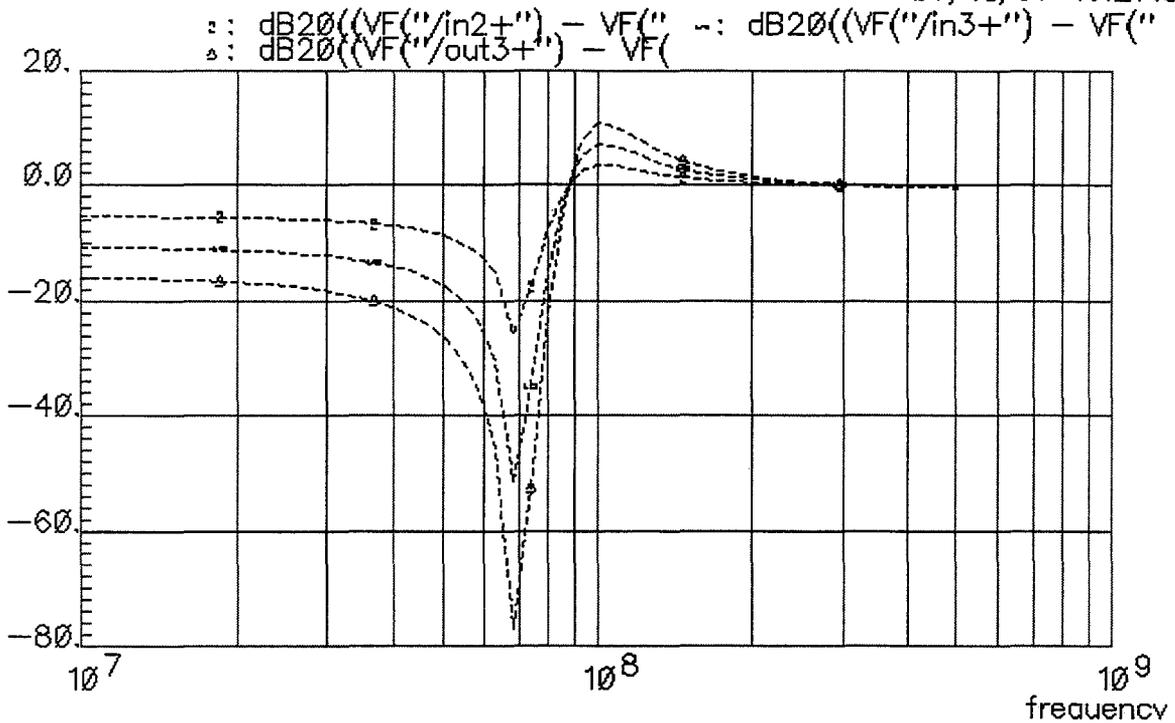


figure 3.4.7 La réponse en fréquence du premier filtre de réjection d'image; simulations comportementales.

3.4.3 La structure des transconductances

Pour minimiser les problèmes introduits par les pôles secondaires dans les cellules de transconductance, ainsi que pour réduire la consommation, nous avons adopté la stratégie de mettre ensemble, dans une même cellule, toutes les transconductances dont la sortie est commune. Ainsi, g_{m1} et g_{m2} sont dans une cellule et g_{m3} , g_{m4} et g_{m5} dans une autre. L'étage de sortie a la même structure (et les composants ont les mêmes caractéristiques) pour les deux cellules. Toutes les 5 transconductances sont conçues selon le même schéma de base. La figure 3.4.8 présente le schéma de principe d'une section bi-quadratique réalisée comme décrit ci-dessus.

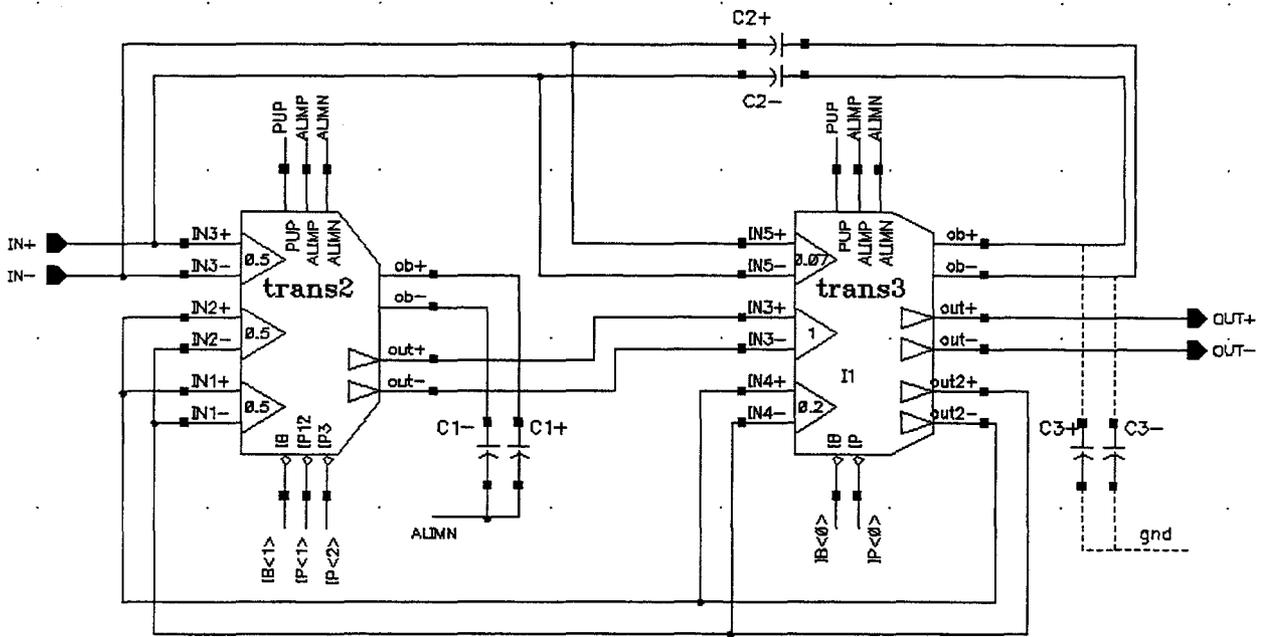


figure 3.4.8 Schéma de principe d'une section biquadratique
(les transconductances qui ont la même sortie sont regroupées dans un seul bloc)

Sachant que $g_{m1} = g_{m2} / 2$, il a été préféré (pour faciliter le design et le layout) d'implémenter g_{m2} sous la forme de deux blocs de transconductances de gain 0.5. Ceci permet également d'obtenir un meilleur appariement entre g_{m1} et g_{m2} , dont le rapport détermine la fréquence du zéro du filtre. De plus, au niveau du layout, une section biquadratique du filtre est composée de deux blocs comprenant chacun trois transconductances:

- le bloc « trans2 » contient trois transconductances de valeur 0.5, deux d'entre elles ayant les entrées mises ensemble pour former la transconductance de valeur 1;
- le bloc « trans3 » est formé de trois transconductances également, mais de valeur 1, 0.2 et respectivement 0.07.

Pour chaque étage de sortie, il y a deux types de sorties différentielles:

- sorties haute impédance (nommées **ob+** et **ob-**); ce sont les nœuds sur lesquels on connecte les capacités d'intégration du filtre;
 - sorties bufferisées (nommées **out+** et **out-**), pour pouvoir attaquer les cellules suivantes.
- Pour le bloc « trans3 », ces sorties sont dédoublées, la deuxième paire de sorties servant à attaquer la prochaine section biquadratique du filtre.

Structure de base de la transconductance

Le choix de la structure de base des transconductances est réalisé à partir de plusieurs critères imposés par le cahier des charges ou encore par le résultat des simulations comportementales.

Premièrement, le filtre doit fonctionner à des fréquences autour de 100 MHz, ce qui impose le choix incontestable d'une paire différentielle avec des transistors bipolaires pour le noyau de la transconductance, sachant que des contraintes de faible consommation et faible alimentation sont imposées également par le cahier des charges. La réalisation du filtre dans une technologie BiCMOS sub-micronique semble un choix judicieux .

Deuxièmement, des évidentes contraintes de linéarité imposent la réalisation d'une dégénérescence au niveau de la paire différentielle. La figure 3.4.9.a ci-dessous présente la structure de base d'une paire différentielle bipolaire dégénérée.

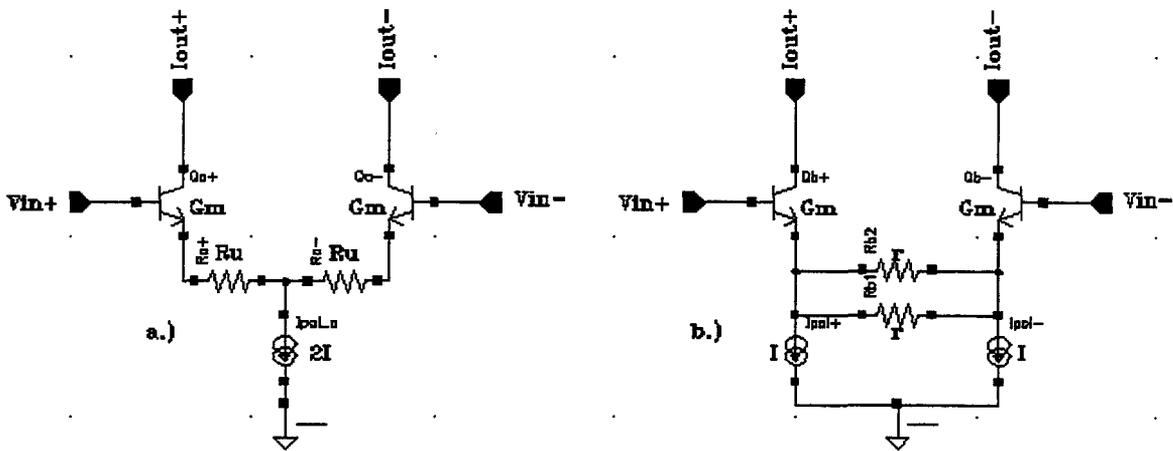


figure 3.4.9 Paire différentielle bipolaire dégénérée:
a.) structure de base;
b.) structure dérivée

La valeur de la transconductance équivalente pour cette structure est:

$$G_m = \frac{g_m}{1 + g_m \cdot R_u} \quad (3.4.20)$$

avec:

g_m = la transconductance des transistors bipolaires;
 R_u = la résistance série de dégénérescence.

La figure 3.4.9.b montre une autre possibilité d'implémenter la même structure, en passant du schéma série à celui parallèle. Dans ce cas, la valeur de chaque résistance de dégénérescence devient:

$$r = 4 \cdot R_u \quad (3.4.21)$$

et la valeur de la transconductance équivalente de la structure sera donc:

$$G_m = \frac{g_m}{1 + g_m \cdot \frac{r}{4}} \quad (3.4.22)$$

avec:

g_m = la transconductance des transistors bipolaires;
 r = la résistance parallèle de dégénérescence.

Les quatre cellules des transconductance employées dans le filtre de réjection d'image utilisent le schéma de base présenté à la figure 3.4.9.b. La résistance r est réalisée en utilisant la conductance de sortie d'un transistor NMOS polarisé en régime triode. Pour un transistor MOS polarisé en régime triode, la valeur de la conductance de sortie est la suivante:

$$g_{ds} = \frac{\partial I_d}{\partial V_{ds}} = \mu C_{ox} \frac{W}{L} \cdot \left(V_G - V_T - \lambda V_s - \frac{\lambda}{2} V_{Ds} \right) \quad (3.4.23)$$

avec:

μ = la mobilité (des électrons ou des trous, selon le type du MOS);
 C_{ox} = la capacité surfacique de l'oxyde de grille;
 W, L = la largeur, respectivement la longueur du transistor MOS;
 V_G, V_S, V_D = les tensions de grille, source et respectivement drain du transistor;
 V_T = la tension effective de seuil; $V_T = V_{T0} + (\lambda - 1)V_S$
 V_{T0} = la tension de seuil à polarisation nulle;
 λ = le coefficient de Memelinck (de valeur ~ 1.2) [3.4.5], [3.4.6], [3.4.7].

Pour réaliser l'accord en fréquence du filtre de réjection d'image, la solution largement adoptée pour des filtres continus intégrés est l'accord variable en fréquence des transconductances. Pour réaliser cet accord, nous avons choisi de garder constante la polarisation des transistors bipolaires et de faire varier la valeur de la résistance de dégénérescence (voir figure 3.4.9.b). Pour ce faire, un transistor MOS monté en diode commande la tension de grille du transistor polarisé en régime triode (celui qui réalise la dégénérescence):

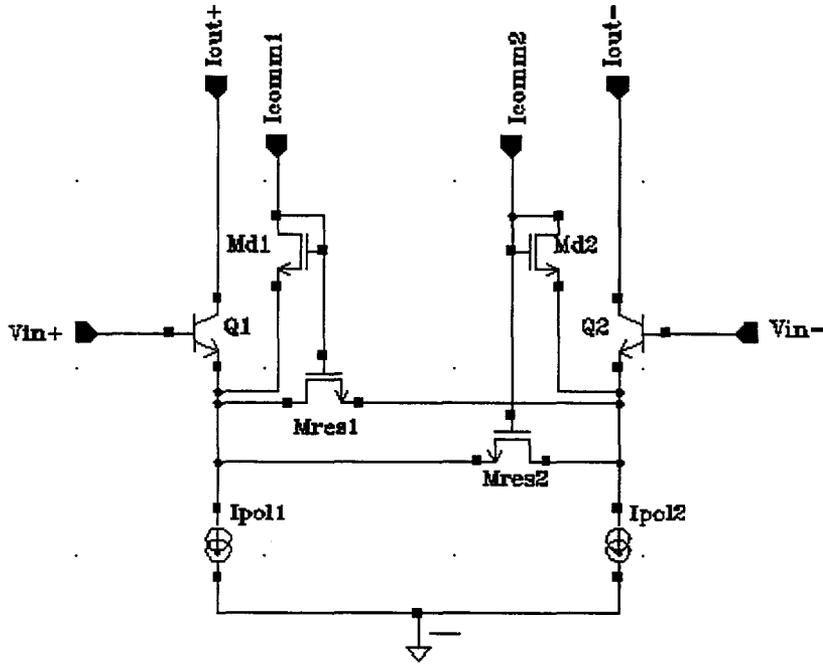


figure 3.4.10 Le cœur de la transconductance employé dans le filtre de réjection d'image

Dans la figure 3.4.10 ci-dessus, les deux résistances de dégénérescence sont réalisées à l'aide des deux transistors NMOS M_{res1} et M_{res2} ; les transistors NMOS M_{d1} et M_{d2} assurent la polarisation variable des deux transistors-résistance. En première approximation, la valeur des résistances de dégénérescence est la suivante:

$$r = \frac{1}{g_{ds}|_{res}} = \frac{1}{\mu_n C_{ox} \frac{W}{L}|_{res} \cdot (V_G - V_T - \lambda_n V_S)} \quad (3.4.23)$$

avec:

$W, L|_{res}$ = la largeur et la longueur pour les transistors NMOS M_{res1} et M_{res2} ;
 V_G, V_S = les tensions de grille et respectivement de source du transistor M_{res1} ;
 λ_n = le coefficient de Memelinck pour les transistors NMOS.

Cette approximation n'est pas trop grossière, sachant que la tension V_{DS} des transistors-résistance présente seulement une composante petit-signal.

Les deux transistors NMOS M_{d1} et M_{d2} polarisés en diode fonctionnent évidemment en régime saturé; le courant de drain est donné par l'équation suivante:

$$I_{commande} = \mu_n C_{ox} \frac{W}{L}|_d \cdot \frac{(V_G - \lambda_n V_S - V_T)^2}{2\lambda_n} \quad (3.4.24)$$

avec:

$W, L|_d$ = la largeur et la longueur pour les transistors NMOS M_{d1} et M_{d2} ;
 V_G, V_S = les tensions de grille et respectivement de source du transistor M_{d1} ;
 λ_n = le coefficient de Memelinck pour les transistors NMOS.

L'astuce du montage est la suivante: pour une paire de transistors $M_{res} - M_d$, les nœuds de grille et de source coïncident, et donc en faisant varier le courant $I_{commande}$, on change implicitement la valeur de la conductance de sortie de M_{res} . En remplaçant $(V_G - \lambda V_S - V_T)$ de l'équation (3.4.23) par sa valeur prise dans l'équation (3.4.24), on obtient la valeur de la résistance de dégénérescence r en fonction du courant $I_{commande}$:

$$r = \frac{1}{g_{ds}|_{res}} = \frac{1}{\sqrt{2\lambda_n \cdot \mu_n C_{ox}}} \cdot \frac{\sqrt{\frac{W}{L}}|_d}{\frac{W}{L}|_{res}} \cdot \frac{1}{\sqrt{I_{commande}}} = Constante \cdot \frac{1}{\sqrt{I_{commande}}} \quad (3.4.25)$$

avec:

$W, L|_{res}$ = la largeur et la longueur pour les transistors NMOS M_{res1} et M_{res2} ;
 $W, L|_d$ = la largeur et la longueur pour les transistors NMOS M_{d1} et M_{d2} ;
 μ_n = la mobilité des électrons ;
 C_{ox} = la capacité surfacique de l'oxyde de grille;
 λ_n = le coefficient de Memelinck pour les transistors NMOS.

Pour conclure, le fonctionnement de base de chaque cellule de transconductance du filtre se base sur le schéma présenté à la figure 3.4.10. La paire différentielle bipolaire est polarisée par un courant constant. Les résistances parallèle de dégénérescence sont réalisées à l'aide de transistors NMOS polarisés en régime triode, dont la valeur de la conductance de sortie est contrôlée par un courant $I_{commande}$. La valeur de la transconductance équivalente de la structure est la suivante:

$$G_m = \frac{g_m}{1 + \frac{Constante}{4} \cdot g_m \cdot \frac{1}{\sqrt{I_{commande}}}} \quad (3.4.26)$$

avec:

G_m = la transconductance équivalente de la structure;
 g_m = la transconductance des transistors bipolaires de la paire différentielle;
 $I_{commande}$ = le courant de commande de la structure, vient d'une source PMOS;

$$Constante = \frac{1}{\sqrt{2\lambda_n \cdot \mu_n C_{ox}}} \cdot \frac{\sqrt{\frac{W}{L}}|_d}{\frac{W}{L}|_{res}}$$

Polarisation des entrées en tension et charge des sorties en courant pour les transconductances

Une étude de principe du filtre a démontré que l'emploi d'un système de régulation du mode commun classique n'était pas très adaptée à ce type de structure. Nous avons donc pris le choix de réaliser un couplage capacitif entre les différentes transconductances du filtre, en réalisant des cellules passe-haut en entrée de chaque transconductance. Pour que le comportement passe-haut de ces structures n'influence pas celui du filtre, une fréquence de coupure de l'ordre de 10 MHz au plus a été choisie pour les passe-haut.

Plusieurs critères entrent en jeu pour le choix des valeurs des cellules passe-haut. Pour le choix des capacités de couplage, il faut tenir compte des suivantes:

- la valeur de la capacité de couplage doit être beaucoup plus grande que celle de la capacité d'entrée des paires différentielles bipolaires, pour ne pas réaliser un diviseur capacitif de tension;
- la valeur de la capacité de couplage ne doit pas être trop importante, pour minimiser sa surface occupée sur le Silicium.

Il faut évidemment faire un compromis entre ces deux conditions. Une capacité de l'ordre de quelques pF semble satisfaire les deux conditions.

Pour satisfaire à la condition concernant la fréquence de coupure du passe-haut, plusieurs solutions sont possibles:

- employer une résistance. La résistance devrait avoir une valeur d'une dizaine de k Ω , ce qui imposerait une assez importante consommation de puissance dans la résistance;
- employer une inductance.

La dernière solution a été adoptée. Pour réaliser cette inductance, la méthode classique des gyrateurs a été choisie. Une self de quelques centaines de mH satisfait à la condition de fréquence de coupure et, en plus, elle est réalisable avec une assez faible consommation. Ces selfs sont réalisées sous la forme d'un gyrateur chargé par une capacité (self vers la masse petit-signal) et ont une sortie en tension. En principe, la valeur de leur facteur de qualité compte peu, sachant que ces blocs agissent à des fréquences basses.

La figure 3.4.11 présente le circuit de polarisation pour l'entrée en tension du cœur de la transconductance. On représente également le circuit de charge pour la sortie en courant de la transconductance.

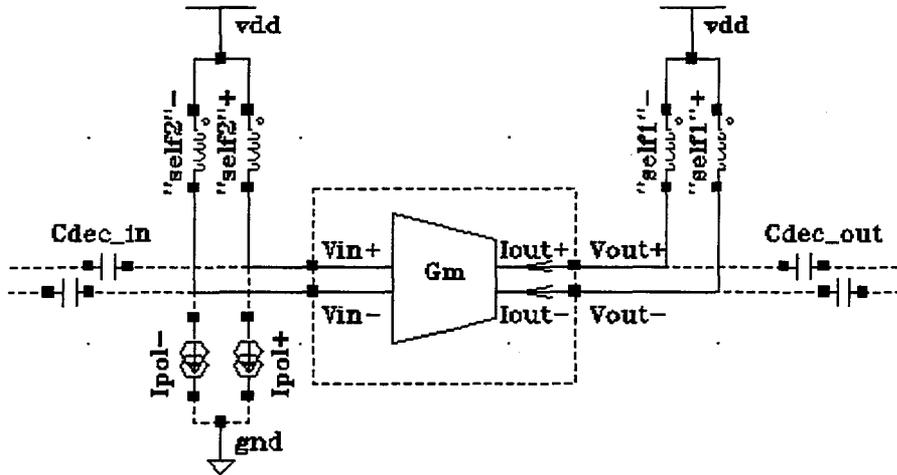


figure 3.4.11 Polarisation et charge du cœur de la transconductance

Comme circuit de charge pour le cœur de chaque transconductance, nous avons le choix entre différents types de structures:

- charge résistive;
- charge active;
- charge selfique.

Pour des raisons concernant le comportement en fréquence de la structure (pôle secondaire), nous avons préféré encore une fois utiliser la charge selfique. Ces selfs sont réalisées également sous la forme d'un gyrateur chargé par une capacité, mais cette fois-ci ont une sortie en courant. Un paragraphe suivant présentera la structure de ces selfs - gyrateurs.

Etage de sortie pour les transconductances

L'étage de sortie a également une connexion capacitive avec le cœur de la transconductance. Ces capacités, ensemble avec les inductances de charge en sortie du cœur de la transconductance, permettent d'éloigner suffisamment le pôle associé à ce nœud. Ces nouvelles cellules passe-haut doivent respecter également les conditions émises au paragraphe précédent, concernant la fréquence de coupure et le choix des composants. La figure 3.4.12 donne le schéma de principe du bloc de sortie.

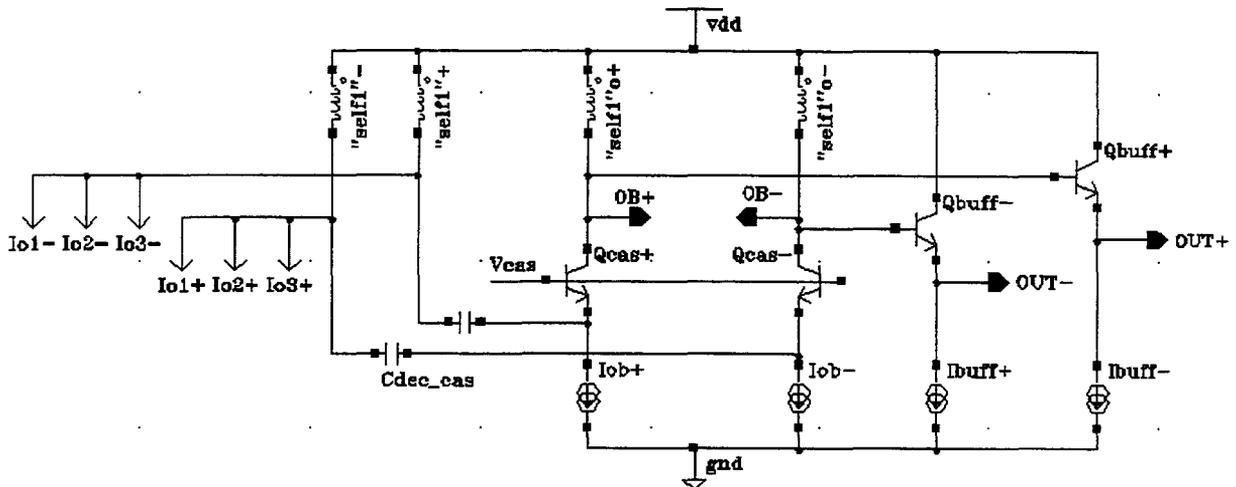


figure 3.4.12 Le bloc de sortie des transconductances

Il a été précisé au début de ce chapitre que toutes les transconductances qui avaient la même sortie ont été mises ensemble sur un même bloc de sortie. En effet, toutes les sorties en courant des cœurs de transconductances sont mises ensemble, partageant la même charge selfique (nœuds cas+ et cas-).

Une paire de transistors bipolaires cascode, chargée par d'autres « selfs » avec sortie en courant, permet une mise en forme du signal (amplification) et la création de nœuds haute-impédance. Les capacités d'intégration du filtre seront branchées sur ces nœuds haute-impédance (ob+ et ob-).

Un étage suiveur bipolaire correctement polarisé permet d'obtenir une sortie bufferisée, capable d'attaquer les entrées des autres transconductances du filtre.

La capacité de sortie sur les nœuds ob+ et ob- ne doit pas dépasser 1 pF, de manière à ce qu'elle puisse être soustraite de la valeur de la capacité d'intégration du filtre (sachant que chacune a une valeur théorique de 1 pF).

Implémentation des selfs - gyrateurs

Comme précisé auparavant, les charges selfiques nécessaires dans le design des transconductances ont été réalisées sous la forme de gyrateurs vers la masse petit-signal. Le figure suivante présente le schéma de principe d'un inducteur relié à la masse et réalisé à partir d'un gyrateur.

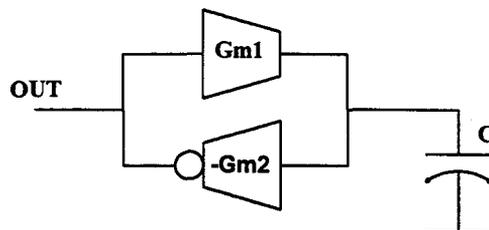


figure 3.4.13 Schéma de principe d'une self à la masse (implémentation gyrateur)

Le gyrateur est obtenu en reliant tête-bêche deux transconductances, dont une en montage "-Gm". La capacité qui donne le comportement selfique au gyrateur est branchée entre un des nœuds communs aux transconductances et la masse petit-signal. La valeur de la self ainsi obtenue est la suivante:

$$L = \frac{C}{g_{m1} \cdot g_{m2}} \quad (3.4.27)$$

La figure suivante présente une des implémentations pratiques adoptée pour ce type d'inducteurs.

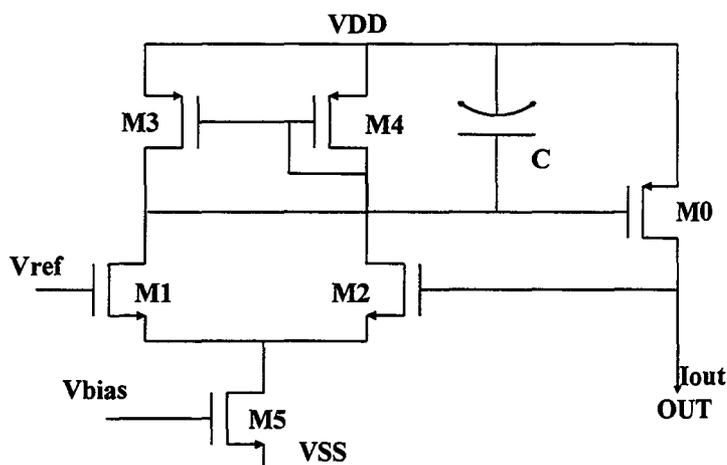


figure 3.4.14 L'implémentation transistor de la cellule « self1 »

Il s'agit ici de la cellule « self1 » qui a une sorti en courant. La première transconductance est matérialisée par la paire différentielle NMOS M₁ - M₂. La deuxième transconductance, celle qui est reliée en "-Gm", est réalisée avec le transistor PMOS M₀ monté en source commune.

Les transistors PMOS M₃ et M₄ réalisent une charge active pour la paire différentielle NMOS. Le transistor M₅ polarise la paire différentielle, ayant sa grille commandée par une tension fixe de polarisation. La grille du transistor M₁ de la paire différentielle est polarisée par une tension de référence, imposant ainsi le point de repos statique pour le nœud de sortie de la « self ».

L'autre schéma de « self » est présenté dans la figure qui suit.

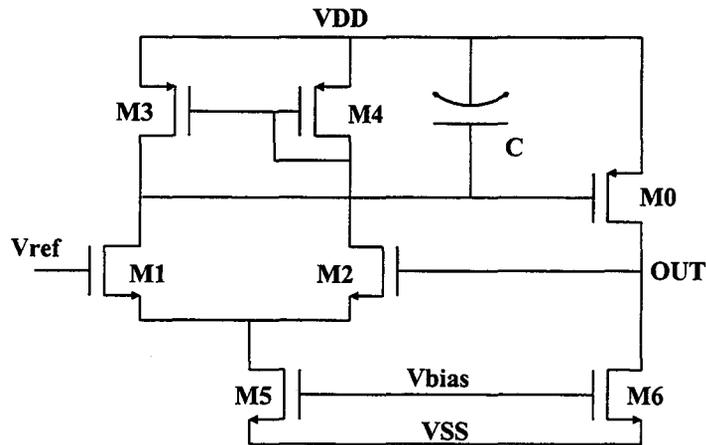


figure 3.4.15 L'implémentation transistor de la cellule « self2 »

Cette « self » a une sortie en tension. Le schéma est essentiellement identique à celui de « self1 ». Le transistor NMOS M_6 réalise la source de courant nécessaire pour « drainer » une partie du courant du transistor M_0 . L'autre partie de ce courant part dans la base d'un des transistors bipolaires de la paire différentielle des cœurs des transconductances (voir les figures 3.4.10 et 3.4.11).

3.4.4 Implémentation pratique du filtre

3.4.4.a Conception des transconductances

Le point de départ pour la conception des transconductances est, sans aucun doute, le dimensionnement des transistors du noyau de la transconductance.

Le premier choix à faire concerne la valeur de la résistance de dégénérescence (voir la figure 3.4.9.b). Des simulations quasi-comportementales ont été menées sur le noyau de la transconductance, en tenant compte des contraintes de linéarité du filtre¹.

En effet, dans le cahier des charges du circuit « Récepteur FM » (voir table 3.2.4) on impose, à l'entrée du circuit, un point d'interception d'ordre 3 $IP_3 = -10 \text{ dBm} = 223 \text{ mV}_{\text{rms}}$ sous 500 Ω . Dans le cas d'un signal de telle amplitude reçu par l'antenne du récepteur, le circuit fonctionne en mode *gain min*, donc le gain du LNA est $G_{\text{min}} = 0 \text{ dB}$. En tenant compte de l'adaptation d'impédance à l'entrée antenne du circuit, on obtient que le point d'interception d'ordre 3 en entrée pour le premier filtre est:

$$IP3_{\text{filtre}} = 112 \text{ mV}_{\text{rms}} \quad (3.4.28)$$

Les simulations quasi-comportementales indiquent que, pour respecter ces contraintes de linéarité, le noyau de transconductance doit respecter:

$$g_m \cdot R_u \sim 5 \Rightarrow g_m \cdot r \sim 20 \quad (3.4.29)$$

¹ Simulations quasi-comportementales = simulations HSPICE sur un noyau de transconductance dont la dégénérescence est réalisée avec des résistances, tel que le schéma de la figure 3.4.9.b.

Une autre remarque qui est valable pour les quatre transconductances à réaliser (1, 0.5, 0.2 et 0.07) concerne la valeur des courants de polarisation du noyau de chaque transconductance (voir la figure 3.4.10). Il a été décidé que le courant de commande des transistors-résistance soit toujours égal à une fraction du courant de collecteur des bipolaires de la paire différentielle:

$$I_{commande} = 10\% \cdot I_{C_bipolaire} \quad (3.4.30)$$

Une dernière remarque concerne la tension d'alimentation du circuit. Le cahier des charges du circuit (table 3.2.1) impose une valeur minimale de cette tension à 2.2V. Toutes les simulations et tous les calculs de point de polarisation ont été menés avec cette tension d'alimentation.

Le choix des dimensions pour les transistors des transconductances est présenté dans l'annexe **A.3.4.4**.

Polarisation des entrées en tension et charge des sorties en courant

L'entrée des transconductances est attaquée par des circuits passe-haut (C_{in} et « self2 ») qui forment un pôle à 225 kHz. Le point de polarisation statique sur la base des transistors bipolaires de la paire différentielle est assuré par les circuits « self2 », à un potentiel $V_{REF} = 1.12$ V. La référence de potentiel est générée dans une branche qui sera détaillée plus tard.

Comme présenté dans le chapitre précédent, les sorties en courant des trois noyaux de transconductance sont reliées ensemble aux nœuds CAS+ et CAS-; la charge en sortie sur ces nœuds est réalisée par deux circuits « self1 ». Le couplage avec l'étage de sortie est capacitif, ceci permettant d'éloigner en fréquence le pôle associé à cette paire de nœuds. La fréquence de coupure du passe-haut réalisé par les circuits inductifs « self1 » ensemble avec la capacité de découplage (6pF) est d'environ 800 kHz. Les nœuds CAS+ et CAS- sont polarisés à un potentiel $V_{REF2} = 1.32$ V.

Capacités de compensation pour les pertes de facteur de qualité

L'étude du comportement fréquentiel des transconductances a montré que, à 100 MHz, la marge de phase de chaque transconductance n'était pas égale à -90° , mais il y avait un retard de phase de quelques degrés. L'introduction d'une capacité de faible valeur connectée entre l'émetteur de chaque transistor bipolaire d'entrée et l'alimentation négative permet d'introduire l'avance de phase nécessaire.

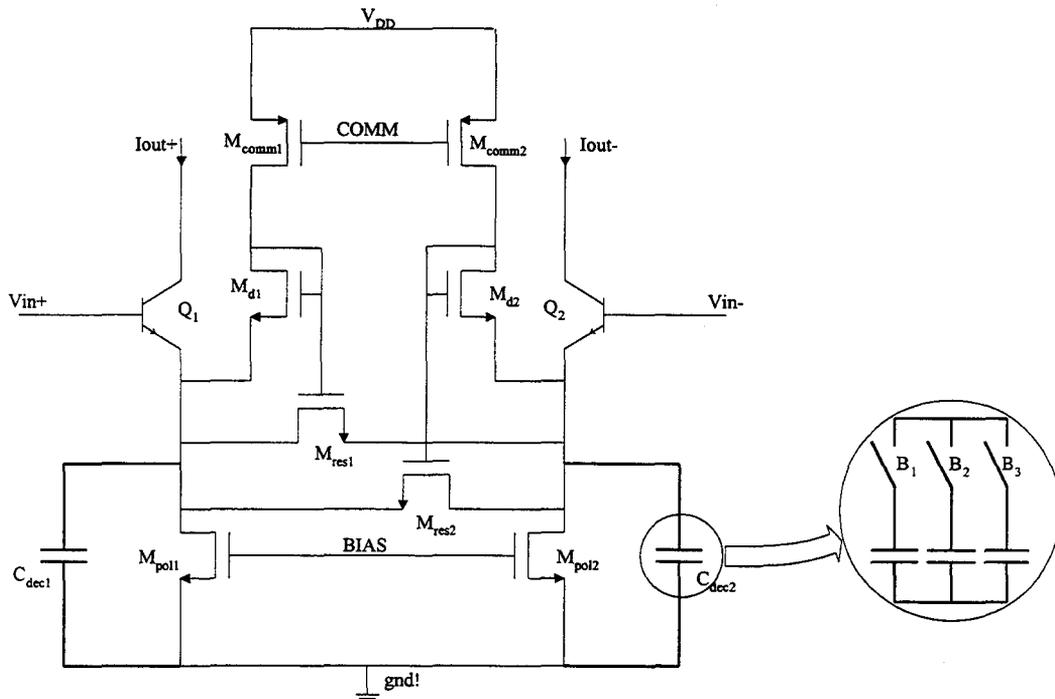


figure 3.4.16 Le cœur des transconductances avec les capacités de compensation de phase

Des simulations au niveau de chaque transconductance et dans tous les cas de variations de la technologie et de la température ont prouvé que la capacité nécessaire de compensation varie d'un cas à l'autre.

Pour pouvoir régler cette valeur pour chaque circuit physique, la solution est d'utiliser 2 ou 3 capacités en parallèle, commandables de l'extérieur. Selon le cas technologique des circuits à tester, on connecte sur les émetteurs des bipolaires plus ou moins de capacité de compensation, à l'aide d'interrupteurs intégrés sur la puce. Les interrupteurs sont des transistors NMOS de taille suffisante (pour ne pas influencer avec leur résistance série) et ils sont commandés sur la grille par des bits de trim qui viennent de l'extérieur de la puce.

Au chapitre 3.4.1, nous avons démontré le besoin d'un réglage du facteur de qualité de chaque transconductance pour assurer le bon fonctionnement du filtre. Ce réglage peut être réalisé de deux manières:

- par un asservissement de type « Maître - Esclave » [3.4.8], [3.4.9], le réglage étant obtenu en temps réel grâce aux moyens mis en œuvre sur la puce;
- par un test du circuit intégré disponible et une programmation (éventuellement) irréversible de quelques bits de test.

Cette réalisation de filtre se propose ainsi d'utiliser la deuxième méthode pour obtenir le réglage du déphasage des intégrateurs. Cette méthode a l'avantage de proposer une plus grande souplesse lors des premiers tests du circuit intégré, car un plus grand nombre de points du circuit sont disponibles facilement depuis le monde extérieur.

Le tableau suivant présente les valeurs des différentes capacités de compensation à mettre en parallèle pour les quatre noyaux de transconductance. Il est à noter que chaque capacité peut être « commandée » de l'extérieur par un bit de trim différent.

Transconductance	Capacités de compensation
G_{m23} (1)	345 fF 170 fF 85 fF
G_{m1} (0.5)	200 fF 100 fF 50 fF
G_{m4} (0.2)	60 fF 30 fF
G_{m5} (0.07)	50 fF 25 fF

table 3.4.5 Capacités de compensation pour assurer un facteur de qualité infini des intégrateurs

Remarque: Les capacités à trimer pour G_{m5} sont de très faible valeur et les capacités parasites sur ces nœuds peuvent être du même ordre de grandeur. (~25fF).

Polarisation de l'étage de sortie

Les nœuds haute impédance nécessaires dans le circuit pour le branchement des capacités d'intégration sont obtenus sur le collecteur des transistors bipolaires cascode Q_{cas+} et Q_{cas-} . La charge en sortie des transistors cascode est réalisée par encore deux cellules « self1 ». Les circuits passe-haut formés par les cellules inductives et les capacités d'intégration sur les nœuds $ob+$ et $ob-$ ont une fréquence de coupure d'environ 1.9 MHz. Les transistors NMOS M_{pol+} et M_{pol-} alimentent ces deux branches de sortie avec un courant de 100 μ A par branche.

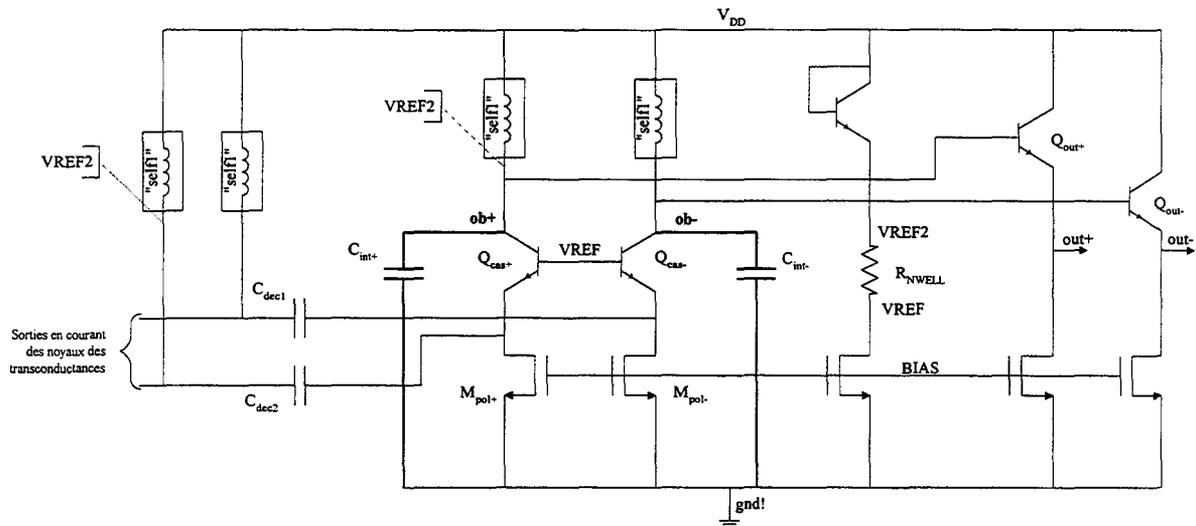


figure 3.4.17 Le schéma transistor de l'étage de sortie des transconductances

Sur les nœuds haute impédance (ob+ et ob-), la capacité physique à brancher est inférieure à 1pF, due aux capacités parasites qui apparaissent sur ces nœuds: 0.1 pF due aux cellules « self1 » et 0.15pF des capacités parasites des transistors bipolaires.

La polarisation de base pour les transistors Q_{cas+} et Q_{cas-} (le nœud VREF) doit être choisie avec attention, pour ne pas saturer ces deux derniers transistors. Ceci est réalisé à l'aide d'un autre transistor bipolaire monté en diode sur l'alimentation positive du circuit (Q_{pol}). Le potentiel ainsi obtenu est encore abaissé à l'aide d'une résistance R_{ref} (20 k Ω). Le transistor M_{pol2} assure la polarisation de la branche avec un courant de 10 μ A. Les deux tensions de référence VREF et VREF2 sont générées ainsi dans cette branche.

R_{ref} est une résistance NWELL, qui a donc un coefficient de température positive. Celui-ci va lui permettre de contrebalancer les variations en température du courant de polarisation, qui lui, est fourni par une source de courant PTAT. La source de courant PTAT a comme référence une résistance de type POLY2, qui a un coefficient négatif de température.

Les branches de sortie bufferisées sont alimentées chacune avec un courant de 50 μ A, venant d'une source de courant NMOS.

Circuits inductifs « self1 » et « self2 »

Plusieurs considérations sont à prendre en compte pour dimensionner de ces cellules. Premièrement, la fréquence de résonance intrinsèque de la « self » et sa fréquence de coupure avec les éléments capacitifs extérieurs à la self doivent être bien inférieures à la fréquence de travail du filtre (100 MHz). Et ensuite, des simulations en boucle ouverte doivent assurer la stabilité en fréquence du gyrateur. Pour ces simulations, le nœud « actif » de l'inducteur doit être chargé par tous les éléments capacitifs et résistifs présents à cet endroit.

Pour le bloc « self1 », ces considérations ont abouti à une inductance de valeur 6.75 mH. La paire différentielle est alimentée par un courant de faible valeur (50 nA) et a une

transconductance de 840 nA/V. Le transistor PMOS M_0 est traversé par le courant imposé de l'extérieur du bloc, et a une valeur d'environ 150 μA , pour une transconductance de 880 $\mu\text{A/V}$. La capacité réalisant le comportement selfique du gyrateur a une valeur de 1 pF. Tous ces éléments imposent une fréquence de résonance intrinsèque de la self égale à:

$$f_{res_int r} \Big|_{self 1} = \frac{1}{\sqrt{2 \cdot \pi \cdot L_{eq} \cdot C}} = 865 \text{ kHz} \quad (3.4.28)$$

Pour le bloc « self2 », le courant traversant M_0 est établi à l'intérieur de la cellule (1.6 μA), et la transconductance de M_0 a une valeur de 12 $\mu\text{A/V}$. A part ce point, le dimensionnement de ce bloc est identique à celui de « self1 ». Le bloc a une inductance équivalente de 500 mH. La fréquence de résonance intrinsèque de « self2 » est donc:

$$f_{res_int r} \Big|_{self 2} = 100 \text{ kHz} \quad (3.4.29)$$

Générateurs de courant

On différencie deux types de sources de courant pour les transconductances:

- sources de courant de polarisation, de type NMOS (I_{BIAS});
- sources de courant de commande, de type PMOS (I_{PILOT}).

Les sources de courant NMOS ont une valeur fixe, et elles reçoivent le courant issu d'une source PTAT. Tous les transistors NMOS de polarisation présents dans un bloc de transconductances (trans2 ou trans3) sont commandés par le potentiel d'un seul nœud ($BIAS$). Par contre, chaque bloc de transconductances reçoit de la source PTAT son propre courant I_{BIAS} (10 μA) (voir la figure 3.4.8).

Les sources de courant PMOS ont une valeur variable, car elles assurent **le réglage en fréquence du filtre**. Dans la version complète du circuit, ce courant est issu d'un VCO réalisé avec la même structure de transconductances que le filtre. Ce VCO fait partie de la première PLL du récepteur (voir aussi la figure 3.1.1). Cependant, pour le RUN de test réalisé sur ce filtre de réjection d'image, ces courants de commande sont générés directement de l'extérieur, pour plus de souplesse dans les mesures. La répartition de ces courants est la suivante:

- pour le bloc « trans2 » :
 - g_{m1} a son propre courant de commande (I_{PILOT3});
 - les deux autres cœurs de transconductance formant en parallèle g_{m2} ont un autre courant de commande ($I_{PILOT12}$);
- pour le bloc « trans3 », toutes les trois transconductances sont commandées par le même courant (I_{PILOT}).

Cette répartition des courants de commande permet de régler indépendamment la fréquence du pôle du filtre et celle du zéro. Par contre, les deux facteurs de qualité sont réglés en même temps que la transconductance g_{m3} .

En pratique, comme tous les courants I_{PILOT} seront issus du VCO, par le biais de miroirs de courant, ils devraient avoir la même valeur. Cependant, en utilisant des « batteries » de miroirs de courant programmables, nous pourrions générer des courants « esclaves » qui varieront avec 10% par rapport au courant « maître ». Ces « batteries » de miroirs de courant sont réalisées de la même manière que les « batteries » de capacités programmables, c.à.d. des transistors de copie de courant en série avec un transistor - interrupteur commandé par un bit de trim.

Des capacités de découplage sont présentes dans le circuit, sur tout les nœuds qui ont un potentiel fixe, quelque soit la fréquence (il s'agit des nœuds de commande pour les sources de courant). Ces capacités ont une valeur de 3 pF +/- 5%.

Le filtre est prévu également avec un dispositif de mise en état de veille du circuit, qui est commandé par une entrée binaire analogique PUP.

3.4.4.b Réalisation des capacités d'intégration

Comme précisé dans le chapitre concernant les simulations comportementales du filtre (chap. 3.4.2), les capacités d'intégration C_1 et C_2 ont la même valeur, 1 pF théorique. En tenant compte des capacités parasites de sortie des blocs « trans2 » et « trans3 », la valeur des capacités physiques d'intégration utilisés dans le filtre est de 750 fF.

La capacité C_3 sera obtenue par la somme entre la capacité parasite de C_2 et la capacité parasite de sortie sur les nœuds ob+ et ob- et elle a une valeur de approximativement 300 fF. Aucune capacité physique ne sera intégrée à sa place.

Les capacités d'intégration sont réalisées selon le méthode des capacités alvéolées, comme présenté au chapitre 3.4.1.

3.4.4.c Implémentation d'une cellule d'attaque du filtre

Comme il a été décrit au début du chapitre 3.4.3, l'étage de sortie de chaque bloc de transconductances (trans2 et trans3) présente une partie bufferisée qui permet d'attaquer correctement l'entrée des transconductances reliées à ces nœuds (voir la figure 3.4.8, il s'agit des nœuds *out+* et *out-*). Les transconductances g_{m2} , g_{m3} et g_{m4} seront donc attaquées par des sorties suffisamment puissantes. Tel n'est pas le cas des deux transconductances restantes, dont l'entrée correspond avec l'entrée du filtre. Pour palier à ce défaut, un étage tampon a été introduit entre l'entrée du filtre et celle des transconductances g_{m1} et g_{m5} . Cet étage fournit également le courant nécessaire à la charge de la capacité d'intégration C_2 .

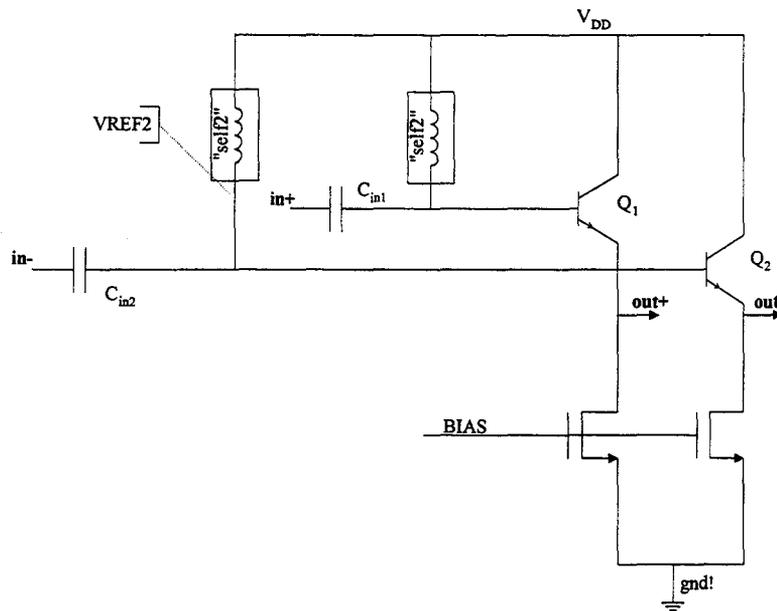


figure 3.4.18 Schéma transistor de la cellule d'attaque

La figure ci-dessus présente la structure de cette cellule d'attaque. Les deux branches principales sont alimentées avec des courants de 50 μ A chacune. Le point de polarisation statique sur la base des transistors bipolaires est à la même valeur que pour les branches similaires dans les étages de sortie (c.à.d. égal à VREF2). Un étage du type passe-haut (cellule « self2 » plus capacité de découplage) est également présent tout à l'entrée. Ces blocs de polarisation sont semblables à ceux utilisés pour l'entrée des noyaux des transconductances. La fréquence de coupure du passe-haut se situe également aux alentours de 225 kHz.

Les sources de courant NMOS sont commandées par un courant (indépendant) issu de la même PTAT que le reste du filtre.

3.4.4.d Résultats des simulations électriques

Les simulations électriques sur cette première version du circuit ont été réalisées sur la plateforme CADENCE, avec le simulateur HSPICE, les modèles pour les transistors MOS étant *level 47*, fournis par le fondeur (AMS) [3.4.4]. Le circuit a été simulé et réalisé dans la technologie BiCMOS 0.8 μm , [3.4.10].

Les simulations ont été menées premièrement pour un cas typique, au milieu de la gamme de fréquence désirée (100 MHz) et ensuite pour tous les coins de la technologie, en tenant compte des variations technologiques, de température et de fréquence de travail. Le tableau suivant résume tous ces cas de figure.

Cas de figure	Technologie MOS	Technologie bipolaire	Résistances	Capacités	Température (°C)	Fc (MHz)
A.typ	typ	typ	=	=	27	100
B.wcp	nFpF	lslb	-25%	-10%	75	100
C.wcp	"-	"-	"-	"-	-35	100
D.wcp	"-	"-	"-	"-	-35	87
E.wcs	nSpS	lslb	+25%	+10%	-35	100
F.wcs	"-	"-	"-	"-	75	100
G.wcs	"-	"-	"-	"-	75	108

Légende:

typ = typique;
 wcs = worst case speed = nSpS = NMOS slow, PMOS slow;
 wcp = worst case power = nFpF = NMOS fast, PMOS fast;
 ls1b = low speed, low beta.

table 3.4.6 Différents cas de simulation

REMARQUE: Les cas extrêmes sont D. et G.

Simulations concernant le bloc « trans3 »

Il s'agit des transconductances de valeur 1 (g_{m3}), 0.2 (g_{m4}) et 0.07 (g_{m5}).

Le tableau suivant contient les valeurs des transconductances mesurées à la fréquence F_c (voir le tableau ci-dessus), ainsi que la marge de phase à F_c et le courant de polarisation PMOS I_{PILOT} nécessaire. Sachant que cette cellule reçoit de l'extérieur un seul courant de polarisation I_{PILOT} , les réglages sont fait tel que g_{m3} ait un gain de 0dB à la fréquence de travail (g_{m3} fixe la valeur du pôle du filtre). On affiche également la consommation totale de courant de la cellule « trans3 ».

Conditions de simulation: Le courant NMOS I_{BIAS} est fournit par une source de courant de type PTAT. La résistance de référence dans cette source de courant est réglée de telle manière que sa valeur est fixe en fonction de la technologie, mais varie avec la température, ce qui consiste, en effet, au fonctionnement souhaité.

Cas de figure	I _{PILOT} (μA)	g _{m3}		g _{m4}		g _{m5}		I _{dd} (μA)
		Gain (dB)	Phase (deg)	Gain (dB)	Phase (deg)	Gain (dB)	Phase (deg)	
A.	10	0	-91	-13.6	-92	-22.03	-92	669
B.	10	0	-94	-12.86	-91	-21.19	-87	905
C.	7	0	-96	-12.67	-93	-20.95	-90	571
D.	5.8	0	-93	-12.8	-91	-21.18	-88	570
E.	15	0	-92	-13.6	-95	-21.97	-92	582
F.	15	0	-92	-13.07	-90	-21.46	-91	777
G.	26	0	-97	-13.7	-96	-22.8	-97	890

Remarque: Les cas de figure mentionnés ici sont ceux décrits dans le tableau 3.4.6.

table 3.4.7 Résultats des simulations HSPICE pour la cellule « trans3 »

Le lecteur peut remarquer que les valeurs du module du gain pour chaque transconductance respectent les prédictions. La situation est tout à fait différente pour la phase de ces transconductances. La plupart des cas simulés montrent un retard de phase de jusqu'à 6 degrés, ce qui est inacceptable pour le bon fonctionnement du filtre. Le rattrapage de ce retard se fait alors avec les capacités de compensation, comme décrit dans le sous-chapitre précédent. Le tableau suivant donne les nouvelles valeurs de la phase de chaque transconductance, en tenant compte de l'effet des capacités de compensation. L'introduction des capacités de compensation n'apporte aucun changement sur le module du gain des transconductances.

g _{m3}				g _{m4}				g _{m5}			
Cas	I _{PILOT} (μA)	Phase (deg)	C _{comp} (fF)	Cas	I _{PILOT} (μA)	Phase (deg)	C _{comp} (fF)	Cas	I _{PILOT} (μA)	Phase (deg)	C _{comp} (fF)
D.	4	90	50	D.	4	90	10 (*)	D.	4	92	0
G.	30	90	500	D.	4	88	0	G.	30	92	50
				G.	30	90	90				

(*) non réalisable en pratique

table 3.4.8 Résultats des simulations pour « trans3 » en considérant l'effet des capacités de compensation

Chaque capacité de compensation nécessaire sera réalisée à l'aide d'un bloc de plusieurs capacités en parallèle et ayant des valeurs en série géométrique (voir aussi le tableau 3.4.8).

Simulations concernant le bloc « trans2 »

Il s'agit des trois transconductances de valeur 0.5 qui forment g_{m1} et g_{m2} ($2*0.5$). Le tableau suivant contient les valeurs de la transconductance 0.5 mesurées à la fréquence F_c (voir le tableau 3.4.9), ainsi que la phase à F_c et le courant de polarisation PMOS I_{PILOT} nécessaire.

Conditions de simulation: Les mêmes que pour le bloc « trans3 ».

Cas de figure	I_{PILOT} (μA)	g_{m1}	
		Gain (dB)	Phase (deg)
A.	10	-6	-91
B.	10	-6	-94
C.	7	-6	-96
D.	5.8	-6	-93
E.	15	-6	-92
F.	15	-6	-92
G.	26	-6	-97

Remarque: Les cas de figure mentionnés ici sont ceux décrits dans le tableau 3.4.6.

table 3.4.12 Résultats des simulations HSPICE pour la cellule « trans2 »

Dans la cellule « trans2 », il n'y a pas de problème pour obtenir le gain nécessaire pour les transconductances, sachant que deux courants I_{PILOT} commandent indépendamment les deux transconductances (g_{m1} et g_{m2}). Par contre, on observe le même retard de phase sur la sortie des transconductances. Le tableau suivant donne les nouvelles valeurs de la phase de chaque transconductance, en tenant compte de l'effet des capacités de compensation, employées ici aussi.

Cas	I_{PILOT} (μA)	Phase (deg)	C_{comp} (fF)
D.	4	89	0
G.	30	90	350

table 3.4.10 Résultats des simulations pour « trans2 » en considérant l'effet des capacités de compensation

De la même manière que pour la cellule « trans3 », chaque capacité de compensation nécessaire sera réalisée à l'aide d'un bloc de plusieurs capacités en parallèle et ayant des valeurs en série géométrique (voir aussi le tableau 3.4.8).

Simulations globales

Ces simulations concernent une section biquadratique du filtre, munie de la cellule d'attaque en entrée, comme présenté à la figure 3.4.19. Pour la réalisation du filtre complet, il suffit de cascader les trois sections biquadratiques identiques; la cellule d'attaque est nécessaire seulement pour l'entrée du filtre.

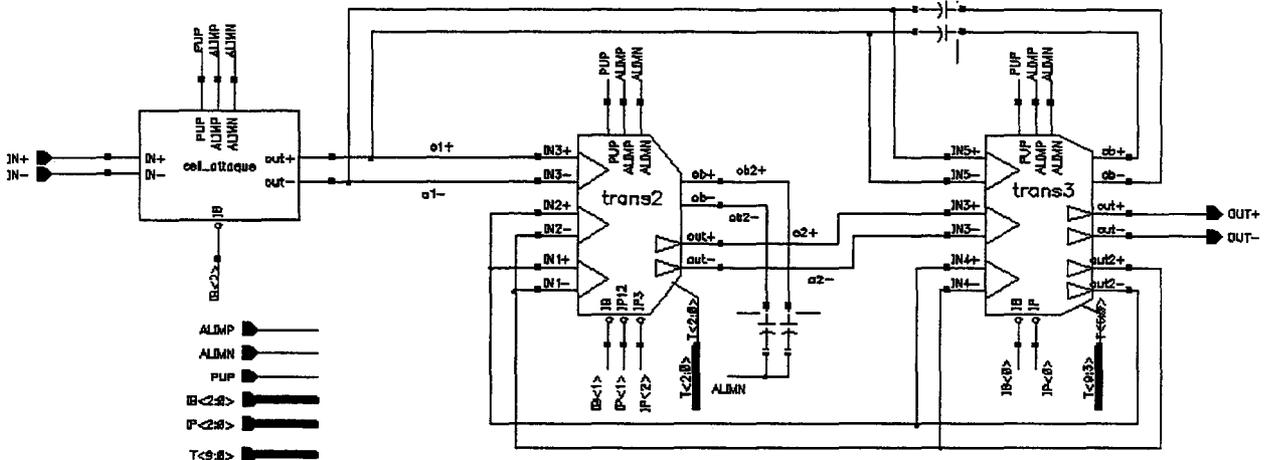


figure 3.4.17 Schéma complet d'une section biquadratique bufferisée en entrée par la cellule d'attaque

Conditions de simulation valables pour toutes ces simulations: Les mêmes que pour les transconductances prises à part.

1. Simulations AC dans la bande d'utilisation du filtre

Les conditions de polarisation et de trim pour chaque cas de figure analysé sont décrites dans le tableau suivant.

Cas de figure	I_{PILOT0} (μA)	I_{PILOT1} (μA)	I_{PILOT2} (μA)	$C_{comp0.5}$ (fF)	C_{comp1} (fF)	C_{comp2} (fF)	C_{comp3} (fF)
A.typ	8	8	8	50	0	30	0
D.wcp	4	4	4.5	0	50	0	0
G.wcs	28	28	28	350	500	90	50

Légende:

I_{PILOT0} - polarise toutes les transconductances dans « trans3 »;

I_{PILOT1} - polarise g_{m21} et g_{m22} dans « trans2 »;

I_{PILOT2} - polarise g_{m1} dans « trans2 ».

C_{compx} - capacité de compensation sur la transconductance de valeur "x", avec

$$x = \begin{cases} 0.5 & \text{pour } g_{m21}, g_{m22}, g_{m1} \\ 1 & \text{pour } g_{m3} \\ 2 & \text{pour } g_{m4} \\ 3 & \text{pour } g_{m5} \end{cases}$$

Remarque: Les cas de figure mentionnés ici sont ceux décrits dans le tableau 3.4.9.

table 3.4.11 Conditions de polarisation et de trim pour les simulations AC

Les résultats des simulations menées dans les conditions décrites ci-dessus sont les suivants:

Cas de figure	G(dB) @ Fc	G _{max} (dB) @ Freq(MHz)	G(dB) @ Fimage
A.typ	44m	67m @ 106	-24.55
D.wcp	2.16	2.16 @ 87	-21.6
G.wcs	-30m	6.13 @ 120.2	-32.4

Remarque: Les cas de figure mentionnés ici sont ceux décrits dans le tableau 3.4.6.
NOTA : Fimage = Fc - 30 MHz.

table 3.4.12 Résultats des simulations en fréquence pour une section biquadratique

Nous pouvons observer que les résultats des simulations électriques concordent avec ceux des simulations comportementales. Une petite remarque est à faire sur l'excès de gain observé à la fréquence naturelle du filtre. En effet, ces simulations sont menées seulement sur une section biquadratique. L'introduction de la cellule d'attaque en entrée permet d'atténuer cette surtension.

La figure 3.4.20 présente le résultat d'une telle simulation en fréquence.

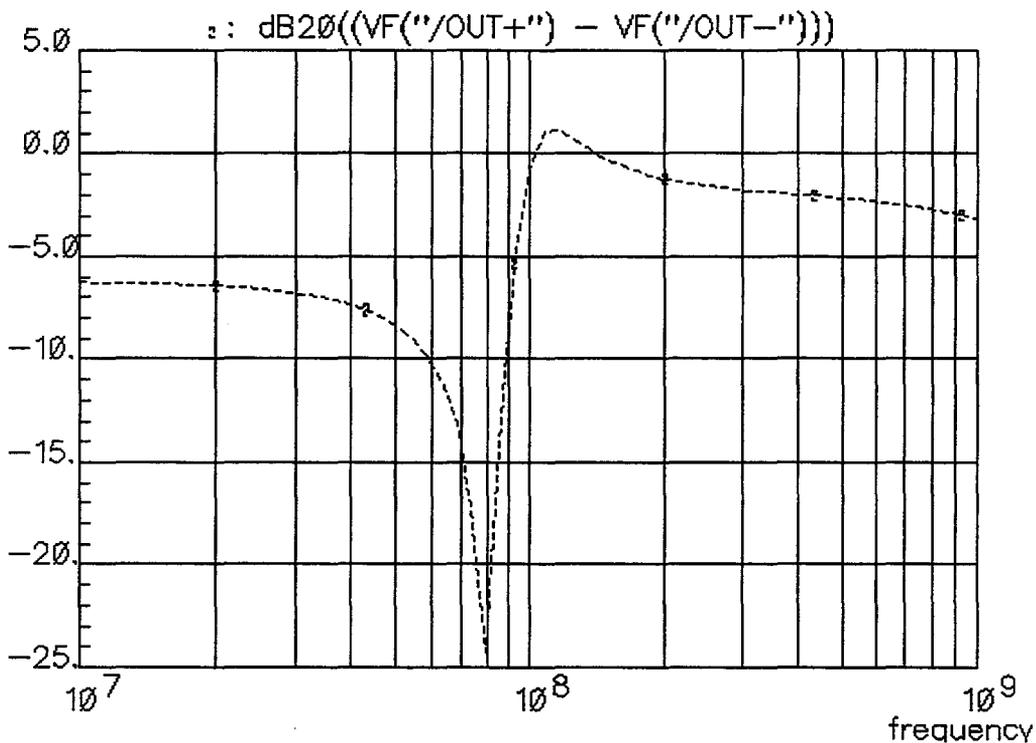


figure 3.4.20 Résultat de simulation d'une section biquadratique

D'autres résultats de simulations globales sur le filtre sont présentés dans l'annexe A.3.4.4.d. Une section biquadratique présente une consommation moyenne de 1.5 mA, soit une consommation globale du filtre d'ordre 6 de 4.5 mA.

3.4.4.e Résultat des mesures

La partie front-end du "Récepteur FM", telle qu'elle a été décrite dans les chapitres antérieurs, a été réalisée dans un premier chip de test du récepteur, lors d'un RUN en octobre 1995. Les résultats de mesures présentés dans ce chapitre sont extraits des rapports de mesures [3.4.11] et [3.4.12].

1. Mesures des intégrateurs

Des mesures systématiques ont été effectuées d'abord sur les intégrateurs (transconductances chargées par la capacité d'intégration). Ces mesures ont été réalisées sur les quatre types de transconductances, pour trois différentes fréquences: 87, 100 et 108 MHz. Des variations ont été amenées sur les bits de trim (concernant l'adjonction ou non de capacité de compensation), ainsi que sur la tension d'alimentation.

Quelques remarques d'ordre général sont à faire. Premièrement, la valeur de toutes les transconductances varie avec le courant I_{PILOT} appliqué. Les transconductances G_{m23} (1), G_{m4} (0.2) et G_{m1} (0.5) présentent une caractéristique linéaire avec la fréquence jusqu'à ~ 120 MHz. La transconductance G_{m5} (0.07) présente une caractéristique quasi-linéaire, et ceci seulement jusqu'à 100 MHz; ceci dit, la valeur exacte de cette cellule n'est pas vitale pour le bon fonctionnement du filtre.

Le tableau suivant présente les résultats des mesures réalisées pour la transconductance G_{m23} (1), pour une fréquence de fonctionnement de 100 MHz. L'expérience consiste à faire varier la valeur des bits de trim agissant sur les capacités de compensation, et ceci pour un niveau fixé de polarisation statique. Les résultats des mesures sont normalisés par rapport à la voie de référence sur le chip.

Bits de trim actifs	Gain de la transconductance (dB)	Phase de la transconductance (deg)
aucun	-0.58	-88.5
poids faible	-0.36	-86.4
poids moyen	-0.24	-85.5
poids fort	-0.03	-84.5

Conditions de test:

Courants de polarisation: $I_{PILOT} = 42\mu A$, $I_{PTAT} = 12.5\mu A$.

Tension de polarisation: $V_{dd_TR} = 2.2 V$.

NOTA: Le courant I_{PTAT} est le courant de copie pour les sources de courant NMOS des transconductances. Il y a ensuite un facteur 10 sur la recopie des courants.

table 3.4.13 Mesures sur G_{m23} (1) ; variations sur les bits de trim (capacité de compensation)

Le même type de mesures ont été effectuées pour les autres trois types de transconductances. Les tableaux suivants présentent les résultats.

Bits de trim actifs	Gain de la transconductance (dB)	Phase de la transconductance (deg)
aucun	-7.46	-87.2
poids fort	-6.87	-79.3
poids fort et moyen	-6.3	-75.6
tous	-5.87	-73.07

Conditions de test:

Courants de polarisation: $I_{PILOT} = 53.6\mu A$, $I_{PTAT} = 12.5\mu A$.

Tension de polarisation: $V_{dd_TR} = 3.5 V$.

table 3.4.14 Mesures sur G_{m1} (0.5) ; variations sur les bits de trim (capacité de compensation)

Bits de trim actifs	Gain de la transconductance (dB)	Phase de la transconductance (deg)
aucun	-14.27	-82
poids faible	-13.3	-76
poids fort	-13.12	-75

Conditions de test:

Courants de polarisation: $I_{PILOT} = 48.1\mu A$, $I_{PTAT} = 12.5\mu A$.

Tension de polarisation: $V_{dd_TR} = 3.5 V$.

table 3.4.15 Mesures sur G_{m4} (0.2) ; variations sur les bits de trim (capacité de compensation)

Bits de trim actifs	Gain de la transconductance (dB)	Phase de la transconductance (deg)
aucun	-23	-68
poids faible	-18.7	-53
poids fort	-18.16	-53

Conditions de test:

Courants de polarisation: $I_{PILOT} = 21.8\mu A$, $I_{PTAT} = 12.5\mu A$.

Tension de polarisation: $V_{dd_TR} = 3.5 V$.

table 3.4.16 Mesures sur G_{m5} (0.07) ; variations sur les bits de trim (capacité de compensation)

L'annexe A.3.4.4.e présentent quelques courbes significatives (module de gain et phase) pour les quatre types de transconductances.

Commentaires sur les résultats des mesures

La première remarque à faire porte sur les valeurs du courant I_{PILOT} . Lors des simulations HSPICE, la gamme de variation nécessaire pour ajuster le filtre pour toute la gamme de fréquence (de 87 à 108MHz) était de 8 à 30 μA . Les mesures montrent que, pour obtenir des valeurs correctes pour les transconductances, la gamme de variation de I_{PILOT} est de 24 à 70 μA . Une possible désaturation des transistors PMOS miroirs de courant pourrait être à l'origine de ce problème.

Le tableau suivant donne une vue globale sur l'ensemble des résultats pour les quatre types de transconductance. Ont été représentés dans ce tableau les résultats obtenus pour des courants I_{PILOT} de valeur très proche, à une fréquence donnée.

Fréquence (MHz)	Gamme de variation I_{PILOT}	G_{m23} (0 dB)	G_{m4} (-14 dB)	G_{m5} (-23 dB)	G_{m1} (-6 dB)
87	24.6 ... 30.5 μA $\Delta = 5.9 \mu A$ centre=27.55 μA var = +/-10.7%	-2.73 dB -89.5° (27 μA)	-17.2 dB -90° (24.6 μA)	-24.6 dB -87.3° (30 μA)	-9.3 dB -88.2° (30.5 μA)
100	42 ... 53 μA $\Delta = 11 \mu A$ centre=47.5 μA var = +/-11.5%	-0.8 dB -88.5° (42 μA)	-14.27 dB -82° (48 μA)	-21.4 dB -80° (50 μA)	-7.46 dB -87.2° (53 μA)
108	55.2 ... 70.9 μA $\Delta = 15.7 \mu A$ centre=63.05 μA var = +/-12.4%	-0.9 dB -86.5° (55.2 μA)	-14.77 dB -90° (70.9 μA)	-21.4 dB -84.2° (63.2 μA)	-8 dB -88.5° (66.5 μA)

Légende:

Δ = la différence entre la valeur max. et celle min. de la plage de variation du courant;
centre = la valeur centrale de la plage considérée;
var = le pourcentage de variation par rapport à la valeur centrale de la plage.

table 3.4.17 Résultats centralisés pour les mesures des transconductances

Cette manière de réglage est tout à fait possible dans le cadre du chip de test. Le courant I_{PILOT} généré à l'extérieur est recopié un certain nombre de fois à l'intérieur du chip pour pouvoir alimenter toutes les cellules concernées. Chaque "batterie" de recopie est munie de 3 bits de trim.

Exemple:

Pour un courant $I_{PILOT} = 10\mu A$ en entrée, les bits de trim permettent d'obtenir, en plus de ce courant, les courants suivants: 2, 1 et 0.5 μA . Donc, en prenant comme valeur centrale $I = 11.5\mu A$, on peut obtenir des variations de +/-15%.

Le problème du réglage en fréquence une fois réglé, il reste cependant un problème de fond à résoudre: la perte de phase sur chaque transconductance. Des simulations post-layout (hélas post-fonderie aussi!) ont permis de trouver la cause de ce dysfonctionnement. En effet, la capacité de compensation apportée à l'intérieur de chaque cœur de transconductance a, en réalité, une trop forte valeur. Cette capacité additionnelle vient d'une part des capacités

parasites des fils de connexion (Me1 pour la plupart) et d'autre part des capacités de recouvrement grille-drain et grille-source des transistors qui réalisent les interrupteurs.

Quelques informations sur ces capacités parasites du layout peuvent être obtenues en analysant les tableaux 3.4.21 - 24. Le retard de phase mesuré dans les configurations avec aucun bit de trim de capacité actif correspond seulement à l'influence des capacités parasites sur les nœuds de compensation. Dans la plupart des cas, cette capacité est déjà de trop forte valeur, introduisant un retard de phase rémanent. Ce retard de phase est d'autant plus important pour les transconductances de faible valeur, où le besoin de capacité de compensation était déjà très faible. On peut observer également que plus on rajoute de la capacité, plus le retard de phase devient important.

La valeur du gain est aussi affectée par cette capacité de compensation trop importante; ceci explique aussi le besoin d'un fort courant I_{PILOT} pour amener les transconductances à la bonne valeur du gain.

2. Mesures du filtre (trois sections biquadratiques)

Le comportement moyen des transconductances composant le filtre laisse à penser que le fonctionnement du filtre pourrait être fortement compromis. En effet, il faut trouver le courant de polarisation I_{PILOT} (à +/- 15% près) qui permette à chaque intégrateur de présenter une phase de -90° et un gain correct. La figure 3.4.23 présente un tel cas de figure.

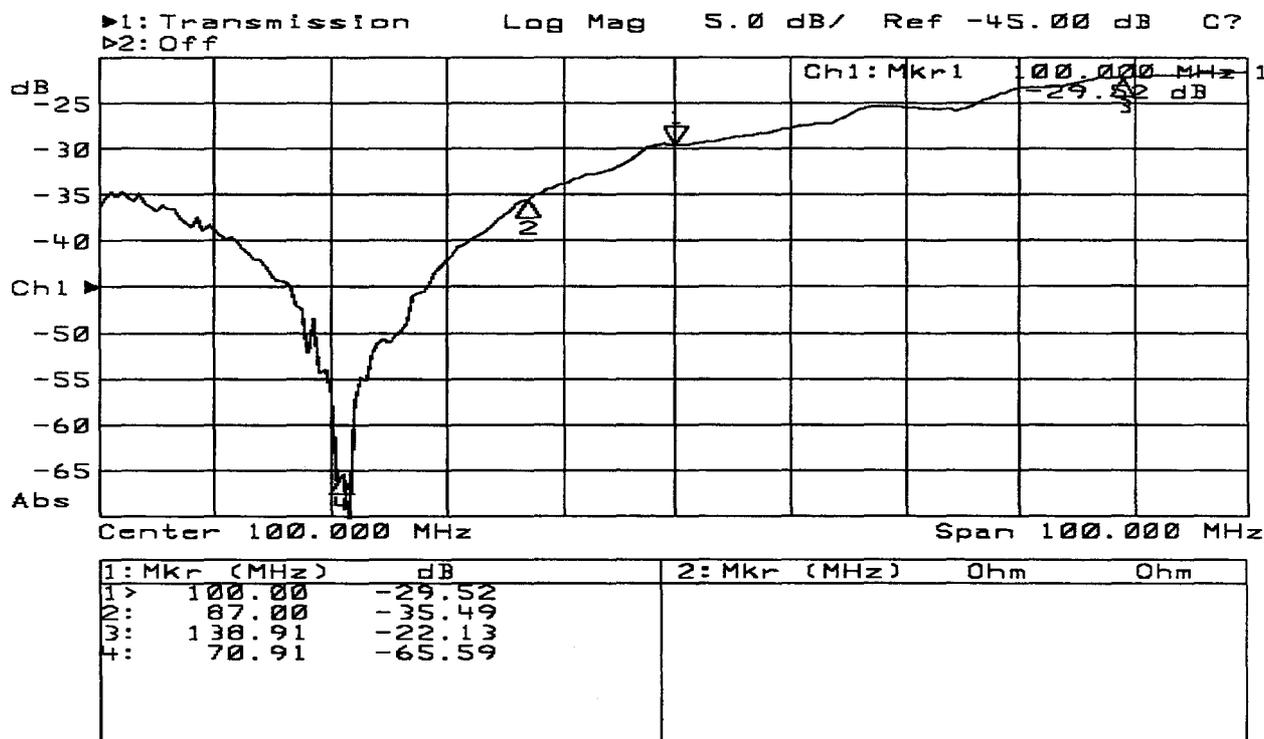


figure 3.4.21 Résultat de mesures pour le filtre complet

Les conditions de mesure sont les suivantes:

- $I_{pilot} = 47 \mu A$, $I_{PTAT} = 7.54 \mu A$, $V_{dd_FTR6} = 3.5V$
- bits actifs ("1") : 17, 26, 29, 32, 35. Ces bits contrôlent la distribution du courant I_{PILOT} dans les différentes cellules. Dans ce cas de figure, la valeur des courants est la suivante:
 - ⇒ 1er biquad: $0.5xgm : I_p = I_{pilot} + 20\% = 56.4 \mu A$;
 - ⇒ 2e biquad: $0.5xgm : I_p = I_{pilot} + 20\% = 56.4 \mu A$;
 - ⇒ 3e biquad: $0.5xgm : I_p = I_{pilot} + 20\% = 56.4 \mu A$;
 - $2 \times 0.5xgm : I_p = I_{pilot} + 20\% = 56.4 \mu A$;
 - $1xgm, 0.2xgm, 0.07xgm : I_p = I_{pilot} + 20\% = 56.4 \mu A$;

Les autres courants de polarisation sont égaux à I_{pilot} .

La consommation du filtre est, dans ce cas, de 4.35 mA, ce qui est une valeur correcte.

Cette configuration a été choisie par des essais successifs sur les bits de trim du courant I_{PILOT} . Sans bit de trim, on observe que les trois "notch" correspondant aux trois sections biquadratiques ne se superposent pas.

Les cas de figure où le filtre présente une allure correcte sont assez ponctuels. En effet, le filtre ne peut pas être déplacé en fréquence. Tout changement sur le courant I_{PILOT} ne fait que (éventuellement) améliorer l'atténuation du notch. Ceci pourrait s'expliquer par le fait que, en faisant varier le courant de polarisation, la phase des intégrateurs s'améliore (ou se détériore), ce qui permet d'accentuer ou non le "notch" du filtre.

Commentaires sur les résultats des mesures

Les mesures n'apportant pas toutes les explications sur ce dysfonctionnement du filtre, une nouvelle campagne de simulations a été ouverte. Ces simulations ont porté sur:

- la modélisation des effets de la carte de test par la théorie des lignes de transmission et simulation avec les nouveaux paramètres;
- des simulations sur le schéma de base, mais avec les paramètres technologiques correspondant au RUN du circuit;
- l'extraction des éléments parasites sur le layout (résistances et capacités) et simulations post-layout.

Les effets dus aux lignes de transmission se traduisent par une atténuation d'une dizaine de dB (entre 15 et 20 dB) du signal. Ceci pourrait expliquer le faible niveau de tension mesuré en bande passante pour le filtre (voir figure 3.4.21).

Les paramètres du RUN correspondant au circuit restent dans les limites indiquées par le fondeur. Les simulations montrent un comportement normal du filtre pour des courants I_{PILOT} entre 5 et $25 \mu A$, ce qui s'encadre évidemment dans les limites données par les simulations antérieures. Les investigations ont été poussées encore plus loin, en polarisant le filtre avec des courants I_{PILOT} supérieurs à $25 \mu A$. Dans ces cas, on observe que le filtre ne peut plus être varié en fréquence: le zéro (notch) et le pôle restent au même endroit et, en augmentant davantage I_{PILOT} , le notch se détériore et la surtension au niveau du pôle augmente. Les transistors actifs du filtre sont complètement saturés.

Ce comportement s'apparente à celui constaté lors des mesures du filtre: pour des courants de l'ordre de 50 μA , on observe une courbe qui ne bouge pas en fréquence avec les variations du courant de polarisation. Par contre, pour des faibles courants de polarisation, les mesures ne concordent pas avec les simulations, car ces simulations ne prennent pas en compte les capacités parasites présentes sur le layout.

L'extraction des éléments parasites du layout s'est effectuée en deux étapes. L'extraction de toutes les capacités parasites du layout a été réalisée à l'aide d'un outil informatique (extraction de capacités parasites dans CADENCE [3.4.13]), tandis que l'extraction des résistances parasites a été réalisée par un calcul à la main, sur une partie des nœuds du circuit.

L'extraction des capacités parasites a montré l'existence de capacités non-désirées de valeurs assez importantes sur les nœuds actifs en haute-fréquence du circuit. La capacité parasite sur les nœuds de compensation à l'intérieur des cœurs de transconductance est d'environ 200 fF et il y a des capacités de couplage de l'ordre de 100 fF entre une bonne partie des nœuds actifs du filtre. Ceci permet d'expliquer la perte de phase observée sur tous les intégrateurs à la fréquence de coupure et le comportement non-linéaire des intégrateurs au delà de 120 MHz. En ce qui concerne la transconductance G_{m5} , les effets secondaires prédominent et ceci est dû à la faible valeur des courants dans cette cellule.

L'extraction (à la main) d'une partie des résistances parasites a permis de mettre en évidence quelques erreurs stratégiques commises au niveau du floor-plan de la puce. Il a été remarqué un désappariement entre la voie de référence et les autres voies. En effet, la voie de référence présente une impédance d'entrée de 80 Ω , contre les 50 Ω théoriques et pratiques des autres voies. Ceci implique une erreur de quelques dB sur les mesures effectuées en relatif par rapport à la voie de référence, qui se trouve ainsi désadaptée.

3.4.5 Conclusions sur le filtre haute-fréquence de réjection d'image

Toutes ces analyses mènent à la conclusion que le principe du filtre peut être validé. Par contre, la structure n'est pas fonctionnelle. Les deux causes principales du dysfonctionnement du filtre de point de vue topologie sont les fortes capacités parasites à l'intérieur des cœurs des transconductances (et ailleurs!) et l'appariement insuffisant entre les différents blocs du filtre. De point de vue conception, les différents transistors réalisant les transconductances n'ont pas une tenue en fréquence suffisante (f_T pas assez élevée). De plus, le choix des transconductances de valeurs différentes implique l'emploi de structures G_m de faible valeur, qui sont moins facilement contrôlables.

Pour essayer de rendre la structure fonctionnelle, un deuxième design du filtre a été décidé. Cette deuxième implémentation du filtre a pour but seulement de valider complètement le principe. Par contre, les contraintes de très faible consommation et très faible tension d'alimentation ont été relaxées.

3.5 La réalisation du premier filtre HF de réjection d'image (2e version)

3.5.1 L'analyse comportementale

Le principe de la structure a été gardé le même: il s'agit d'une structure biquadrique de type Gm-C telle que celle présentée à la figure 3.4.5. La fonction de la structure est toujours celle d'un filtre passe-haut avec notch. Pour remplir le gabarit en fréquence donné au tableau 3.3.3, le filtre sera implémenté comme la structure précédente: une cascade de trois sections biquadratiques. Cependant quelques changements ont été apportés à l'implémentation du filtre:

- premièrement, nous avons renoncé à la transconductance g_{m5} de très faible valeur. En effet, il a été prouvé que des transconductances de ces valeurs ne peuvent pas être correctement contrôlées en fréquence. De même, leur gamme linéaire de fonctionnement est très réduite.
- deuxièmement, nous avons changé de stratégie en ce qui concerne le choix des valeurs des transconductances et des capacités formant le filtre. Il a été préféré de travailler, dans la limite du possible, avec des transconductances de valeurs égales et des capacités d'intégration de valeurs différentes. Un meilleur matching entre les différentes transconductances peut être assuré ainsi. L'appariement de capacités de valeurs différentes est relativement facile à obtenir avec une bonne étude au niveau de l'implémentation topologique.

La fonction de transfert devient ainsi la suivante (dans l'équation 3.4.9, faire $g_{m5} = 0$):

$$H(p) = \frac{C_2}{C_2 + C_3} \cdot \frac{p^2 + \frac{g_{m1}g_{m3}}{C_1C_2}}{p^2 + p \frac{g_{m4}}{C_2 + C_3} + \frac{g_{m2}g_{m3}}{C_1(C_2 + C_3)}} \quad (3.5.1)$$

Les équations du pôle et du zéro, ainsi que du facteur de qualité du pôle sont évidemment celles données dans le tableau 3.4.1. Le facteur de qualité du zéro devient infini.

Avant de commencer les simulations comportementales, nous avons donc fixé cette fois-ci la valeur des transconductances. Nous avons fait le choix suivant:

Transconductance	Valeur générique	Valeur à 100 MHz (charge sur 1 pF)
g_{m1}	$G_{m1} = \frac{1}{2} G_m$	8 dB
g_{m2}	G_m	14 dB
g_{m3}	G_m	14 dB
g_{m4}	G_m	14 dB

table 3.5.1 Valeur des transconductances pour le filtre HF (2e version)

La structure intrinsèque du filtre ne permet pas que les quatre transconductances aient la même valeur. De même, on observe que toutes les transconductances ont dans cette implémentation une valeur bien plus importante que dans la version précédente. Ceci a pour but l'obtention de transconductances d'une très bonne linéarité en fréquence, et surtout pour les hautes fréquences.

Le même type de simulations comportementales que dans la première version ont été réalisées pour établir la position du pôle et du zéro, ainsi que celle du facteur de qualité du pôle. Le modèle comportemental pour les transconductances prend toujours en compte le second pôle de la transconductance et sa résistance de sortie, comme présenté dans la figure 3.4.6. Après plusieurs itérations, le modèle comportemental du filtre est le suivant:

Caractéristiques du pôle	Caractéristiques du zéro
$f_{\text{pôle}} = 95 \dots 100 \text{ MHz}$	$f_{\text{zéro}} = 70 \text{ MHz}$
$Q_{\text{pôle}} = 1.5$	$Q_{\text{zéro}} = \infty$

table 3.5.2 Les caractéristiques en fréquence du filtre (2e version)

Le choix de ce facteur de qualité du pôle amène un gain de quelques dB's dans la bande passante du filtre HF. Ce sur-gain sera atténué par l'effet de la cellule d'attaque sur la fonction globale de transfert en fréquence de la structure. En effet, l'interconnexion des deux blocs génère une atténuation de quelques dB's dans la bande passante du filtre.

Ayant pris toutes ces options d'implémentation, la valeur des capacités devient immédiate. Le tableau suivant donne les valeurs théoriques pour les capacités d'intégration du filtre passe-bande avec notch:

Capacité	Valeur théorique
C1	3.5 pF
C2	7.5 pF
C3	337.5 fF

table 3.5.3 Valeur des capacités pour le filtre HF (2e version)

Aucune capacité physique ne sera implantée à la place de la capacité C₃. Comme dans la première version du filtre, elle sera réalisée avec les capacités parasites présentes au noeud de sortie du filtre.

3.5.2 La structure générale de chaque biquad

La même stratégie d'implémentation des sections biquadratiques du filtre a été adoptée: les transconductances qui ont la sortie commune sont regroupées dans un seul bloc, en partageant le même étage de sortie. Un biquad sera ainsi composé de deux blocs de deux transconductances et de quatre capacités d'intégration. Toutes les transconductances ont la même structure de base; de même pour les deux étages de sortie. De même, chaque étage de sortie présente deux types de sorties: haute-impédance pour les noeuds d'intégration et bufferisées pour permettre l'attaque des cellules suivantes. Le schéma bloc d'une section biquadratique est présenté dans la figure suivante.

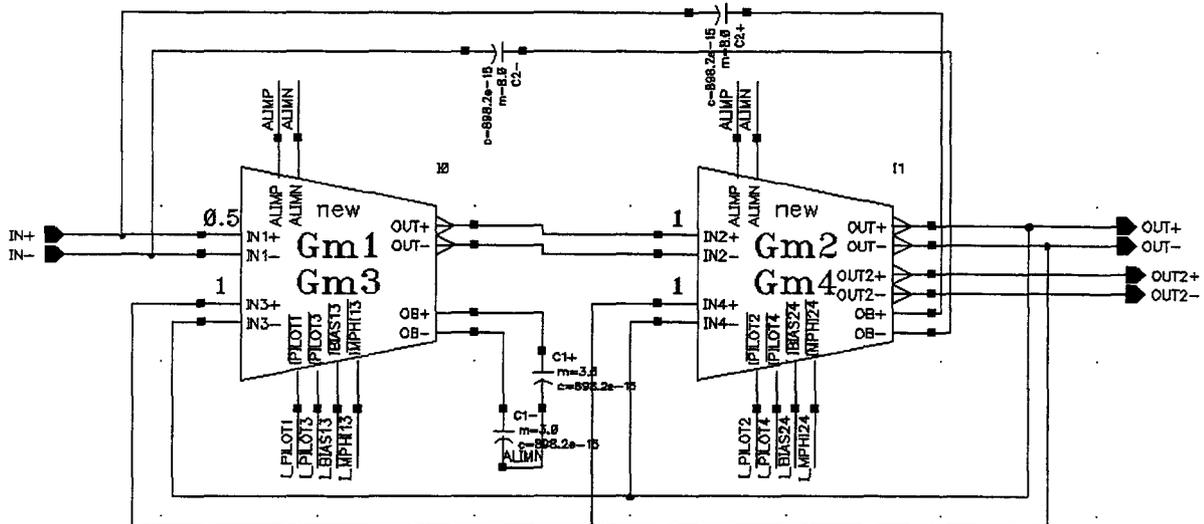


figure 3.5.1 Schéma de principe d'une section biquadratique (2^e version)

Concernant la structure des blocs de transconductances, les remarques suivantes s'imposent:

- le schéma de base des cœurs des transconductances reste inchangé par rapport à la version antérieure du filtre. Il s'agit toujours d'une paire différentielle bipolaire dégénérée avec des transistors NMOS polarisés en régime triode. Comme précisé auparavant, les courants de polarisation sont augmentés. La polarisation de base est assurée par les sources de courant NMOS commandées par I_BIAS, tandis que l'accord en fréquence des transconductances est contrôlé par les sources de courant PMOS I_PILOT.
- le principe de polarisation des entrées et sorties des cœurs de transconductances reste aussi le même. Les entrées en tension sont polarisées par des circuits du type "self2" et les sorties en courant sont chargées par des montage du type "self1". Les circuits du type "self" sont toujours réalisés à l'aide d'un gyrateur chargé par une capacité. La valeur des inductances équivalentes ainsi obtenues a été modifiée par rapport à la précédente version. Les transconductances réalisant les gyrateurs sont toujours polarisées à partir des sources de courant NMOS I_BIAS.
- le bloc de sortie des transconductances est réalisé selon le même principe: un couplage capacitif sur la sortie des cœurs de transconductances et ensuite un étage cascode bipolaire qui mène vers les nœuds haute-impédance d'intégration. Un deuxième étage suiveur bipolaire permet d'obtenir les sorties bufferisées nécessaires à l'attaque des cellules suivantes de transconductances. Le courant de polarisation NMOS de la branche cascode est généré pour cette version du filtre par des courants indépendants I_MPFI. Le rôle de ces courants sera présenté plus en détail par la suite.

Comme dans la précédente version du filtre, une cellule d'attaque est employée en amont de la première section biquadratique. Son rôle est de bufferiser l'entrée de la transconductance g_{m1} et de fournir le courant nécessaire à la charge des capacités C_2 .

Les capacités d'intégration sont implémentées comme des multiples d'une capacité unitaire. Une étude détaillée sur le choix de la capacité unitaire sera présentée dans un chapitre dédié au layout du filtre.

3.5.3 Implémentation pratique; changements par rapport à la première version

Considérations générales

Une analyse approfondie de la première version du filtre de réjection d'image montre que le second pôle équivalent des transconductances se trouve trop bas en fréquence. En effet, on peut mesurer pour ce deuxième pôle une fréquence d'environ 400 MHz. Cette valeur est en bonne partie influencée par la fréquence de transition (f_T) des transistors. Tenant compte de la fréquence de travail du filtre (100 MHz), une valeur d'environ une décade supérieure peut être imposée pour la fréquence de transition des transistors dans le schéma.

La fréquence de transition des transistors bipolaires présents dans le schéma varie entre 6 et 13 GHz, selon le courant de polarisation du transistor. Il reste à faire les calculs pour les transistors MOS. Pour un transistor MOS, la fréquence de transition se calcule avec la formule:

$$f_T = \frac{g_m}{2\pi \cdot C_{gs}} \quad (3.5.2)$$

qui peut encore être exprimée sous la forme suivante:

$$f_T = \frac{3\mu \cdot (V_{gs} - V_{th})}{4\pi \cdot L^2} \quad (3.5.3)$$

avec:

g_m = la transconductance du transistor;

C_{gs} = la capacité grille-source du transistor;

μ = la mobilité des porteurs (électrons pour les NMOS et trous pour les PMOS);

L = la longueur de la grille du transistor;

V_{gs} = la tension grille-source (son module pour les transistors PMOS);

V_{th} = la tension de seuil du transistor (son module pour les transistors PMOS).

Le tableau suivant présente les contraintes à appliquer sur les transistors MOS pour obtenir une fréquence de transition d'environ 1 GHz. Le choix de ces valeurs doit tenir compte des paramètres suivants:

- pour la longueur (L) de la grille: tenir compte de la taille minimale (correspondant à la technologie Silicium choisie) qui permet d'obtenir des transistors avec des bonnes caractéristiques pour un design analogique;
- pour la différence $V_{gs} - V_{th}$: cette différence doit assurer un fonctionnement du transistor au-dessus de la tension de seuil, et ceci pour tous les cas technologiques.

Transconductance	G_m ($\mu\text{A}/\text{V}$)	G_{m1} ($\mu\text{A}/\text{V}$)
I_{bipo} (μA)	760	380
I_{up} (μA)	45	22.5

NOTA: I_{bipo} = le courant dans les transistors bipolaires
 I_{up} = le courant dans les transistors M_{comm} et M_d

table 3.5.5 Choix des courants pour le cœur des transconductances

Les inductances intégrées ("self1" et "self2")

Le courant de polarisation des transistors montés en source commune dans le cadre des cellules "self" dépend des courants de polarisation à l'extérieur de la cellule. Les figures suivantes rappellent le schéma des deux types de cellules.

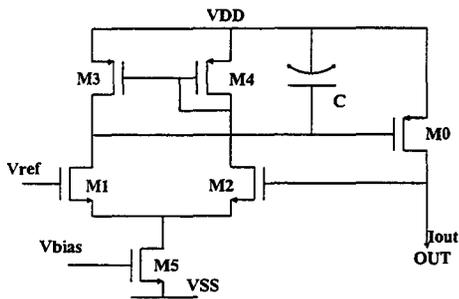


figure 3.5.3 "Self1" (rappel)

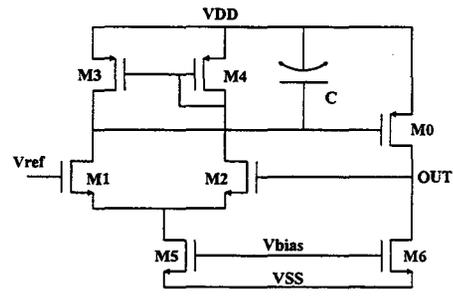


figure 3.5.4 "Self2" (rappel)

Comme les courants dans les blocs de base des transconductances ont été changés, une reprise de l'étude des cellules-inductance s'impose. Pour tenir compte des contraintes de stabilité sur la boucle des gyrateurs, il convient de choisir des nouvelles tailles pour les transistors. Les nouvelles valeurs des selfs équivalentes, ainsi que leur fréquence intrinsèque de coupure sont données dans le tableau suivant.

Cellule	$L_{\text{éq}}$ (μH)	f_{c_intr} (MHz)	I_{M0} (mA)
Self1 (charge des paires différentielles)	111.11	6.75	1
Self1 (charge sur la sortie haute impédance des intégrateurs)	525	3.1	52
Self2	157	18	2.5

table 3.5.6 Valeurs des inductances pour les cellules "self1" et "self2" (2^e version)

3.5.4 Circuit pour le réglage du facteur de qualité des intégrateurs

Lors du premier développement du filtre HF de réjection d'image, la méthode choisie pour assurer un facteur de qualité infini des intégrateurs a été de régler ce facteur à l'aide de batteries de capacités commandées par des bits de trim. Cette méthode s'est montrée infructueuse, car aux nœuds de compensation la capacité totale dépassait la valeur de la capacité de compensation désirée. Ces capacités devenues parasites provoquaient une perte de phase sur chaque intégrateur, pertes qui ont rendu l'observation du filtre quasiment impossible.

Pour remédier à ce problème, cette deuxième implémentation du filtre HF passe-haut avec notch se propose de changer de méthode de compensation. La nouvelle solution est actuellement une des méthodes classiques employées pour les filtres Gm-C: il s'agit de l'asservissement de ce facteur de qualité des intégrateurs par le biais d'un système Maître - Esclave [3.5.1], [3.5.2], [3.5.3].

Cette méthode agit sur les pôles secondaires des transconductances. En effet, les pôles secondaires des intégrateurs génèrent des fortes surtensions au niveau de la fréquence de coupure du filtre. L'introduction d'un zéro de transmission permet d'atténuer cet effet. La méthode d'asservissement citée ici agit sur la position relative de la paire pôle - zéro à l'aide d'une tension de commande. Le schéma de base de la boucle de contrôle est présenté dans la figure suivante.

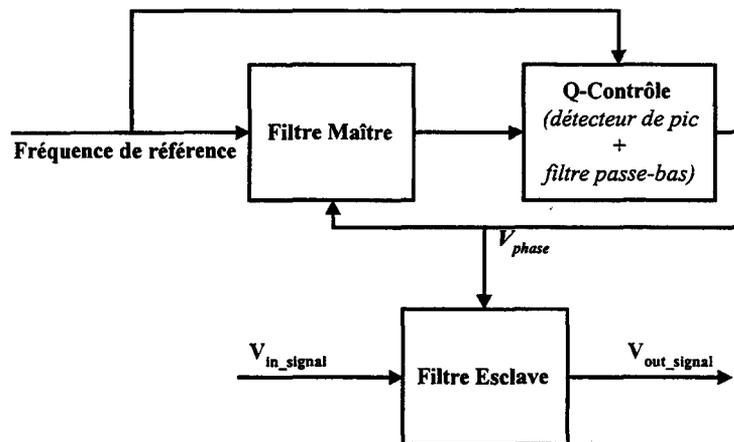


figure 3.5.3 Le schéma de l'asservissement Maître - Esclave pour Q_{int}

Il s'agit d'une boucle à verrouillage d'amplitude. La structure du filtre Maître est telle que toute erreur de phase dans ses intégrateurs se manifeste comme un changement dans le gain du filtre à la fréquence du pôle. La boucle à verrouillage d'amplitude détecte tout écart du gain à la fréquence du pôle par rapport à la valeur idéale et règle cet écart à l'aide de la tension de commande V_{phase} . Comme cette même tension contrôle la phase des intégrateurs dans le filtre Maître et le filtre Esclave, une réponse en fréquence très stable sera obtenue de la part du filtre Esclave.

Le filtre utilisé en tant que Maître dans la boucle est présenté dans la figure suivante. Il s'agit d'un filtre passe-bande Gm-C, qui doit être implémenté à l'aide des mêmes transconductances que le filtre à asservir.

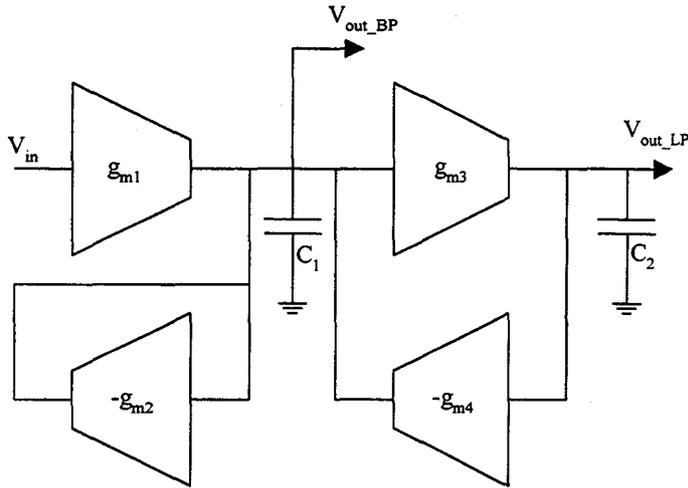


figure 3.5.4 Le filtre Maître dans la boucle à verrouillage d'amplitude

Comme ce filtre peut également servir dans une boucle à verrouillage de fréquence pour accorder en fréquence le filtre de réjection d'image, la fréquence du pôle du filtre doit être égale à celle du premier Oscillateur Local du récepteur FM. On choisit donc $f_{p\text{ôle}} = 85 \text{ MHz}$ pour un accord sur une fréquence de réception de 100 MHz.

Des analyses comportementales sur la structure imposent un facteur de qualité $Q_{p\text{ôle}} = 8$. Pour assurer un appariement maximum entre les deux filtres sur la boucle, un design a été prévu pour le filtre passe-bande en utilisant le même type de structures que le filtre passe-haut avec notch, c.à.d. des cœurs de transconductances réunis ensemble par un même bloc de sortie. La figure suivante présente une possible implémentation du filtre passe-bande.

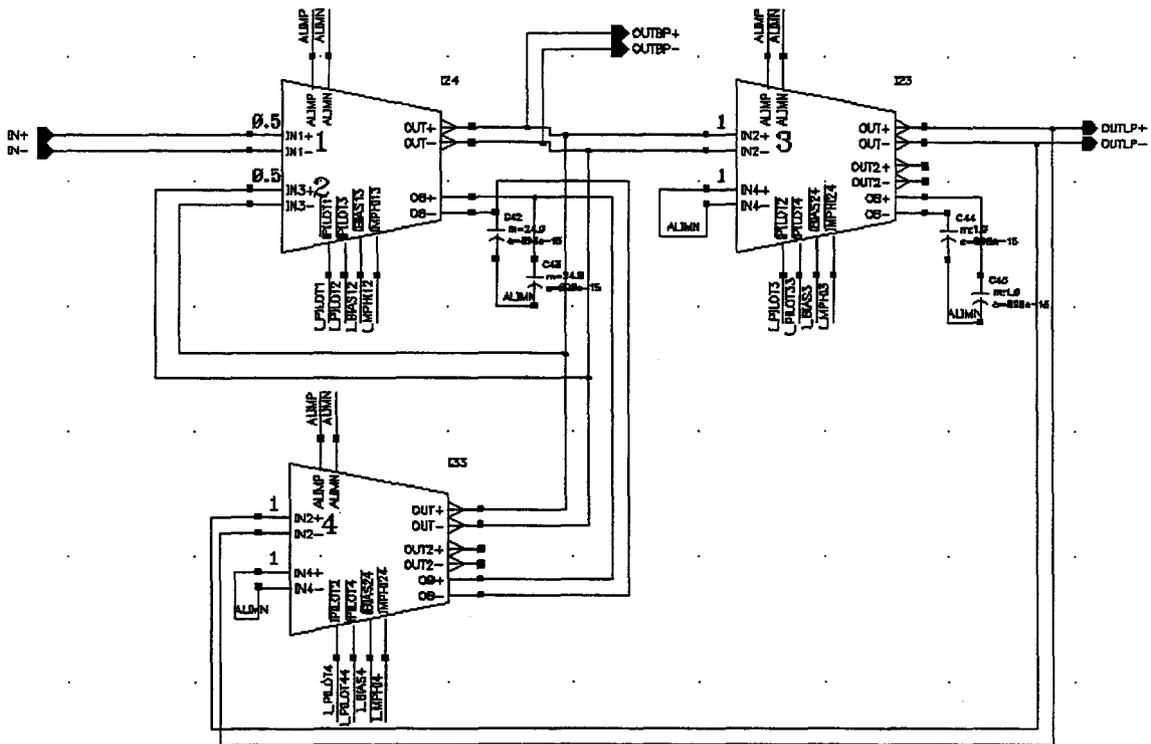


figure 3.5.5 Une possible implémentation du filtre Maître

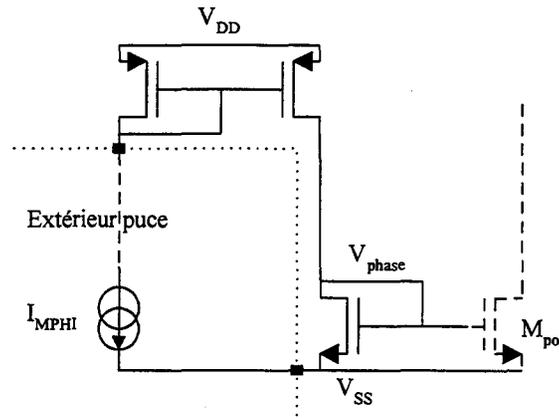


figure 3.5.7 Le schéma de remplacement pour V_{phase}

En agissant sur le courant de polarisation de la branche cascode du bloc de sortie, la position du second pôle des transconductances peut ainsi être variée. Le zéro de transmission est assuré par la capacité de découplage entre la sortie des cœurs de transconductances et l'entrée de cet étage de sortie.

Le fonctionnement des intégrateurs et donc du filtre à réjection d'image sera donc contrôlé par l'action de trois courants de polarisation:

- premièrement, le courant I_{BIAS} polarise tous les miroirs de courant NMOS du circuit, assurant la polarisation statique du filtre;
- deuxièmement, le courant I_{PILOT} réalise le réglage en fréquence du filtre. En augmentant I_{PILOT} , la fréquence de travail du filtre augmente aussi;
- une fois le courant I_{PILOT} fixé pour la réception d'une certaine fréquence, on agit sur le courant I_{MPHI} pour régler le facteur de qualité des intégrateurs. En augmentant I_{MPHI} , la fréquence de travail varie très peu et la phase des intégrateurs diminue.

3.5.5 Résultats des simulations (2^e version)

Simulations concernant les transconductances

Toutes les simulations ont été effectuées avec une tension d'alimentation de 3.3 V.

Plusieurs remarques d'ordre général concernant la simulation des transconductances sont à faire:

- La présence d'une autre transconductance sur le même nœud d'intégration affecte le fonctionnement de la transconductance considérée. Donc, pour simuler le comportement de G_m ou de G_{m1} , il faut le faire dans le cadre d'un bloc de deux transconductances partageant le même étage de sortie.
- Le courant de polarisation statique I_{BIAS} vaut 50 μA . Pour un jeu donné de courants I_{PILOT} et I_{MPHI} , la différence de phase entre G_m et G_{m1} est de 0.5° seulement. On peut ainsi considérer

que les deux transconductances présentent la même phase; les simulations ont été alors réalisées seulement sur G_m .

- Les intégrateurs sont chargés pour les simulations avec une capacité dont la valeur totale est de 1 pF.

Le tableau suivant présente quelques résultats de simulations sur les transconductances. Il s'agit des combinaisons I_{PILOT} et I_{MPHI} qui permettent d'obtenir une transconductance G_m avec $G = 14$ dB et une phase de -90° . Les simulations sont effectuées à 25°C avec un cas technologique typique, avec un courant de polarisation statique $I_{BIAS} = 50 \mu\text{A}$.

I_{MPHI} (μA)	I_{PILOT} (μA)	fréquence (MHz)
35	20	91.22
50	30	109.1
65	40	122.3

table 3.5.8 Résultats de simulations pour les transconductances (2^e version du filtre)

D'autres résultats de simulations sont présentés dans l'annexe A.3.5.5.

Simulations concernant le filtre

Des simulations ont été réalisées sur soit une section biquadratique seule, soit un biquad précédé par la cellule d'attaque. Les résultats de simulations présentés ici sont effectués à 25°C avec un cas technologique typique, avec un courant de polarisation statique $I_{BIAS} = 50 \mu\text{A}$.

Le tableau suivant indique des résultats de simulation en fréquence sur un biquad. Il s'agit de la fonction de transfert du filtre en fonction de différents jeux de courants (I_{PILOT} , I_{MPHI}). On observera que les résultats de ces simulations sont en concordance avec ceux obtenus pour les intégrateurs: les lignes mises en **gras italique** dans le tableau suivant sont à comparer avec les données du tableau précédent. On observe qu'un jeu donné de courants (I_{PILOT} , I_{MPHI}) permet d'obtenir une fréquence donnée de travail pour chaque transconductance prise à part et pour le filtre en totalité.

I_{MPHI} (μA)	I_{PILOT} (μA)	Notch		Pôle	
		fréquence (MHz)	gain (dB)	fréquence (MHz)	gain (dB)
35	15	55.28	-16	79	-0.6
35	20	61.46	-19.5	87.88	1.12
35	25	66.07	-24.8	94.48	2.7
50	25	69.2	-19	98.92	0.8
50	30	74.13	-22	106	2
50	35	77.6	-26.3	110.9	3
65	35	79.5	-21.2	113.6	1.7
65	40	82.4	-28.3	117.8	2.4
65	45	85.11	-28.3	121.7	3.14

table 3.5.9 Les résultats de simulations pour une section biquadratique (2^e version)

Il est à noter que normalement le filtre est calculé pour avoir un facteur de qualité du pôle de 1.5. La capacité d'intégration C_3 (de valeur théorique 337.5 fF) ne peut avoir qu'une valeur supérieure à celle désirée, car elle est formée par la capacité de sortie aux nœuds d'intégration des transconductances (560 fF) et par la capacité parasite liée à la capacité d'intégration C_2 (~350 fF). Comme le facteur de qualité du pôle est donné par C_3 , sa valeur devient plus importante, d'où l'apparition d'un pic de quelques dB's à la fréquence du pôle. Ce pic sera par la suite atténué en branchant la cellule d'attaque, car elle présente une atténuation de quelques dB's à la fréquence du pôle.

Le filtre présente un point d'interception d'ordre 3 en entrée de 1.15 V. En ce qui concerne le bruit ramené à l'entrée, il a été prévu d'augmenter le gain du bloc amont par rapport au filtre dans le récepteur FM, i.e. le LNA. Dans l'hypothèse où le LNA a un gain en tension de 100 (40 dB) et un facteur de bruit de 2 dB, l'apport en facteur de bruit à l'entrée du filtre est négligeable. Pour une section biquadratique, la densité spectrale de bruit ramenée à l'entrée, à 100 MHz, est de $13.11 \text{ nV}/\sqrt{\text{Hz}}$.

Une section biquadratique a une consommation typique de 8.8 mA, tandis que la cellule d'attaque consomme 2.33 mA. Il en résulte que la consommation totale du filtre (3 biquads + la cellule d'attaque) est estimée à 28.73 mA, pour des conditions typiques de fonctionnement.

3.5.6 Implémentation physique du filtre (layout)

La topologie finale du filtre est issue d'une suite d'itérations. Ces itérations comprennent le flux d'opérations suivant:

- version layout no. n ;
- extraction du layout avec l'option "capacités parasites" => schéma "extracted";
- simulation électrique (SPECTRE) du schéma "extracted";
- confrontation des résultats de simulation de la vue "extracted" avec ceux de la vue "schematic". Si les résultats sont fort différents, faire une correction du layout;
- version layout no. $n+1$.

Le layout des transconductances doit tenir compte de l'aspect haute-fréquence du filtre à réjection d'image. Il faut éviter à tout prix les capacités parasites sur les nœuds actifs, les résistances série et il faut veiller à l'appariement entre les voies différentielles. De même, il faut éviter les problèmes de couplage entre les différents nœuds actifs. Le bon fonctionnement du filtre se base également sur le bon appariement entre les transconductances le constituant et aussi entre les capacités d'intégration. La figure suivante présente le floor-plan du filtre passe-haut avec notch.

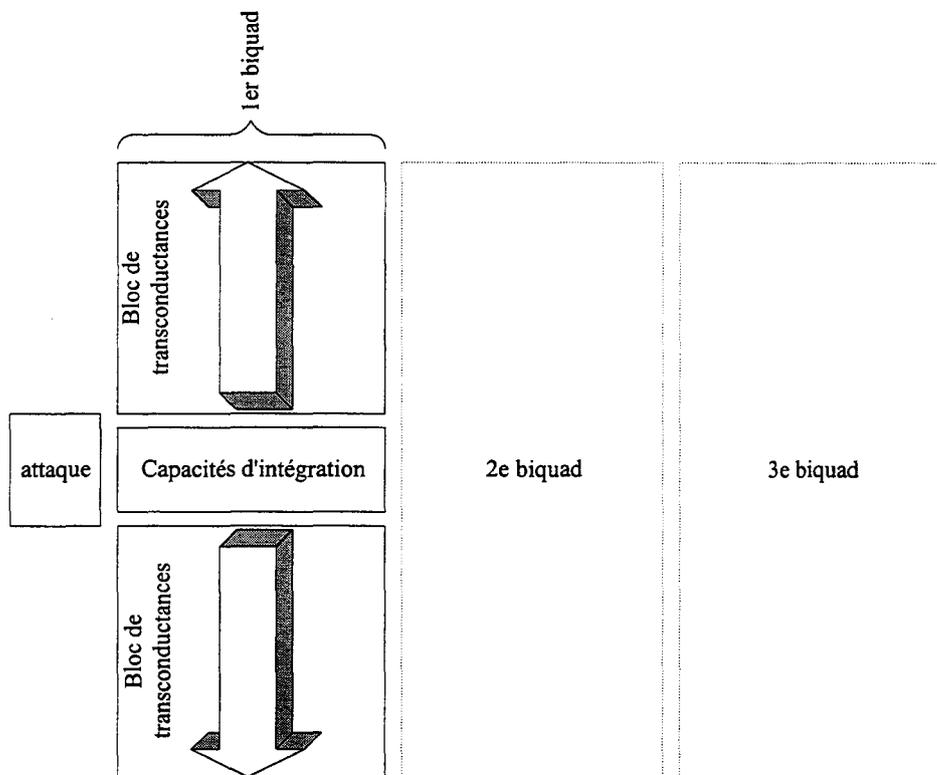


figure 3.5.8 *Le floor-plan du filtre à réjection d'image*

Le bloc des capacités d'intégration est placé au milieu du layout d'une section biquadratique. Les quatre capacités d'intégration sont réalisées à l'aide d'une structure alvéolée, comme présenté au chapitre 3.4.1, et placées les unes à coté des autres, assurant ainsi un bon appariement.

Les deux blocs de transconductances viennent ensuite d'un coté et de l'autre du bloc des capacités. Ces deux blocs de transconductances sont placés en miroir. La plus petite dimension du bloc des capacités est de $130\ \mu\text{m}$, ce qui est suffisamment faible pour espérer un bon appariement sur l'axe y des deux blocs de transconductances.

Des capacités de découplage entre les différents nœuds de polarisation statique et la masse ou entre les deux alimentations ont été prévues. Ces capacités sont réalisées en utilisant les capacités de recouvrement grille-source et grille-drain des transistors MOS. Avec des transistors MOS (du type N ou P) de taille $W/L = 40\ \mu\text{m}/40\ \mu\text{m}$, des capacités équivalentes de l'ordre de $3.5\ \text{pF}$ sont obtenues. Pour la même surface, une capacité Poly1-Poly2 vaut $3\ \text{pF}$.

La largeur d'une structure correspondant à un biquad est de $750\ \mu\text{m}$, pour une hauteur totale de $1300\ \mu\text{m}$. Il en résulte que la surface d'un biquad est d'environ $1\ \text{mm}^2$. La cellule d'attaque est placée à gauche du premier biquad du filtre, au centre. La figure ci-dessous présente la vue layout d'une section biquadratique précédée de la cellule d'attaque.

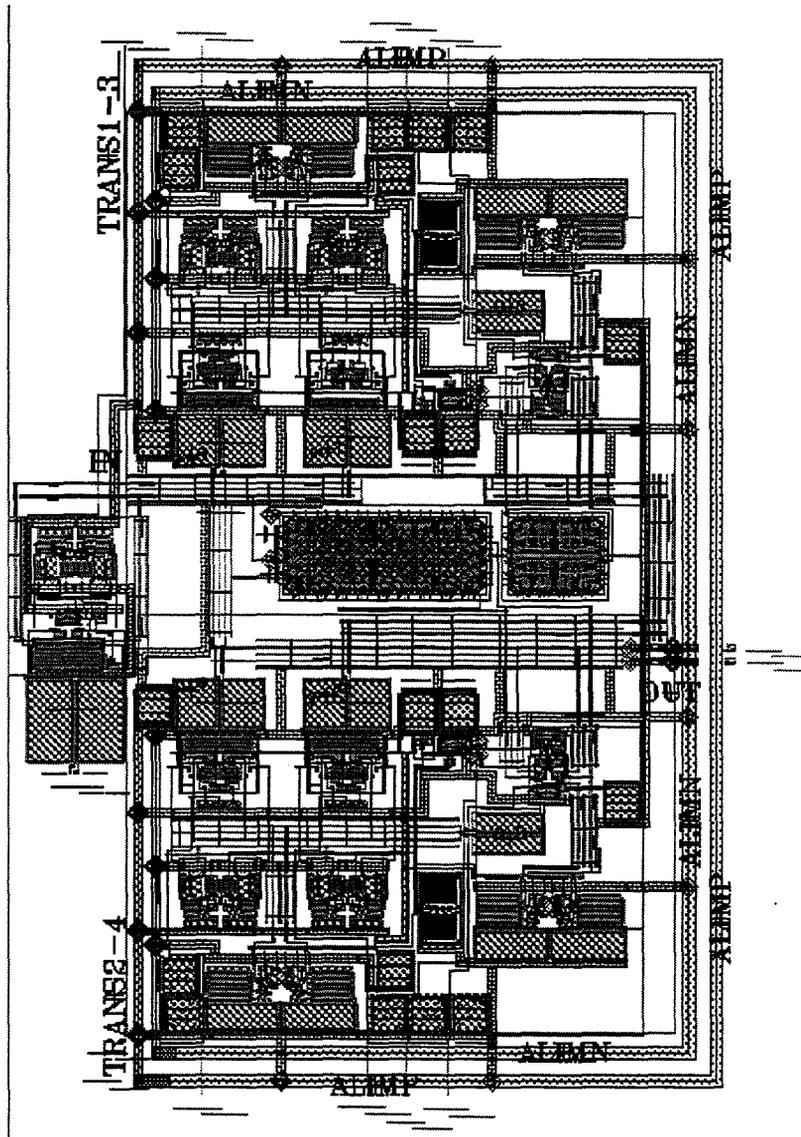


figure 3.5.9 Le layout d'une section biquadratique + la cellule d'attaque

Topologie des transconductances

Les cœurs de transconductance sont placés l'un à côté de l'autre, dans le cadre d'un même bloc. Le layout de ces éléments a été très soigné en vue de minimiser les capacités parasites et d'assurer une parfaite symétrie des structures. Des prises substrat entourent les parties opérant en haute-fréquence. La figure suivante présente le layout de deux cœurs de transconductance correspondant à G_{m1} et à G_m .

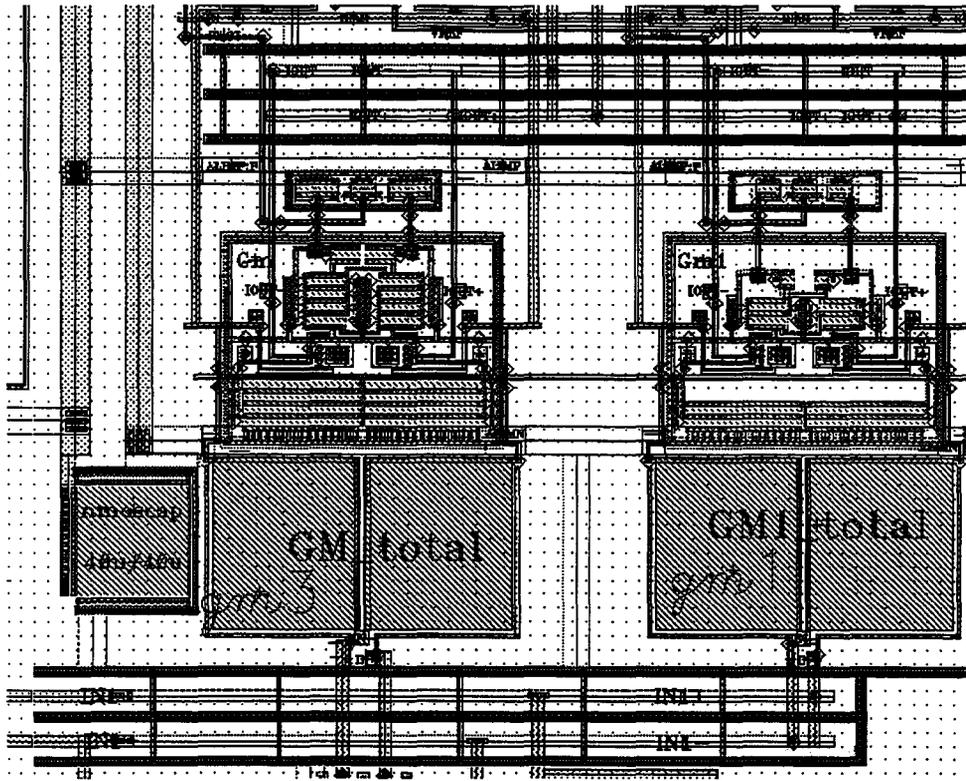


figure 3.5.10 Layout de deux cœurs de transconductance (G_{m1} et G_{m2})

On observe au centre de la figure les deux structures G_{m1} et G_{m2} , avec le facteur d'échelle sur la taille des transistors MOS de G_{m1} . Les deux groupes de deux capacités en bas de la figure sont les capacités de découplage à l'entrée des transconductances. Les entrées des transconductances, dans le cas présenté dans cette figure, se font par le bas.

Les connexions haute-fréquence partent au dessus des cœurs de transconductances, en position horizontale. Ces fils haute-fréquence sont placés dans une sorte de gaine de blindage: chaque fil actif est en Métal1 de largeur $4 \mu\text{m}$ et il est entouré de part et d'autre de prises substrat, placées à une distance de $5 \mu\text{m}$. Ces prises substrat minimisent les problèmes de cross-talk entre les différentes voies actives. De même, elles sont placées assez loin des fils actifs pour limiter également les couplage vers la masse. Des "straps" verticaux en Métal2 connectent de temps en temps les prises substrat entre elles, pour les ramener au même potentiel. Tous les nœuds haute-fréquence concernant un même signal différentiel ont des connexions de la même longueur.

Les cellules "self2" qui polarisent les entrée en tension des cœurs de transconductance sont placées par paires au-dessus de la partie G_{m2} desservie. Les cellules "self1" qui assurent la charge des sorties en courant des transconductances sont placées encore au-dessus des quatre cellules "self2" mentionnées auparavant. Les circuits de sortie attachés à chaque bloc de deux transconductances sont placés sur un coté des transconductances, ayant eux aussi les sorties vers le bas de la figure.

Topologie des capacités d'intégration

Comme précisé au début de ce chapitre, seules les capacités C_1 et C_2 sont physiquement intégrées (voir figure 3.5.1). Tenant compte des capacités parasites présentes (sur le schéma) aux nœuds d'intégration, les valeurs physiques à intégrer sont les suivantes:

- $C_{1_phy} = 2.9 \text{ pF}$
- $C_{2_phy} = 7.5 \text{ pF}$.

Les capacités d'intégration sont donc implémentées sous la forme de structures alvéolées. Le corps de la capacité est réalisé en mettant en parallèle un certain nombre de capacités unitaires. Pour assurer l'uniformité de l'élément de capacité, des capacités factices (dummy capacitors) sont placées tout autour des blocs de capacités unitaires. Plusieurs problèmes se posent dans le cadre de cette implémentation:

- premièrement, il s'agit du choix de la taille de la capacité unitaire et de sa forme. Généralement, ces capacités sont carrées et ont un nombre entier d'orifices dans la surface du Poly1. Ces orifices permettent de réaliser des contacts métal sur le Poly2 qui aident à minimiser les résistances parasites des capacités. Il faut trouver le compromis optimum entre la surface active de la capacité et la surface de l'orifice, sachant que cet orifice introduit des capacités parasites.
- deuxièmement, il s'agit du choix de la taille des cellules capacitives factices et de leur connexions. Leur imposer une taille trop petite (étroite) minimise fortement leur rôle et réaliser des cellules factices trop grandes occupe beaucoup de surface Silicium. Il faut prévoir deux types de capacités factices (dummy): des cellules latérales et des cellules de coin.

L'évolution vers une solution satisfaisante dans le cadre du filtre présenté dans ce chapitre est passée par trois itérations. A chaque fois, la version "extracted" d'une section biquadratique a été simulée et les résultats confrontés avec ceux des simulations "schéma électrique". En voici les résultats:

Première itération

Dans cette première approche, une capacité unitaire de 100 fF avec un orifice dans le Poly1 a été choisie, et elle est présentée dans la figure suivante:

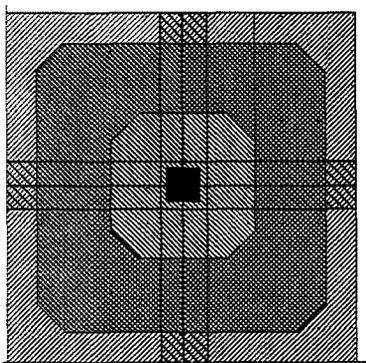


figure 3.5.11 Capacité unitaire de 100 fF

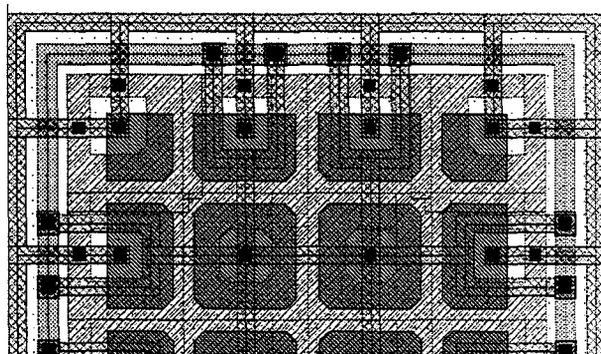


figure 3.5.12 Partie d'une capacité d'intégration ($C_{un} = 100 \text{ fF}$)

La figure 3.5.12 montre une partie d'une des deux types de capacités d'intégration. On observe sur la périphérie les deux sortes de capacités factices (dummy): les capacités latérales (60.41 fF chacune) et les capacités de coin (35.64 fF chacune). Ces capacités factices sont connectées en court-circuit sur l'électrode Poly1 de la capacité utile. Chaque capacité d'intégration est entourée de son propre lot de capacités factices.

Les deux types de capacités d'intégration sont composées des éléments suivants:

Capacité	nombre de C_{un}	nombre de C_{dummy_lat}	nombre de C_{dummy_coin}
$C_{1_phy} = 2.9 \text{ pF}$	29	34	4
$C_{2_phy} = 7.5 \text{ pF}$	75	80	4

table 3.5.10 Structure des capacités d'intégration en partant de $C_{un} = 100 \text{ fF}$

L'extraction des capacités parasites à partir du layout permet d'établir un modèle simple caractérisant les capacités d'intégration, comme indiqué à la figure suivante. En comparant les résultats obtenus pour les deux types de capacités d'intégration et pour la capacité unitaire seule, on peut chiffrer la valeur des capacités parasites en pourcentages de la valeur de la capacité utile.

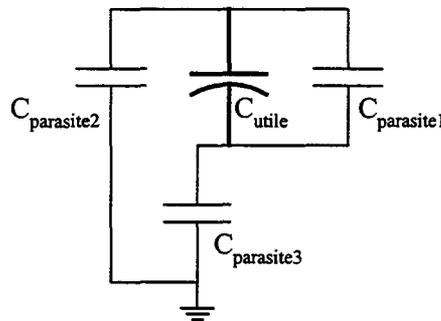


figure 3.5.13 Capacité utile et ses capacités parasites

Le tableau suivant indique la valeur de ces capacités parasites dans le cas d'implémentation avec $C_{un} = 100 \text{ fF}$.

Capacité parasite	Valeur
$C_{parasite1}$	$\sim 10\% \cdot C_{utile}$
$C_{parasite2}$	$\sim 10\% \cdot C_{utile}$
$C_{parasite3}$	$20 \dots 25\% \cdot C_{utile}$

table 3.5.11 Capacités parasites dans le cas $C_{un} = 100 \text{ fF}$

En ayant fait l'extraction du layout avec toutes ces données, une simulation de la fonction de transfert d'un biquad est réalisée. Les conditions de simulation sont les suivantes:

- Simulateur = SpectreS; conditions = typique, 27 °C; modèle transistors MOS = CMOS level 15;
- $I_PILOT = 22.5 \mu\text{A}$, $I_MPHI = 50 \mu\text{A}$, $I_BIAS = 50 \mu\text{A}$.

Dans le cas d'une simulation d'après le schéma électrique du biquad, on obtient le cas médian de fonctionnement, c.à.d. une fréquence du pôle à 100 MHz avec un notch à 70 MHz.

Les simulations sur le schéma "extracted" indiquent un pôle de la fonction de transfert à 74 MHz et un notch à 50 MHz. Une analyse des résultats indique qu'une trop forte valeur des capacités d'intégration sur les nœuds haute-impédance décale vers le bas la valeur de la fréquence de coupure des intégrateurs dans le filtre.

Deuxième itération

Dans le cas de la capacité unitaire de 100 fF, on observe une assez forte valeur des capacités parasites associées à la capacité utile. Ceci est dû en bonne partie au rapport assez important entre la surface de l'orifice dans le Poly1 et la surface totale de la capacité. En effet, la valeur de la capacité d'un sandwich Poly1-Poly2 est donnée en bonne partie par l'étendue de la surface de vis à vis entre les deux couches. De plus, les capacités factices représentent également un fort pourcentage de la valeur de la capacité unitaire.

La solution envisagée dans cette deuxième itération a été d'augmenter la valeur de la capacité unitaire à 900 fF. Dans ce cas, la surface de cette capacité unitaire devient assez importante et donc il est nécessaire de prévoir plusieurs orifices dans le Poly1 pour pouvoir contacter le plan de Poly2. Néanmoins, le rapport entre la surface totale des orifices et la surface utile diminue assez sensiblement.

La figure suivante présente le layout de la capacité unitaire de 900 fF, et la suivante présente une partie du layout d'une des capacités d'intégration.

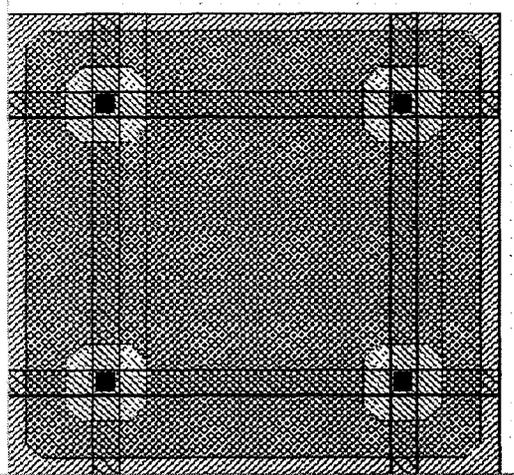


figure 3.5.14 Capacité unitaire de 900 fF

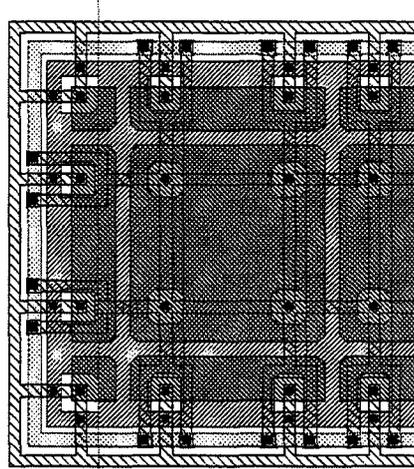


figure 3.5.15 Partie d'une capacité d'intégration avec $C_{un} = 900 \text{ fF}$

Dans ce cas, les capacités factices (dummy) ont une valeur plus faible en pourcentage par rapport à la capacité unitaire: 188.5 fF pour la capacité latérale et 35.64 fF pour celle de coin. Comme dans le cas précédent, chaque capacité d'intégration est entourée de son propre lot de factices. Les capacités factices sont en court-circuit sur l'électrode Poly1 de la capacité utile.

Le tableau suivant donne la composition des deux types de capacités d'intégration:

Capacité	nombre de C_{un}	nombre de C_{dummy_lat}	nombre de C_{dummy_coin}
$C_{1_phy} = 2.9 \text{ pF}$	3	8	4
$C_{2_phy} = 7.5 \text{ pF}$	8	18	4

table 3.5.12 Structure des capacités d'intégration en partant de $C_{un} = 100 \text{ fF}$

Après extraction des capacités parasites, on obtient un modèle tel que celui présenté à la figure 3.5.13. Le tableau suivant chiffre le pourcentage par rapport à la valeur de la capacité utile des capacités parasites dans ce cas de figure.

Capacité parasite	Valeur
$C_{parasite1}$	$\sim 5.75\% \cdot C_{utile}$
$C_{parasite2}$	$\sim 6.75\% \cdot C_{utile}$
$C_{parasite3}$	$\sim 15\% \cdot C_{utile}$

table 3.5.13 Capacités parasites dans le cas $C_{un} = 900 \text{ fF}$

On observe dans ce cas une nette diminution de ces capacités parasites.

En faisant le même type de simulations AC que dans le cas précédent, utilisant les mêmes conditions de simulation et aussi le schéma "extracted", on obtient une fonction de transfert du biquad avec le pôle à 80 MHz et le notch à 57 MHz.

Pour améliorer encore la topologie du filtre, une troisième itération sur la structure layout des capacités d'intégration a été réalisée.

Troisième itération

Dans ce cas, on conserve la valeur de la capacité unitaire à 900 fF. Il y a par contre des changements en ce qui concerne les capacités factices (dummy):

- premièrement, on met côte à côte les deux capacités d'intégration qui ont la même valeur. Les capacités factices (dummy) entourent l'ensemble des deux capacités d'intégration. On réduit ainsi le nombre de capacités factices tout en gardant un facteur de voisinage correcte pour les capacités unitaires qui composent les capacités d'intégration.
- deuxièmement, les capacités factices sont cette fois-ci branchées en court-circuit sur la masse, et non sur l'électrode Poly1 des capacités utiles. Cette action permet de réduire la capacité (flottante) $C_{parasite1}$ en parallèle avec la capacité utile.

Les deux figures suivantes indiquent le layout de la capacité unitaire de 900 fF (légèrement différent par rapport au cas précédent) et celui d'une partie d'un groupe de deux capacités d'intégration.

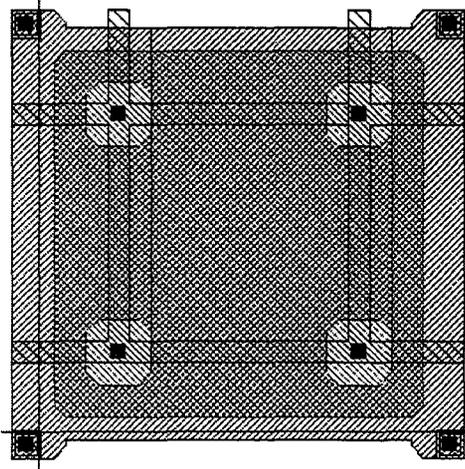


figure 3.5.16 Capacité unitaire de 900 fF (gnd)

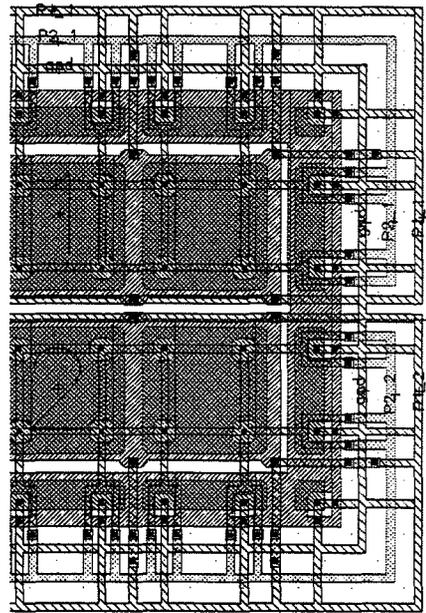


figure 3.5.17 Partie d'un bloc de deux capacités d'intégration avec $C_{un} = 900 \text{ fF}$ (gnd)

Dans ce cas, les capacités parasites correspondant à chaque capacité d'intégration ont les valeurs suivantes (en pourcentage):

Capacité parasite	Valeur
$C_{\text{parasite1}}$	$\sim 1.8\% \cdot C_{\text{utile}}$
$C_{\text{parasite2}}$	$\sim 9\% \cdot C_{\text{utile}}$
$C_{\text{parasite3}}$	$\sim 8\% \cdot C_{\text{utile}}$

table 3.5.14 Capacités parasites dans le cas $C_{un} = 900 \text{ fF}$ (gnd)

On observe une nette diminution des capacités $C_{\text{parasite1}}$ et $C_{\text{parasite3}}$ et une très légère augmentation de $C_{\text{parasite2}}$. En plus, une capacité parasite de très faible valeur (max. 10 fF) apparaît entre les deux capacité d'intégration du même bloc.

Avec ces nouvelles capacités, les simulations sur le schéma "extracted" indiquent une fonction de transfert avec le pôle à 89 MHz et le notch à 62 MHz. Une analyse des résultats indique que les capacités parasites associées aux capacités d'intégration ont dans cette version une valeur correcte. Pour améliorer les résultats, il faut reprendre légèrement le layout des transconductances.

Après la reprise des blocs de transconductances, les résultats finaux de simulation sur le schéma "extracted" avec les conditions de simulation mentionnées auparavant sont les suivants:

- pôle @ 92.3 MHz, gain = 1.6 dB;
- zéro @ 64.57 MHz, gain = -32 dB.

Cette dernière version topologique du filtre semble être satisfaisante, l'écart par rapport aux résultats de simulation du schéma électrique est acceptable.

3.5.7 Résultats de mesures

Les mesures de cette deuxième version se sont heurtées à un problème passé inaperçu lors de la première version du filtre. En effet, le fonctionnement des circuits "self" avait été considéré comme correct. Or, sur cette deuxième version, les circuits LC formés ainsi présentent une résistance d'amortissement trop faible et donc deviennent des circuits oscillants. Ceci rend en pratique impossible toute analyse du filtre.

En effet, lors des simulations en boucle ouverte sur les cellules "self", on ne tenait pas compte de toute la charge (résistive ou capacitive) présente au nœud de sortie. Les cellules "self2" utilisées dans la cellule d'attaque sont les plus défavorisées, présentant une oscillation de forte amplitude.

Pour résoudre ce problème, une possible solution serait le rajout d'une charge résistive sur les nœuds oscillants. Il s'agirait de simuler chaque cellule "self" dans son environnement précis et trouver la valeur de la résistance nécessaire pour chaque cas de figure. Ces charges résistives seraient à implémenter à l'aide de transconductances ($-G_m$) rebouclées sur elles-mêmes, équivalentes à une résistance vers la masse petit-signal [3.5.1].

3.6 Conclusions sur le filtre à réjection d'image

Une *première implémentation* du filtre HF de réjection de la première fréquence image a été réalisée, pour l'emploi dans un récepteur FM double hétérodyne. Ce développement est présenté au chapitre 3.4. Lors de cette première réalisation pratique sous la forme d'une cascade de trois sections biquadratiques, le principe de la structure de principe a été validé, mais le filtre n'est pas fonctionnel.

Les intégrateurs réalisés avec les transconductances du filtre peuvent être translatés en fréquence en faisant varier un courant de commande. Cependant, ils présentent un facteur de qualité fini. Ces problèmes des intégrateurs font l'observation du filtre très difficile, sinon impossible. Les quelques cas de « bon fonctionnement » permettent cependant de valider le concept du filtre.

Pour continuer le développement du « Récepteur FM », plusieurs solutions ont alors été envisagées:

- refaire le même design en tenant compte des observations acquises;
- refaire le même design, mais en utilisant des inductances intégrées sur le Silicium;
- changer la structure front-end du récepteur afin de réduire le traitement haute-fréquence du signal.

La première solution a donné lieu à un nouvel effort de conception pour le filtre haute-fréquence. Ce *deuxième développement* est présenté au chapitre 3.5. Tenant compte des erreurs analysées sur la première version, cette deuxième version se proposait seulement de rendre le filtre fonctionnel, sans tenir compte des contraintes initiales de faible tension d'alimentation et faible consommation.

Le même schéma de base du biquad a été gardé, mais la stratégie du choix des valeurs a été changée. La valeur des transconductances a été augmentée et les dimensions des transistors MOS ont été recalculées pour pouvoir garantir une plage de linéarité en fréquence suffisamment étendue pour opérer autour de 100 MHz. Une attention particulière a été accordée à la topologie layout du circuit. Une extraction systématique des capacités parasites sur le layout suivie de simulations sur le schéma "extracted" a permis d'améliorer sensiblement le comportement du filtre.

Malgré tous ces efforts, une erreur concernant la stabilité des boucles gyrateurs réalisant les cellules "self" est passée inaperçue. Cette fois-ci, l'observation du filtre est impossible. Une solution à ce problème pourrait être envisageable. Pour des questions de temps et d'opportunité par rapports aux objectifs concernant la réalisation du récepteur FM, la piste du récepteur FM à double hétérodyne a été abandonnée.

La troisième solution a alors été implémentée. Le schéma d'un récepteur à mélange complexe de fréquences a été développé et son implémentation, ainsi que les résultats de mesures sont présentés dans le chapitre suivant de cette thèse.

Cependant, il reste également la deuxième solution: intégrer un filtre haute-fréquence en structure biquadratique, en utilisant des inductances intégrées sur le Silicium.

Des développements front-end de récepteurs radio utilisant des selfs intégrées existent déjà (voir le chapitre 2.2 de cette thèse). Pour l'instant ces designs s'adressent à des communications dans des fréquences autour du GHz, sachant l'impossibilité technologique d'obtenir de « bonnes » selfs à des fréquences plus basses. Mais dès que cet obstacle sera franchi, des filtres de réjection d'image pourront être intégrés sur le Silicium pour des fréquences de l'ordre de 100 MHz. Ce chapitre a présenté une possible structure de base pour ce type de filtres. En remplaçant les circuits « self » présentés ici par des vraies inductances, des filtres haute-fréquence pourront être intégrés en leur totalité sur Silicium.

Chapitre 4. Le récepteur à mélange complexe de fréquences

4.1 La structure de base

La solution finale adoptée pour la réalisation du récepteur FM complètement intégré, dans une optique de faible consommation et de faible alimentation, a été celle basée sur le principe du récepteur à mélange complexe de fréquences [4.1.1], [4.1.2].

Le fonctionnement de principe de ce type de récepteur a été présenté dans le chapitre 2.6. Comme précisé lors dudit chapitre, cette structure a l'avantage d'éliminer complètement le filtrage haute fréquence nécessaire pour la réjection de la fréquence image.

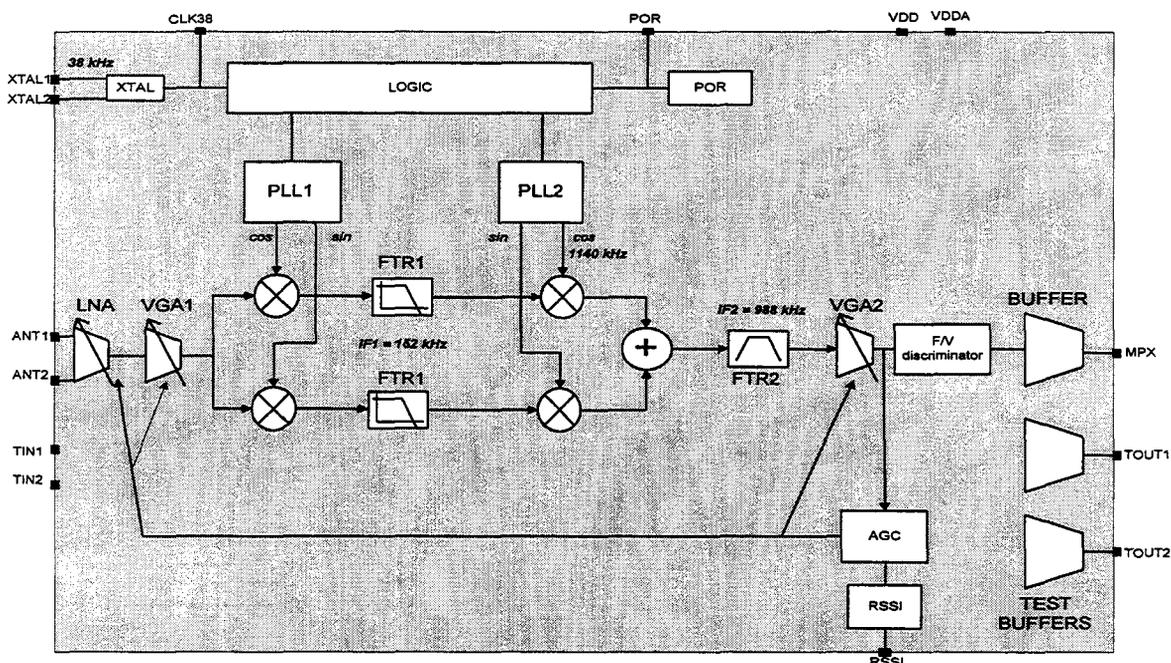


figure 4.1.1 Le schéma bloc du Récepteur FM (2^e solution)

La figure 4.1.1 ci-dessus donne le schéma de base du circuit "Récepteur FM" implémenté par MS2 [4.1.3]. Les seuls éléments externes à la puce nécessaires pour le fonctionnement du récepteur sont: l'antenne ferrite et un quartz.

Le signal radio-fréquence différentiel reçu sur les entrées ANT1 et ANT2 est amplifié à l'aide d'un amplificateur à faible bruit (LNA), dont le gain peut prendre deux valeurs discrètes. Cet amplificateur est suivi par un autre amplificateur dont le gain est contrôlé en tension (VGA1). Ensuite, le signal est translaté vers la première Fréquence Intermédiaire, filtré (FTR1) et retranslaté vers la deuxième Fréquence Intermédiaire. Ce traitement est appliqué au signal par le biais de deux voies en quadrature. En sortie de la deuxième paire de mélangeurs, les deux voies en quadrature sont recombinaées à l'aide d'un opérateur somme. Les signaux dont la fréquence est supérieure à la fréquence du premier Oscillateur Local sont sommés après passage par l'opérateur somme, tandis que ceux dont la fréquence est inférieure seront soustraits. La première Fréquence Image est éliminée par ce procédé.

Comme précisé au chapitre 2.6 de cette thèse, un des points le plus difficile dans la réalisation du récepteur à mélange complexe de fréquences est l'appariement entre les deux voies en quadrature permettant l'élimination de la première fréquence image. Dans le cas du récepteur FM présenté dans ce chapitre, l'opération permettant l'équilibrage entre les deux voies de transmission a été effectuée au niveau des deux filtres passe-bas (FTR1).

Les deux Oscillateurs Locaux délivrant des signaux en quadrature sont implémentés à l'aide de boucles à verrouillage de phase (PLL1 et PLL2). Les deux Fréquences Intermédiaires du système sont des fréquences fixes, ce qui implique que la première PLL soit verrouillée sur une fréquence variable, proportionnelle à la fréquence du signal RF à recevoir. Les deux Fréquences Intermédiaires ont été choisies comme multiples entiers de la fréquence de l'oscillateur à quartz. Pour ce circuit, un quartz à 38 kHz est employé. La première FI est à $4 \times 38 \text{ kHz} = 152 \text{ kHz}$, et la deuxième FI se situe à $26 \times 38 \text{ kHz} = 988 \text{ kHz}$.

La partie aval du récepteur extrait le canal FM désiré et ensuite discrimine le signal, de manière à récupérer en sortie le signal modulant de bande de base. Ces opérations sont effectuées par un filtre passe-bande (FTR2) et un discriminateur de fréquence (F/V). Entre ces deux blocs, un amplificateur à gain variable (VGA2) amène le signal au niveau requis à l'entrée du discriminateur. L'opération de limitation du signal FM est réalisée à l'intérieur du bloc de discrimination. La sortie du discriminateur est disponible sur la broche MPX, après passage par un buffer basses-fréquences.

Comme l'amplitude du signal peut varier sur une large gamme dynamique, le circuit est prévu avec un contrôle automatique du gain (AGC). L'amplitude du signal à l'entrée du discriminateur est mesurée par le circuit d'AGC et, en fonction du résultat, le gain du LNA et des VGA's est ajusté.

Toutes les parties énumérées jusqu'à présent sont purement analogiques. La puce présente également une partie numérique (LOGIC) moins importante (en volume); elle sera présentée par la suite.

Le comportement des filtres peut être ajusté par le biais d'une programmation numérique de quelques bits de contrôle; de même pour le niveau DC sur la sortie basse-fréquence MPX. Le facteur de division de la première PLL peut être programmé également dans la partie LOGIC. En changeant ce facteur de division, la fréquence de cet OL peut être variée et le récepteur peut donc être accordé sur un certain canal de réception dans la bande FM commerciale.

Deux autres fonctions propres aux récepteurs FM classiques sont assurées dans la partie logique. Il s'agit de l'indicateur de puissance du signal reçu (Received Strength Signal Indicator) et de celui qui montre si le circuit est bien accordé sur le poste à recevoir (Automatic Frequency Control).

Le circuit a été conçu de manière à être testé facilement (propriété de testabilité). Plusieurs multiplexeurs de test permettent l'accès à des niveaux internes du circuit. Seuls des signaux basses et moyennes fréquences sont accessibles. La programmation des modes de test est également intégrée dans la partie numérique.

4.2 Les contraintes électriques du circuit

Les contraintes électriques du circuit "Récepteur FM" sont restées quasiment inchangées par rapport à la première version. Se rapporter donc au chapitre 3.2 pour la description complète du cahier des charges. Le seul point différent par rapport à la première version concerne la tension minimale d'alimentation de la puce. Elle est passée maintenant à $V_{DD_min} = 2.5 \text{ V}$.

4.3 Description bloc par bloc du récepteur FM et fonctionnalités

4.3.1 Le LNA et le VGA1

La partie front-end haute-fréquence du circuit comprend seulement des amplificateurs. Il s'agit d'abord de l'amplificateur à faible bruit, qui reçoit directement le signal délivré par l'antenne. Cette partie du circuit reste quasiment inchangée par rapport à la première version du récepteur FM (la structure double hétérodyne). Pour la description complète de cette structure, ainsi que pour des résultats de simulations et de test, il faut se rapporter au chapitre 3.3.1.a. Dans cette version du récepteur FM, le gain maximum du LNA prend une valeur de 14 dB, étant chargé sur 500Ω .

La deuxième partie de ce bloc est constituée d'une suite de trois amplificateurs à gain variable commandés par une tension, montés en cascade. Le schéma de principe d'un de ces amplificateurs est donné dans la figure suivante.

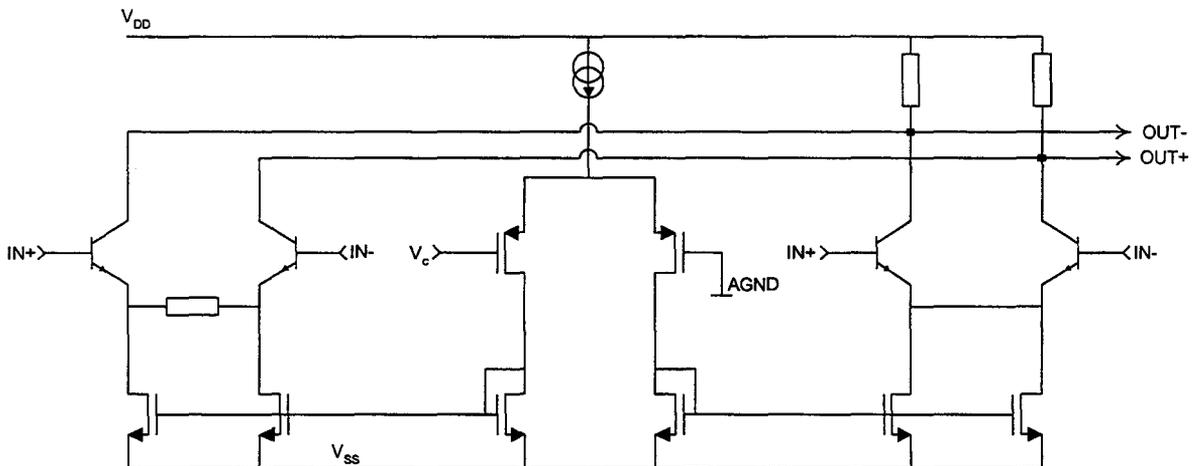


figure 4.3.1 Le schéma de principe d'un des amplificateurs contenu dans VGA1

Tous les trois amplificateurs respectent le même schéma de base.

Ce schéma est très légèrement différent de celui du LNA. Ces blocs contiennent deux paires différentielles bipolaires placées en parallèle. La dégénérescence de la première paire différentielle implique un gain en tension d'environ 0 dB, tandis que la paire différentielle non-dégénérée offre un gain d'environ 8dB. Avec l'aide de la tension de contrôle V_c , le courant de polarisation peut être graduellement commuté de la première paire différentielle vers la deuxième. Ceci permet donc au gain de chaque amplificateur de varier entre 0 et 8 dB.

Quand le gain est à sa valeur maximale, seule la paire différentielle non-dégénérée opère, en assurant une tension de bruit équivalente en entrée minimale. Ce cas correspond aux signaux d'entrée d'amplitude faible. De l'autre coté, quand le gain est maximum, seule la paire dégénérée travaille en offrant une linéarité maximale. Ce cas correspond à des signaux d'entrée antenne de forte amplitude.

Pour que la gain total du VGA1 présente une pente de variation assez douce, on introduit un léger décalage entre les tensions de commande des trois étage cascades d'amplification.

4.3.2 La première paire de mélangeurs et le premier Oscillateur Local

Les mélangeurs

Cette première paire de mélangeurs translate le signal radio-fréquence vers la première Fréquence Intermédiaire. Les mélangeurs sont implémentés sous la forme de cellules de Gilbert avec des transistors bipolaires. La figure suivante présente le schéma de base de ces mélangeurs.

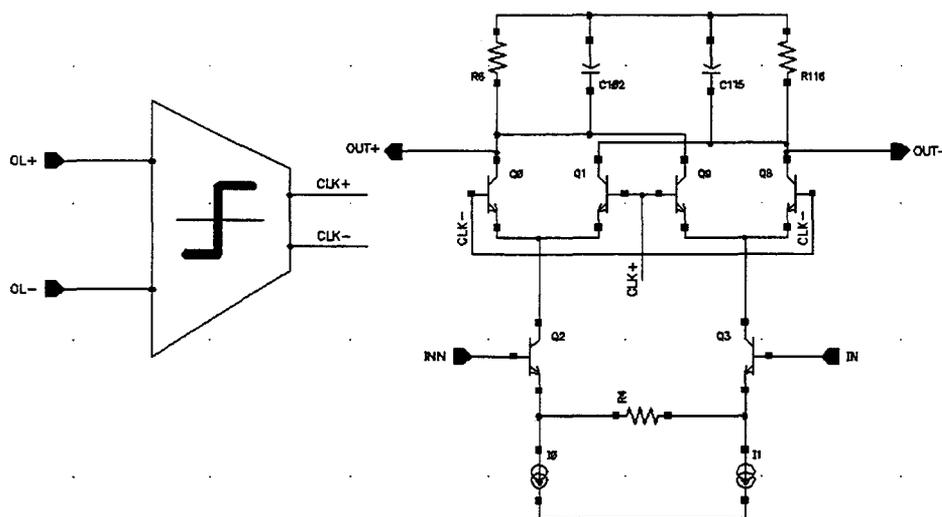


figure 4.3.2 Le schéma de base des mélangeurs de la première paire

Les paires différentielles du haut sont attaquées par un signal carré correspondant à l'Oscillateur Local. Le signal sinusoïdal issu du VCO générant le premier Oscillateur Local est appliqué à l'entrée d'un amplificateur-limiteur présenté dans la figure 4.3.2. La forme d'onde est ainsi transformée en un signal carré autour d'une valeur DC bien établie, qui convient pour la polarisation statique des paires différentielles du haut. Ce signal carré a une amplitude de 200 mVpp, ce qui assure la commutation correcte des deux paires différentielles bipolaires du haut.

Le signal radio-fréquence attaque la paire bipolaire différentielle du bas, qui est dégénérée, pouvant recevoir ainsi des signaux avec une large dynamique. Les simulations indiquent un point d'interception d'ordre 3 sur les entrées du bas de 700 mVrms. Sachant que le niveau maximum du signal à cet endroit est de 100 mVrms, la valeur du IIP3¹ est correcte.

La bande passante du mélangeur, en attaquant par la paire différentielle du bas et en bloquant les paires différentielles du haut, est de 10 MHz.

L'Oscillateur Local

Le premier Oscillateur Local est implémenté à l'aide d'une boucle à verrouillage de phase, comme présenté dans la figure ci-dessous. Il s'agit d'une PLL de type 4 [4.3.1]. La fréquence de référence de cette boucle est de 38 kHz, et elle est issue de l'oscillateur à quartz implémenté sur la puce. La fréquence d'oscillation du VCO dans la boucle n'est pas fixe, elle doit varier avec la fréquence d'accord du Récepteur FM. Un mot binaire sur 14 bits commande la valeur des diviseurs et donc la fréquence du VCO.

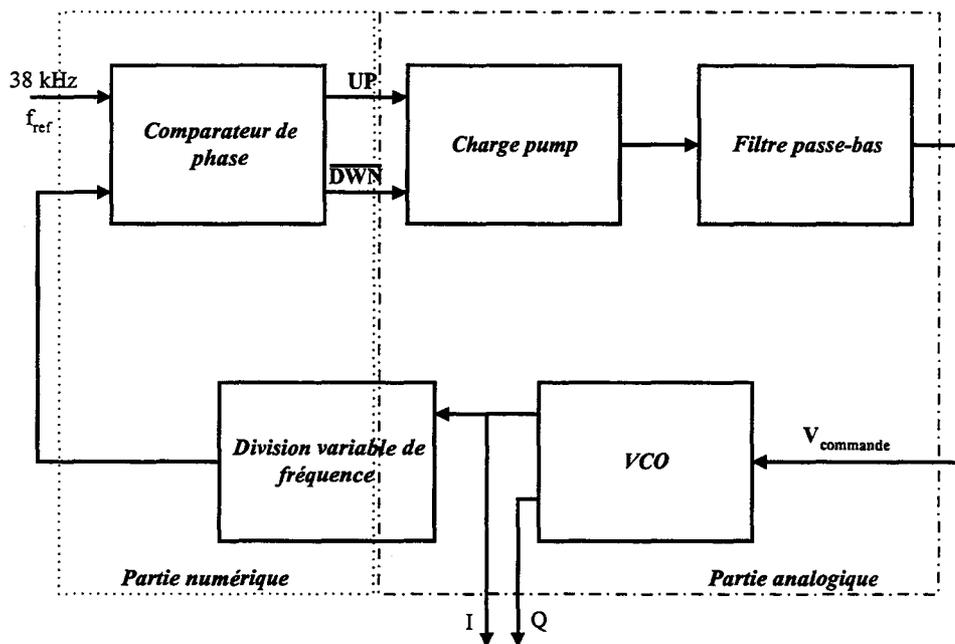


figure 4.3.3 La PLL1 réalisant le premier Oscillateur Local

L'implémentation de cette PLL est mixte analogique-numérique. Le VCO, le circuit de charge-pump et de filtrage passe-bas, ainsi qu'une cellule de division sont des parties purement analogiques. Le reste des cellules de division, y compris le bloc de division variable, et le comparateur de phase sont des cellules numériques, réalisées à partir de Standard Cells des bibliothèques de composants du fondeur.

Deux parties de la PLL1 présentent un intérêt particulier et leur réalisation sera détaillée dans ce qui suit: il s'agit du VCO et du bloc de division de la fréquence. Les autres cellules (charge-pump, filtre passe-bas et comparateur de phase) sont implémentées d'une façon classique.

¹ IIP3 = Input 3rd Order Interception Point, le point d'interception d'ordre 3, vu de l'entrée.

L'Oscillateur contrôlé par une tension (VCO)

La plupart des oscillateurs haute-fréquence sont implémentés à partir d'un schéma de base d'oscillateur LC accordé, comme indiqué dans la figure suivante.

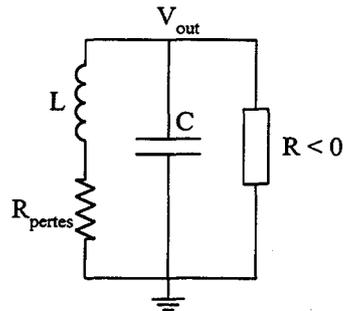


figure 4.3.4 Le schéma de départ d'un oscillateur LC avec compensation

Pour une version intégrée de cet oscillateur, l'inductance vers la masse est implémentée sous la forme d'un gyrateur avec une charge capacitive. La valeur finie de la conductance de sortie des transconductances formant le gyrateur génère des pertes qui amortissent très rapidement l'oscillation. Pour compenser ces pertes, un circuit réalisant une résistance négative est employé, fournissant ainsi l'énergie équivalente à la somme des pertes dans l'oscillateur.

La compensation exacte de ces pertes est impossible dans un circuit réel. Les circuits deviennent alors surcompensés et l'amplitude de l'oscillation augmente jusqu'à saturation des éléments actifs provoquant l'écrêtage du signal. Pour des circuits qui ont pour but l'obtention d'une onde sinusoïdale parfaite, la solution est d'introduire un circuit limiteur à l'aide d'une conductance non-linéaire. Il existe plusieurs solutions qui mènent à ce type de conductance:

- Dans [4.3.2], on propose mettre à la place de la "résistance négative" deux circuits qui sont équivalents à deux résistances en parallèle, une positive (R_1) et une négative (R_2). Ces deux circuits sont en effet des transconductances rebouclées sur elles-mêmes avec ou sans inversion de signe. La résistance positive a d'habitude une valeur beaucoup plus faible que la résistance parasite de sortie des transconductances dans le gyrateur. La valeur équivalente de la résistance positive sera donc égale à R_1 , valeur plus facilement contrôlable que celle de la résistance parasite de sortie des transconductances. Ces pertes seront compensées à l'aide de la résistance négative (R_2) qui a une valeur plus faible que R_1 .
- Une autre solution, préférée pour les hautes-fréquences, consiste à employer seulement une "résistance négative" sous la forme d'une transconductance rebouclée sur elle-même sans inversion de signe. Dans ce cas, les contraintes sont les suivantes: contrôler très bien la valeur de la résistance parasite de sortie des transconductances dans le gyrateur et imposer la valeur en module de la résistance négative inférieure à la résistance parasite de sortie. Le mécanisme de stabilisation de l'amplitude de l'oscillateur peut être résumé à l'aide de la figure suivante.

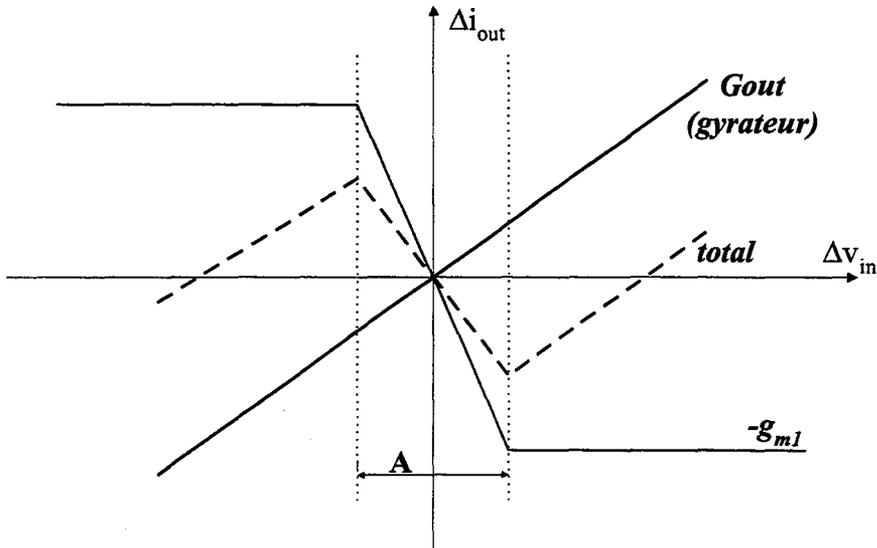


figure 4.3.5 Mécanisme de stabilisation de l'amplitude du VCO

La résistance parasite de sortie des transconductances du gyrateur est représentée par la droite de pente positive. La résistance négative réalisée avec une transconductance rebouclée sur elle-même présente la caractéristique avec une pente négative. Il est donc essentiel que la pente négative soit supérieure (en module) à la pente positive. La courbe en pointillé matérialise le fonctionnement global. Quand l'oscillateur démarre, il se trouve dans la zone A avec une pente négative, donc l'amplitude de l'oscillation croît, il y a fourniture d'énergie. Une fois dépassé la zone A, l'amplitude de l'oscillation commence à décroître, en régulant ainsi l'amplitude de l'oscillation.

La figure suivante indique le schéma bloc de réalisation du VCO fonctionnant autour de 100 MHz. La structure est complètement différentielle.

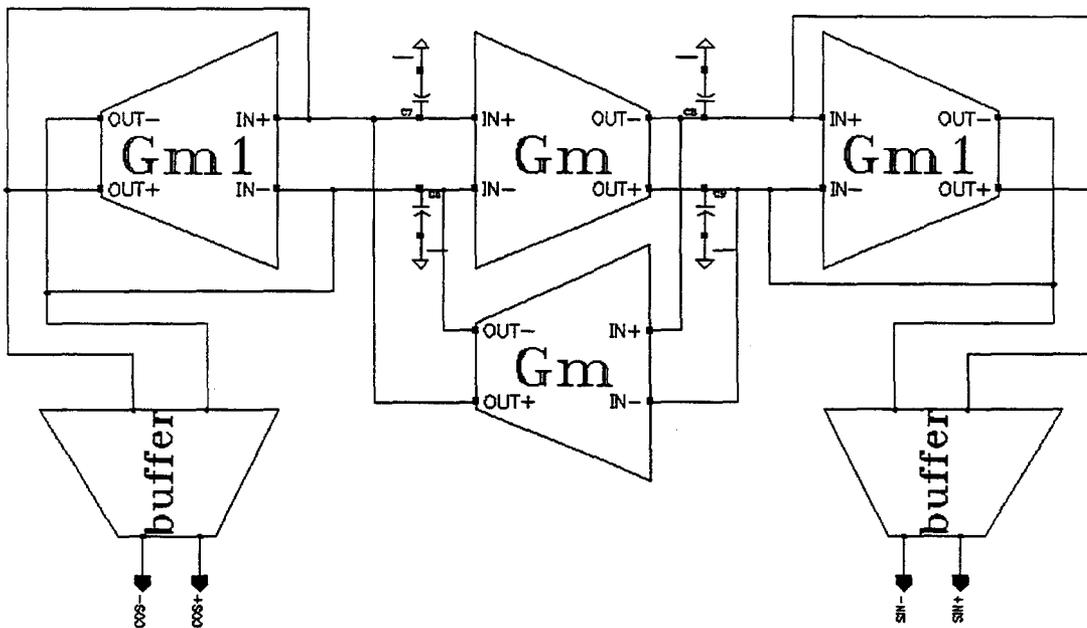


figure 4.3.6 Le schéma de base du VCO fonctionnant autour de 100 MHz

Les deux transconductances identiques g_m forment le gyrateur réalisant l'inductance. La capacité de charge du gyrateur et la capacité réalisant le circuit oscillant ont la même valeur. La valeur de la capacité physique est la différence entre la capacité totale nécessaire et la capacité parasite sur les nœuds oscillants. La résistance négative vers la masse est matérialisée par les deux transconductances identiques g_{m1} rebouclée sur elles-mêmes. Les sorties I et Q de l'oscillateur sont ensuite bufferisées. Il y a donc une totale symétrie entre les sorties *sin* et *cos* du VCO.

Toutes les transconductances sont réalisées avec des paires différentielles bipolaires. La charge des sorties en courant des transconductances du gyrateur est purement résistive et d'une valeur évidemment bien plus faible que celle de la résistance de sortie des paires différentielles. Les transconductances g_{m1} formant la résistance négative ont une valeur plus forte que l'inverse de la résistance de charge.

La valeur de la fréquence d'oscillation du VCO est donnée par:

$$f_{osc} = \frac{1}{2\pi \cdot \sqrt{LC}} \quad (4.3.1)$$

En tenant compte de la valeur de la self équivalente L en fonction des éléments du gyrateur chargé, on obtient:

$$f_{osc} = \frac{g_m}{2\pi \cdot C} \quad (4.3.2)$$

Pour faire varier la fréquence d'oscillation du VCO, il suffit de varier la valeur des transconductances g_m . Pour ce faire, on agit sur le courant de polarisation des paires différentielles bipolaires. La valeur de ce courant est contrôlée de la manière suivante:

$$I_{pol} = \kappa \cdot V_{commande} + \alpha \cdot I_{tailon} \quad (4.3.3)$$

avec:

κ [A/V] = constante de transformation tension \Rightarrow courant;

$V_{commande}$ = la tension de commande du VCO;

α [ss dim] = nombre codé sur 2 bits;

I_{tailon} = courant fixe de polarisation.

La valeur du courant fixe I_{tailon} peut être réglée à l'aide de deux bits de trim accessibles de l'extérieur de la puce. Ce nombre sur deux bits permet d'obtenir un réglage fin sur la plage de fréquences d'oscillation du premier Oscillateur Local.

La logique de division de fréquence

Pour pouvoir piloter la PLL haute-fréquence par une horloge à basse-fréquence, un bloc de division de fréquence est nécessaire sur la boucle. Comme le réglage en fréquence du récepteur FM se réalise au niveau de cette PLL, la logique de division doit être variable.

La fréquence du signal issu du premier Oscillateur Local et ramenée à l'entrée du comparateur de phase est déterminée par l'expression suivante:

$$f_{comp_OL1} = \frac{f_{VCO}}{90 \cdot 8 \cdot \left(3 + \frac{N}{2^{14}}\right)} \quad (4.3.4)$$

avec:

N = nombre binaire sur 14 bits.

Pour réaliser toute cette suite de divisions, nous avons procédé comme suit:

- Pour la division par 8, un diviseur type ECL a été implémenté de façon analogique. Ce diviseur a été conçu de façon à recevoir en entrée le signal haute-fréquence issu du VCO et il a été optimisé de point de vue consommation. A son entrée, un étage limiteur transforme le signal sinusoïdal issu du VCO en un signal carré compatible ECL. En sortie du diviseur, un autre étage assure la compatibilité entre ECL et CMOS.
- Le diviseur par 90 est réalisé avec des cellules standard CMOS disponibles dans la librairie du fondeur.
- La partie la plus astucieuse à réaliser est le diviseur variable qui assure un rang de division entre 3 et 4. Le schéma suivant indique l'implémentation de cette cellule.

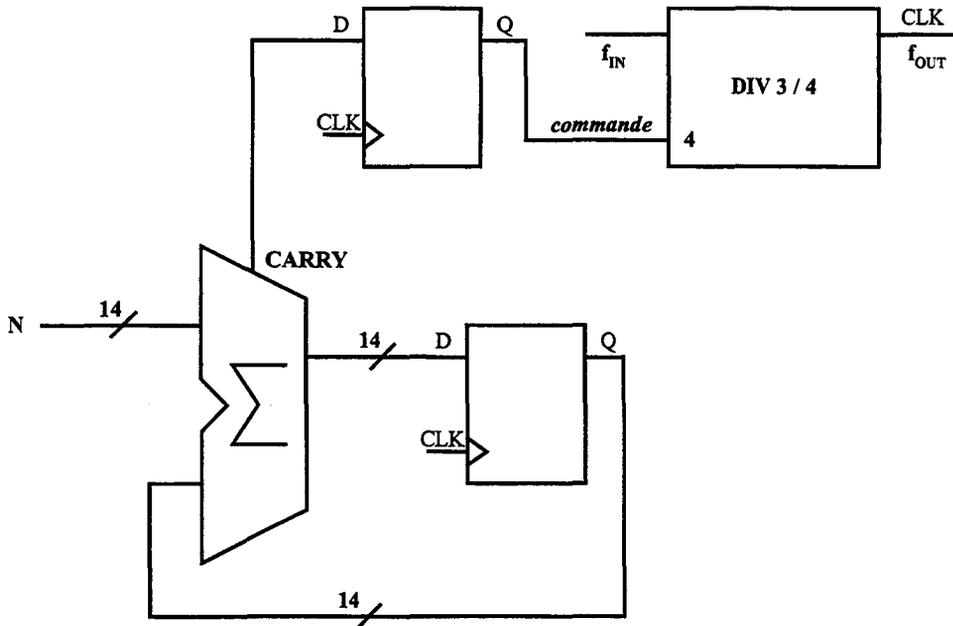


figure 4.3.7 Le bloc de division fractionnaire entre 3 et 4

La cellule qui se trouve sur le chemin du signal est DIV34. Par défaut, elle réalise une division par 3, sauf si elle reçoit un signal actif sur l'entrée *commande*; dans ce cas, elle divise par 4. Le signal d'activation est généré par un accumulateur sur 14 bits.

Le mot d'entrée de l'accumulateur est codé sur 14 bits, et peut donc prendre des valeurs entre 0 et $2^{14}-1$. Ce mot d'entrée permet de fixer la fréquence d'accord du récepteur FM.

Quand il y a un dépassement sur la sortie de l'accumulateur, la sortie *CARRY* se met à l'état actif et, après passage par une bascule D (pour rester synchrone), active la division par 4. La valeur exacte du rang de division est obtenue en faisant une moyenne de la fréquence instantanée du signal sur un très grand nombre de périodes de l'horloge (à 38 kHz). Le signal issu de ce diviseur de fréquences aura donc un spectre composé d'une multitude de raies, correspondant à toutes les fréquences instantanées par lesquelles passe le signal. Ce spectre sera par la suite lissé par le filtre de boucle passe-bas de la PLL. Ce phénomène est surtout visible pour des rangs de division qui correspondent à des nombre du type $2^n \cdot k$, $k \neq 1$, 2^n pour n quelconque entier.

Ce schéma est équivalent à un modulateur $\Sigma-\Delta$ du premier ordre. On minimise ainsi le bruit de phase pour des fréquences proches de la fréquence centrale. Quant au bruit qui augmente avec une pente de 20 dB par décade propre aux modulateurs $\Sigma-\Delta$ du premier ordre, il sera filtré par le filtre de boucle de la PLL, qui lui présente une atténuation de 20 dB par décade et une fréquence de coupure d'environ 1 kHz.

L'incrément de fréquence correspondant au VCO est le suivant:

$$\Delta f_{OL1} = 38 \text{ kHz} \cdot 90 \cdot 8 \cdot \frac{1}{2^{14}} = 1.66 \text{ kHz} \quad (4.3.5)$$

Le tableau suivant présente la plage d'accord maximale du Récepteur FM.

Valeur du mot binaire N	Fréquence de l'OL1	Fréquence d'accord du Récepteur FM
N = 0	$f_{OL1 \text{ min}} = 82.08 \text{ MHz}$	$f_{c \text{ min}} = 82.232 \text{ MHz}$
N = 16383	$f_{OL1 \text{ max}} = 109.44 \text{ MHz}$	$f_{c \text{ max}} = 109.592 \text{ MHz}$

table 4.3.1 La plage d'accord maximale du Récepteur FM

4.3.3 Les filtres passe-bas à la première Fréquence Image (FTR1 dans la figure 4.1.1)

Le rôle de ces filtres, présents chacun sur une des deux voies en quadrature du récepteur FM, est d'éliminer la fréquence image associée à la deuxième paire de mélangeurs. Comme précisé dans l'annexe A.2.6.1, les signaux correspondant à la deuxième fréquence image se trouvent aux endroits suivants :

$$f_{im2} = f_c + 2 \cdot FI_2 \quad (4.3.6)$$

$$f_{im2} = f_c - 2 \cdot FI_2 - 2 \cdot FI_1 \quad (4.3.7)$$

avec: f_c = la fréquence porteuse à l'entrée du récepteur;
 FI_1 = la première Fréquence Intermédiaire;
 FI_2 = la deuxième Fréquence Intermédiaire.

Après le premier mélange de fréquences, ces signaux se trouveront aux fréquences suivantes :

$$f_{im2@FI1} = 2 \cdot FI_2 - FI_1 \quad (4.3.8)$$

$$f_{im3@FI1} = 2 \cdot FI_2 + FI_1 \quad (4.3.9)$$

Pour tenir les spécifications imposées par l'Union Internationale des Télécommunications, une atténuation de 70 dB doit être assurée pour des signaux espacés de plus de 1 MHz de la porteuse.

Le gabarit des deux filtres identiques passe-bas est donc donné par les spécifications suivantes :

- Une bande passante supérieure à 250 kHz, sachant que la première FI est à 152 kHz et que la bande passante utile d'un signal modulé FM est d'environ 100 kHz de part et d'autre de la porteuse ;
- Un ripple très faible dans la bande passante ;
- Une atténuation d'au moins 70 dB pour des fréquences autour de 2 MHz.

Tenant compte de ces contraintes, le filtre a été implémenté en partant d'une structure LC en échelle de filtre elliptique [4.3.3]. Le tableau suivant présente les caractéristiques de ces filtres passe-bas.

Caractéristique du filtre	Valeur
type	elliptique
ordre	4 ^e
ripple bande	0.007 dB
atténuation stop-bande	73 dB

table 4.3.2 Caractéristiques des filtre passe-bas à FI1

La structure LC de départ pour ces filtres passe-bas est présentée à la figure suivante.

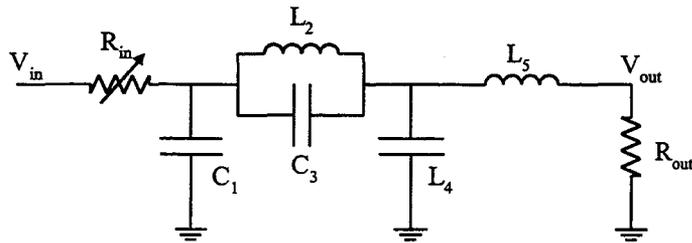


figure 4.3.8 La structure LC de départ pour les filtres passe-bas à FII

Pour l'implémentation sur Silicium, les techniques devenues maintenant classiques de passage vers des filtres Gm-C sont utilisées [4.3.4], [4.3.5]. La figure suivante rappelle les transformations nécessaires pour obtenir des structures équivalentes à des inductances et à des résistances à partir de transconductances et de capacités. Les filtres sont réalisés sous une forme complètement différentielle.

	Element référencé à la masse	Elément flottant
L		
R _{in}		
R _{out}		

figure 4.3.9 Réalisation de self-inductances et résistances pour des filtres Gm-C

Une structure passe-haut du premier ordre (RC) est placée en amont du filtre proprement-dit. Son rôle est d'éliminer la composante continue présente en sortie des mélangeurs.

Comme précisé dans l'introduction de ce chapitre, l'équilibrage des deux voies de transmission du signal dans le Récepteur FM est réalisée au niveau des deux filtres passe-bas. Les dispersions dues à l'implémentation physique sur Silicium impliquent que deux structures réalisées de façon identique sur la même puce ne présentent qu'un appariement très limité. Comme la bonne réjection de la première fréquence image (atténuation > 30 dB) se base sur l'appariement des deux voies en quadrature, une structure permettant de régler le gain et la phase sur chaque voie a été prévue.

De manière très schématique, cette structure de calibration agit sur l'équivalent de la résistance d'entrée de chaque filtre. Des coefficients binaires commandés chacun par 5 bits de trim permettent de réaliser cette opération selon le principe suivant :

Soit v_{inI} = la tension d'entrée du filtre passe-bas de la voie I ;
 v_{inQ} = la tension d'entrée du filtre passe-bas de la voie Q ;
 α = le coefficient de contrôle du gain; valeur par défaut: 1;
 β = le coefficient de contrôle de la phase; valeur par défaut: 0.

L'équivalent de la résistance d'entrée du filtre sur la voie I est :

$$R_{inI} = \alpha \cdot \frac{v_{inI}}{I_{pol}} + \beta \cdot \frac{v_{inQ}}{I_{pol}} \quad (4.3.10)$$

I_{pol} est un équivalent du courant de polarisation (constant) des transconductances. Pour la voie Q, une expression similaire peut être déduite.

La structure de base des transconductances employées dans les filtres passe-bas est présentée à la figure suivante.

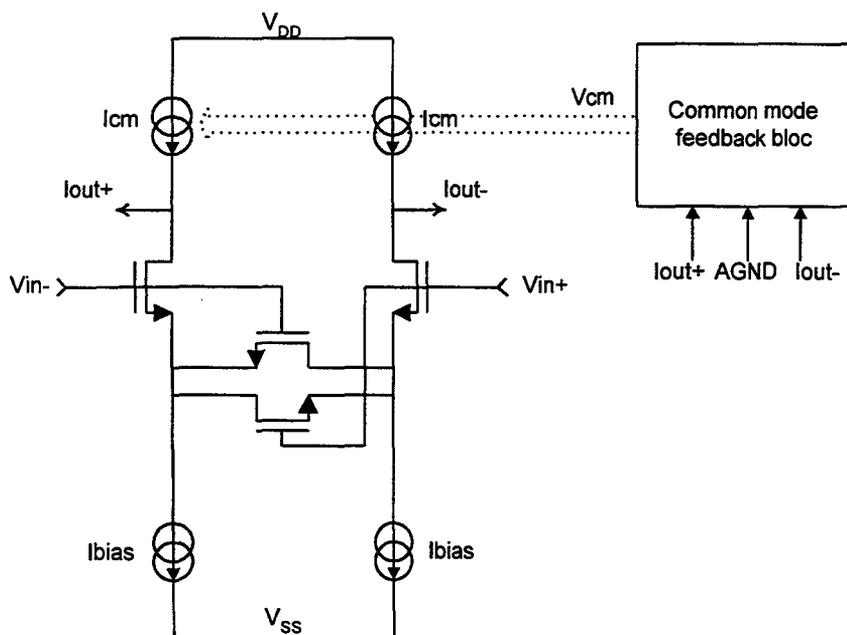


figure 4.3.10 Schéma de base des transconductances employées dans les filtres passe-bas

Le cœur de chaque transconductance est implémenté avec une paire différentielle NMOS dégénérée [4.3.2]. Le courant de polarisation NMOS appelé I_{bias} impose la valeur de la transconductance. La valeur de ce courant est contrôlée à partir de la deuxième PLL (PLL2) du circuit.

La valeur de la tension aux nœuds de sortie des transconductances est égale à AGND (la masse analogique du circuit, 1.5 V). Cette valeur est contrôlée à l'aide d'un bloc de régulation du mode commun qui agit sur les miroirs de courant PMOS présents dans le cœur des transconductances.

Dans le cadre des filtres passe-bas, un bloc de régulation du mode commun dessert un groupe de transconductances ayant la même sortie.

Le filtre est réalisé avec des transconductances de la même valeur et avec des capacités de valeurs différentes. Les capacités sont implémentées sous la forme de structures alvéolées telles que celles présentées au chapitre 3.5.6.b.

4.3.4 Les mélangeurs moyenne-fréquence, le sommateur et le deuxième Oscillateur Local

Les mélangeurs

Cette deuxième paire de mélangeurs translate le signal présent à la première Fréquence Intermédiaire (152 kHz) vers la deuxième Fréquence Intermédiaire (988 kHz). Nous nous trouvons donc dans un cas de supradyné, avec un second Oscillateur Local à une fréquence fixe de 1140 kHz.

Le schéma du mélangeur est complètement réalisé avec des transistors MOS. Cette fois-ci, l'horloge provenant du deuxième Oscillateur Local attaque les paires différentielles d'en bas. Le signal actif issu des filtres passe-bas, ayant une valeur de repos égale à AGND, attaque les paires différentielles NMOS du haut. Ces paires différentielles sont dégénérées selon la même technique employée pour les transconductances des filtres. On assure ainsi la linéarité nécessaire pour le signal actif.

La figure suivante présente le schéma employé pour ces mélangeurs.

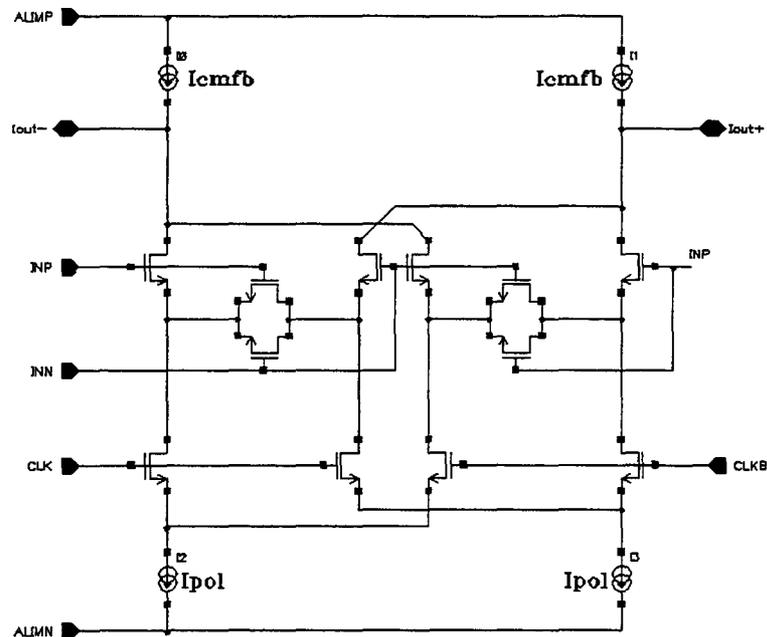


figure 4.3.11 Schéma électrique d'un mélangeur de la deuxième paire

Le courant de polarisation NMOS I_{pol} est contrôlé à partir de la deuxième PLL. Un système de régulation du mode commun identique à celui employé pour les transconductances des filtres est utilisé aussi pour ces mélangeurs.

En simulation, l'entrée signal présente une fréquence de coupure de 13.7 MHz, et ceci en bloquant de façon convenable l'entrée de l'horloge. En ce qui concerne la linéarité de l'entrée signal, un point d'interception d'ordre 3 de 1.04 V a été simulé ; la valeur maximale du signal dans ce point est toujours de 100 mV.

Le sommateur

Comme indiqué dans la figure précédente, les mélangeurs présentent des sorties en courant. Pour obtenir l'opération de somme des deux voies I et Q, les sorties correspondantes des deux mélangeurs sont mises ensemble. Le courant résultant est ensuite transformé en une tension. La figure suivante illustre ces opérations.

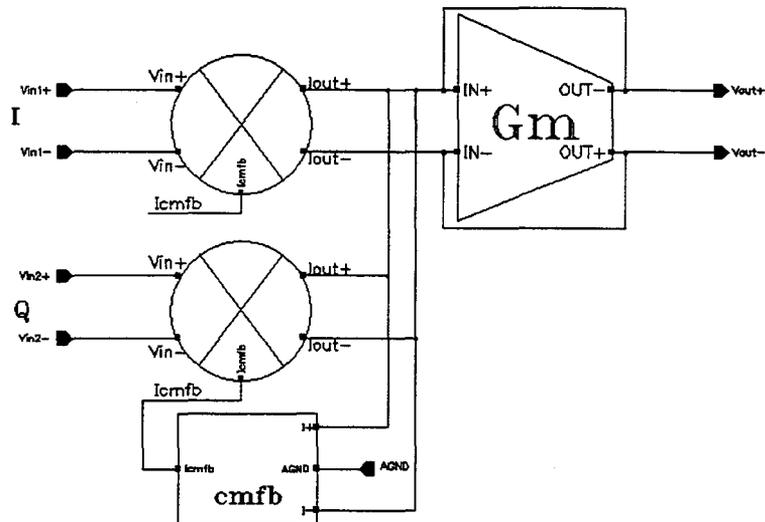


figure 4.3.12 La structure du sommateur des deux voies I et Q

Un circuit équivalent à une résistance de charge transforme les courants-somme en des tensions. La résistance de charge est implémentée à l'aide d'une transconductance rebouclée sur elle-même avec le signe moins. Cette transconductance présente la même structure interne que celles employées dans les filtres.

Sur la figure précédente, on observe aussi un bloc de régulation du mode commun qui, à partir des informations présentes sur les sorties mises en commun, permet de réguler la valeur des courants PMOS de mode commun des deux mélangeurs.

Le deuxième Oscillateur Local

Pour obtenir un deuxième Oscillateur Local sur la puce, plusieurs solutions pourraient être envisagées :

- Premièrement, utiliser le signal issu du premier Oscillateur Local et effectuer une division de fréquence. Cette solution a pour avantage la simplicité et pour gros désavantage la propagation et amplification du bruit de phase.
- Deuxièmement, employer une deuxième boucle à verrouillage de phase, totalement indépendante de la première.

Dans le cas précis du Récepteur FM présenté dans ce chapitre, seule la deuxième solution est possible : la première PLL oscille à une fréquence variable, tandis que la deuxième PLL doit être verrouillée sur une fréquence fixe.

De plus, cette deuxième PLL délivre des courants de polarisation qui permettent d'asservir en fréquence les filtres passe-bas, les mélangeurs moyenne-fréquence, le filtre passe-bande et le VGA2. Tous ces blocs, ainsi que le VCO de cette PLL2, fonctionnent à une fréquence fixe.

En implémentant tous ces éléments à l'aide d'un même type de transconductance on peut espérer d'obtenir un bon asservissement en fréquence, quelque soit les conditions de fonctionnement (technologiques et de température) de la puce.

De manière plus pratique, le deuxième Oscillateur Local est aussi implémenté sous la forme d'une boucle à verrouillage de phase de type 4, comme présenté à la figure suivante. La fréquence de référence de cette boucle est aussi de 38 kHz, et elle est donc issue de l'oscillateur à quartz.

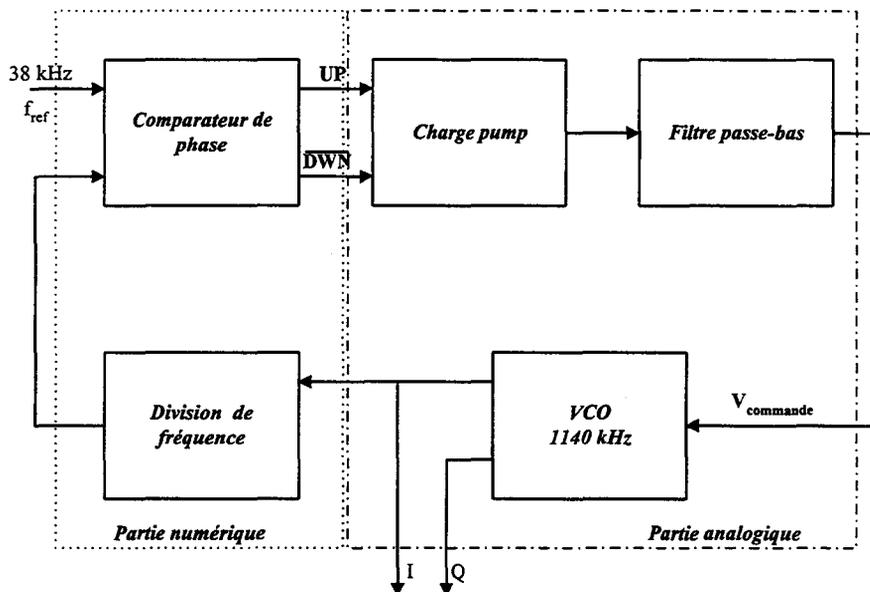


figure 4.3.13 La PLL2 fonctionnant à 1140 kHz

Comme la PLL1, l'implémentation de PLL2 est aussi mixte analogique-numérique. La partie analogique comprend le VCO, le circuit de charge-pump et le filtre de boucle. Tout le bloc de division de fréquence et le comparateur de phase sont des blocs numériques, réalisés selon des méthodes classiques. Pour obtenir une division de la fréquence par 30, trois diviseurs de rang fixe sont concaténés : un par 3, un par 5 et un autre par 2. Tous les blocs numériques sont réalisés à partir de cellules standard issues des bibliothèques de composants du fondeur. Dans ce qui suit, une description plus en détail de l'implémentation du VCO sera présentée.

L'Oscillateur contrôlé par une tension (VCO)

Comme présenté au chapitre 4.3.2, la plupart des oscillateurs haute et moyenne fréquence sont implémentés à partir d'un schéma de base d'oscillateur accordé LC. Pour compenser les diverses pertes dans le circuit, on introduit en parallèle avec le bloc oscillant une résistance négative pour les compenser. Comme la compensation exacte n'est pas possible dans un circuit réel, plusieurs solutions sont possibles pour implémenter une conductance non-linéaire.

Le VCO employé dans la PLL2 utilise la première méthode décrite au chapitre 4.3.2. Le schéma de principe de ce VCO est présenté dans la figure ci-dessous.

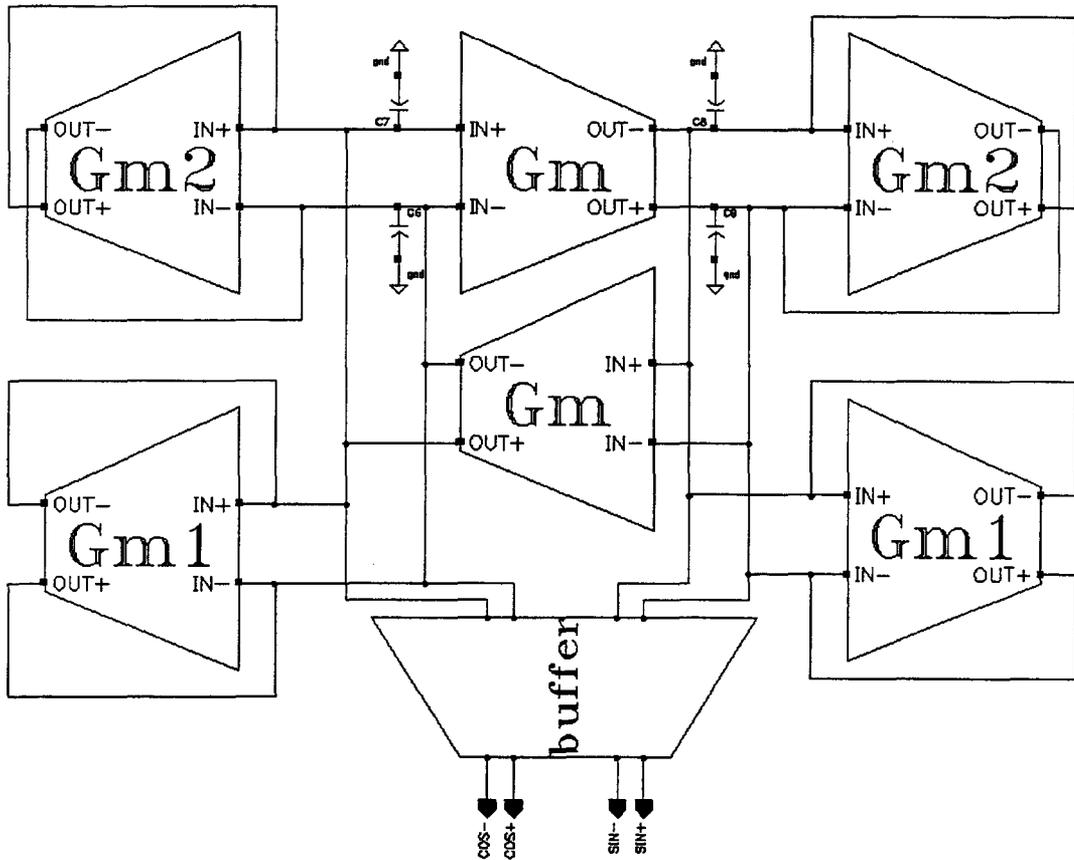


figure 4.3.14 Le schéma de principe du VCO fonctionnant à 1140 kHz

Le bloc oscillant est obtenu avec les deux transconductances G_m en boucle et les capacités C . La conductance non-linéaire est réalisée avec un ensemble de blocs résistifs, l'un positif (G_{m1}) et l'autre négatif (G_{m2}). La résistance positive $R1$ est dégénérée et a une valeur plus forte que celle de la résistance négative, qui n'est pas dégénérée. Le mécanisme de stabilisation de l'amplitude du VCO est présenté dans la figure suivante.

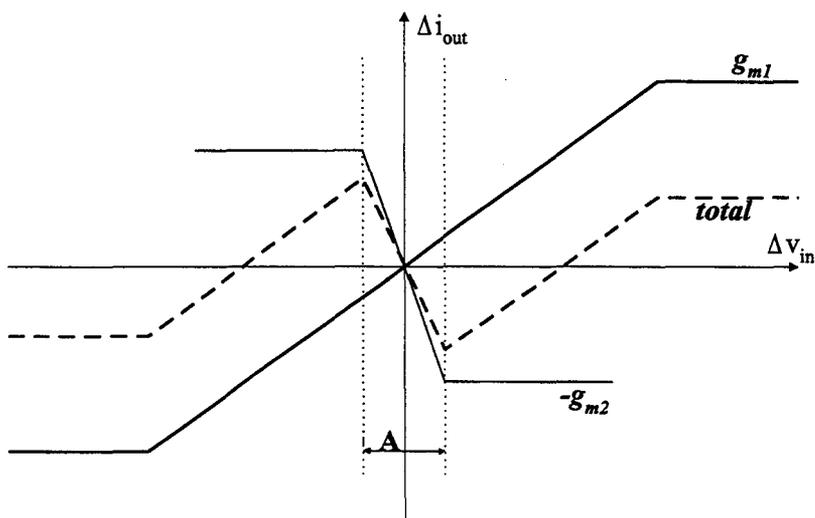


figure 4.3.15 Mécanisme de stabilisation du VCO fonctionnant à 1140 kHz

Comme dans le cas du VCO présenté précédemment, il est essentiel que la pente négative représentant la conductance négative soit supérieure à celle positive. De cette manière, la pente totale de la courbe autour de l'origine est négative, ce qui permet le démarrage de l'oscillation (pente négative \Leftrightarrow amplitude croissante de l'oscillation).

Toutes les transconductances du VCO sont réalisées selon le même principe que celle des filtres passe-bas.

4.3.5 Le filtre passe-bande à la deuxième Fréquence Intermédiaire (FTR2 dans la figure 4.1.1)

Ce filtre passe-bande est indispensable dans tout récepteur FM superhétérodyne. Son rôle est d'extraire à partir de l'information reçue seulement le canal désiré et donc d'éliminer les canaux adjacents. Il s'agit d'un filtre assez complexe, avec une fonction de filtrage très raide. Due à cette complexité, le filtre ne peut pas être implémenté sur Silicium à des Fréquences Intermédiaires supérieures à quelques MHz.

Le gabarit de ce filtre passe-bande est donné par les spécifications suivantes :

- Une bande passante de 210 kHz, avec une fréquence centrale (f_c) de 988 kHz ;
- Une atténuation en bout de bande passante de 0.1 dB, avec une fonction de transfert très plate dans la bande ;
- Pour les deux bande coupées, le tableau suivant indique l'atténuation nécessaire :

Ecart par rapport à f_c (kHz)	Atténuation (dB)
-200	15
-300	45
-400	75
+200	15
+300	45
+400	75
+1000	85

table 4.3.3 Le gabarit du filtre passe-bande

- La distorsion du délai de groupe dans la bande passante ne doit pas dépasser 3 μ s.

Tenant compte de ces contraintes, le filtre a été implémenté en partant d'une structure LC en échelle. A l'aide d'un outil de synthèse intégrée de filtres [4.3.6], la meilleure structure répondant au gabarit imposé a pu être trouvée : il s'agit d'un filtre Butterworth (maximally flat) de 12^e ordre.

La structure LC de départ pour ce filtre passe-bande est présentée dans la figure suivante.

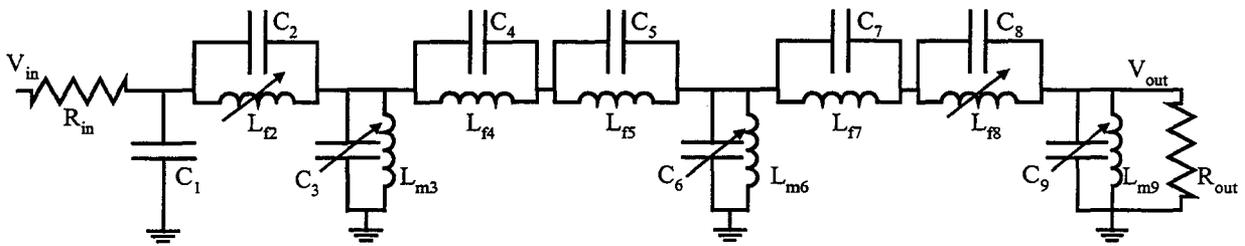


figure 4.3.16 La structure LC en échelle pour le filtre passe-bande

L'implémentation sur Silicium est identique à celle utilisée pour les filtres passe-bas FTR1 : on emploie les mêmes techniques de transformation pour obtenir des structures équivalentes à des inductances (voir la figure 4.3.9). De même, le schéma de base des transconductances est identique à celui des filtres passe-bas, des mélangeurs moyenne-fréquence, ... (voir la figure 4.3.10). Les capacités sont réalisées aussi sous la forme de structures alvéolées.

Comme ce filtre a une fonction de transfert avec des transitions très raides, son centrage par rapport à la 2^e FI est essentiel pour le bon fonctionnement du Récepteur FM. La bande passante du filtre est égale strictement à celle d'un signal modulé FM avec une profondeur de modulation de $\Delta f = 75$ kHz. Ceci signifie que le moindre décalage en fréquence du filtre introduit des distorsions sur le signal présent à l'entrée du discriminateur. Pour bien contrôler la fonction de transfert de ce filtre passe-bande, 28 bits de trim ont été prévus sur la puce. Ces bits permettent d'ajuster la valeur de différents composants du schéma équivalent LC du filtre.

L'asservissement des transconductances du filtre à partir de la PLL2 permet un premier réglage en fréquence du filtre passe-bande. Pour le réglage "fin", les bits de trim agissent comme suit:

- 5 bits de trim permettent le réglage du courant de polarisation des transconductances dans le filtre;
- d'autres groupes de 5 bits règlent la valeur de capacités dans le schéma du filtre. Il s'agit de batteries de capacités mises en parallèle, chacune ayant en série un interrupteur MOS.

Le tableau suivant présente ces possibilités d'ajustement en fréquence du filtre passe-bande.

Elément concerné dans le schéma (LC)	Nombre de bits de trim	Action	Déviati on maximale possible
Toutes les G_m 's	5	Changer la fréquence centrale du filtre $f_{c\ nom} = 988\ kHz$	+/- 10%
C_9	3	Changer la fréquence centrale du filtre $f_{c\ nom} = 988\ kHz$	Pas de réglage: 0.8% Pas total: 6%
L_{f8}	5	Ajuster la fréquence du 1 ^{er} zéro à gauche $f_{z\ nom} = 600\ kHz$	+/- 75 kHz
C_6	5	Ajuster la fréquence du 1 ^{er} pôle à droite => modifier le ripple dans bande passante	+/- 1 dB sur le ripple +/- 75 kHz sur le pôle
C_3	5	Ajuster la fréquence du 1 ^{er} pôle à gauche => modifier le ripple dans bande passante	+/- 1 dB sur le ripple +/- 75 kHz sur le pôle
L_{f2}	5	Ajuster la fréquence du 1 ^{er} zéro à droite $f_{z\ nom} = 1400\ kHz$	+/- 100 kHz

table 4.3.4 Possibilités de réglage "fin" en fréquence pour le filtre passe-bande

4.3.6 Le deuxième amplificateur à gain contrôlé en tension (VGA2)

Cet amplificateur réalise le dernier maillon dans la boucle automatique de régulation du gain sur la chaîne de réception. La sortie du VGA2 délivre l'information qui sera traitée par le discriminateur de fréquence; le même signal attaque aussi l'entrée du bloc de contrôle automatique du gain (AGC).

Le VGA2 fonctionne à la deuxième Fréquence Intermédiaire est il est réalisé sous la forme d'une cascade de trois étages de gain. La figure suivante présente le schéma d'une des cellules de gain [4.3.7].

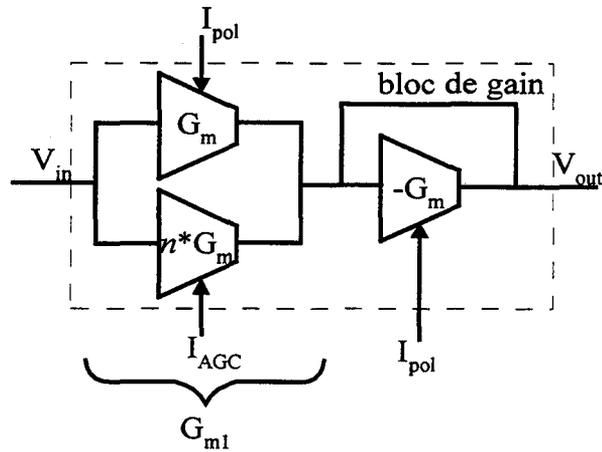


figure 4.3.17 Cellule de gain pour le VGA2

Le gain de cette cellule est donné par la formule suivante:

$$\frac{V_{out}}{V_{in}} = \frac{g_{m1}}{g_m} = 1 + k \quad (4.3.11)$$

avec: k = une constante commandée par le bloc AGC.

La transconductance d'entrée est réalisée par la mise en parallèle de plusieurs transconductances du même type. L'une d'entre elles est polarisée à partir d'un courant fixe venant de la PLL2 (I_{pol}), tandis que toutes les autres sont polarisées à partir d'un courant commandé par le bloc d'AGC (I_{AGC}). Les cellules de gain composant le VGA2 sont réalisées en mettant en parallèle 7 ou 8 transconductances identiques.

Quand l'AGC délivre un courant de commande nul, seule la transconductance polarisée à partir de la PLL2 va fonctionner et le gain de la cellule sera égal à 1. Progressivement, quand l'AGC commence à délivrer un courant non-nul, les autres 6 ou 7 transconductances se mettent en fonction et le gain augmente. Le gain maximum de chaque cellule est de 7 ou 8, selon le nombre de transconductances mises en parallèle.

Les transconductances sont réalisées de la même façon que celles des filtres, du VCO dans PLL2 et des mélangeurs moyenne-fréquence (voir la figure 4.3.10). Le synoptique de chaque étage de gain est présenté dans la figure suivante.

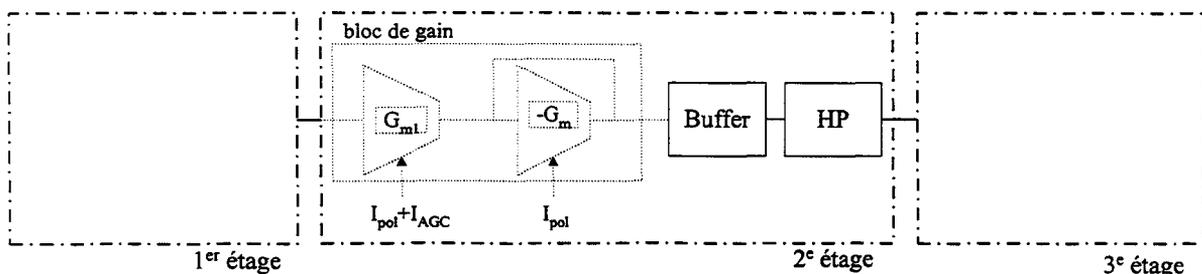


figure 4.3.18 Schéma bloc des étages de gain dans le VGA2

La cellule de gain est suivie par un buffer et ensuite par une partie réalisant un filtrage passe-haut. Le filtre passe-haut a une fréquence de coupure d'environ 2 kHz et a pour but d'éliminer toute éventuelle composante DC du signal. Ce filtrage est nécessaire à cause du fort gain de chaque étage du VGA, qui générerait autrement une composante DC de très forte amplitude.

4.3.7 Le contrôle automatique du gain (AGC)

Le bloc de contrôle automatique du gain prélève l'information en tension présente tout à la fin de la chaîne de réception du signal, à l'entrée du discriminateur de fréquence. Son rôle est de réguler la tension différentielle à son entrée à une valeur de 100 mVpp. Pour obtenir ce résultat, le bloc AGC délivre des courants ou des tensions de commande qui agissent sur les différents amplificateurs à gain variable de la chaîne.

Le gain total maximal nécessaire le long de la chaîne de réception est imposé par le rapport entre le signal nécessaire à l'entrée du discriminateur pour une bonne démodulation et le signal minimum à recevoir à l'entrée antenne:

- la sensibilité minimale en entrée est de -110 dBm, ce qui est équivalent à une f.e.m. de $2.23 \mu\text{V}$ sur une résistance de source de 500Ω . La tension minimale à l'entrée de la puce est donc $V_{in_min} = 1.118 \mu\text{V}_{rms}$.
- la tension nécessaire en entrée du discriminateur est de 100 mVpp, ce qui donne, en valeur rms, $V_{discr} = 35.35 \text{ mV}_{rms}$.

Il en résulte donc un gain en tension maximum sur la chaîne $G_{max} = 90$ dB.

Ensuite, ce besoin de gain est réparti sur les trois amplificateurs de la chaîne (LNA, VGA1 et VGA2) selon les besoins en dynamique interne et en facteur de bruit.

Concernant le facteur de bruit du Récepteur FM, les spécifications du circuit imposent une valeur de 4 dB lors de la réception d'un signal d'amplitude minimale. Le LNA seul présente un facteur de bruit de 2 dB. Il est donc nécessaire d'ajouter un bloc de gain juste après le LNA, pour minimiser l'effet du bruit ramené vers l'entrée des circuits à la première FI. Pour décider de la valeur du gain à attribuer aux blocs front-end, il faut tenir compte des considérations suivantes:

- Ce gain doit avoir une valeur minimale, pour ne pas trop augmenter la dynamique nécessaire pour les étages suivants. Plus la dynamique interne du récepteur est grande, plus on détériore la réjection des signaux parasites à forte amplitude, qui impliqueraient la saturation des différents étages.
- D'un autre côté, la valeur de ce gain est uniquement limitée par le rapport entre la tension de bruit équivalente ramenée à l'entrée par les étages à la 1^{ère} FI et le signal minimum à recevoir à l'antenne.

Pour obtenir le gain total nécessaire dans le circuit, un deuxième amplificateur à gain variable doit être placé dans la chaîne de réception. Il a été préféré de placer cet amplificateur (VGA2) juste après le filtre passe-bande. De cette manière, le VGA2 amplifie le signal jusqu'à la valeur désirée et n'amplifie le bruit du circuit que sur une bande de fréquence très réduite, égale à la bande passante du filtre d'extraction du canal. L'influence du VGA2 est infime dans le calcul du facteur de bruit total de la chaîne.

Une autre remarque est à faire sur la variation à imposer pour le gain des trois amplificateurs de la chaîne. Premièrement, pour assurer une impédance d'entrée à une valeur fixe (500 Ω) pour le circuit, le gain du LNA doit basculer de façon brusque de la valeur basse vers la valeur haute du gain. Pour compenser ce saut de gain, le VGA1 doit présenter une variation du gain qui, à partir d'un certain seuil est linéaire, et qui présente un comportement du type dent de scie au moment où le gain du LNA bascule. A la fin le gain du VGA1 se plafonne à sa valeur maximale. Le gain du VGA2 a une variation de type linéaire à partir d'un certain seuil, et jusqu'à l'atteinte de la valeur maximale.

La suite présente la façon dont cette fonction du circuit a été implémentée. La figure suivante présente le schéma de principe du bloc AGC.

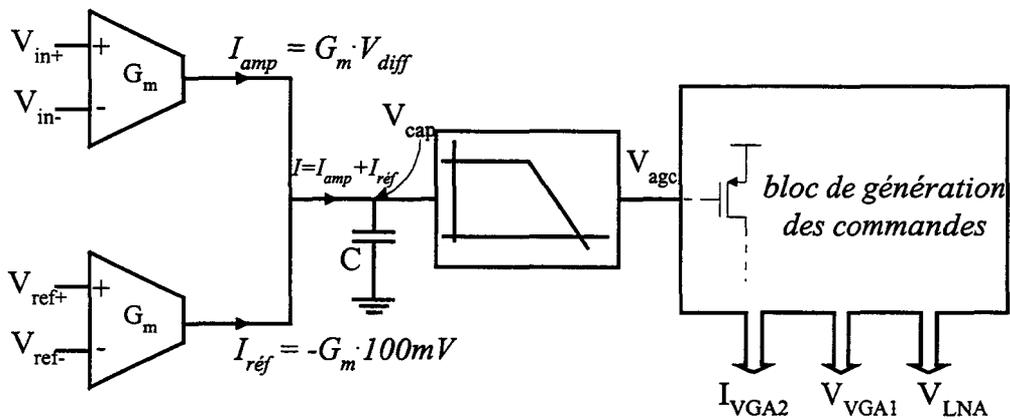


figure 4.3.19 Schéma de principe de l'AGC

Le bloc de contrôle automatique du gain présente deux entrées différentielles: le signal utile issu de la chaîne et un signal de référence. Le signal de référence présente une tension DC égale à AGND (1.5 V) et un offset constant sur une des voies de -100 mV. Le signal utile a aussi une valeur DC égale à AGND et une variation AC de type sinusoïdale.

Les deux transconductances identiques transforment l'information en tension en un courant, qui sera ensuite recopié par un jeu de miroirs adéquat. On obtient alors les courants suivants:

$$I_{ref} = -g_m \cdot 100 \text{ mV} = \text{Constante} \tag{4.3.12}$$

$$I_{amp} = g_m \cdot V_{in_diff} \tag{4.3.13}$$

La somme algébrique de ces deux courants sera ensuite intégrée sur la capacité C , en obtenant la tension V_{cap} . La tension V_{cap} est filtrée à l'aide d'un simple passe-bas à deux étage pour obtenir ainsi une tension quasi-DC appelée V_{agc} .

Les courants ou tensions de commande pour le gain des différents amplificateurs dans la chaîne de réception sont générés à partir de cette tension V_{agc} . La tension V_{agc} polarise des grilles de sources de courants PMOS. La figure suivante présente la dépendance des courants ou tensions de commande par rapport à la tension V_{agc} . Le VGA2 est contrôlé par un courant, tandis que le LNA et le VGA1 sont pilotés par des tensions.

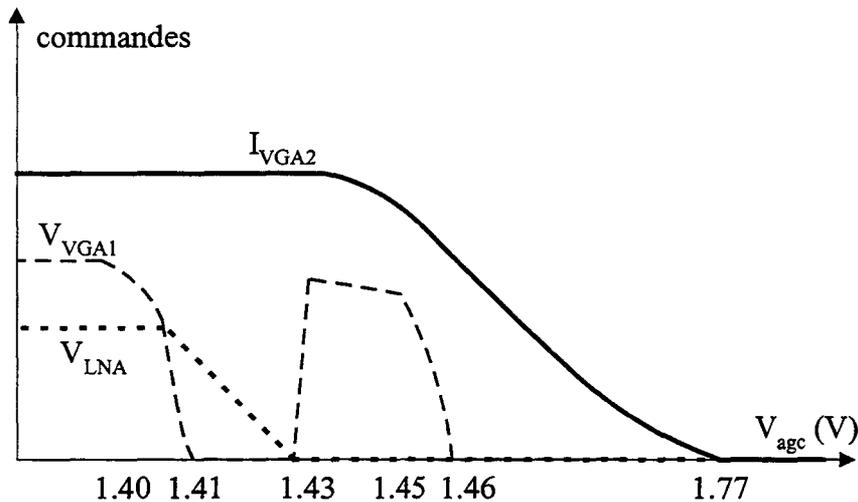


figure 4.3.20 La variation des courants ou tensions de commande avec la tension V_{agc}

La figure suivante présente la variation du gain des amplificateurs en fonction de la tension de commande V_{agc} et en fonction de la tension d'entrée à l'antenne.

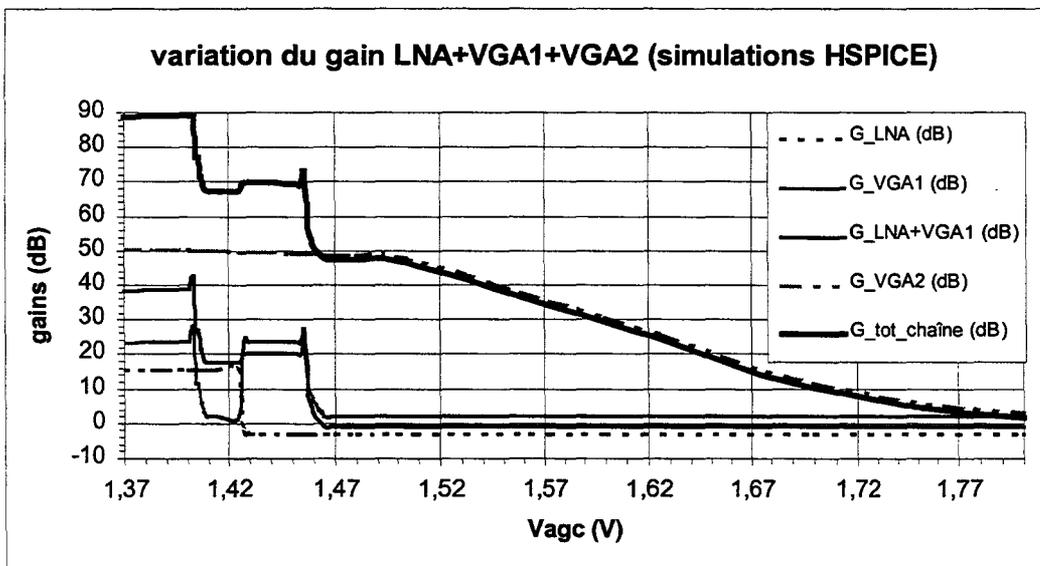


figure 4.3.21 La variation du gain des amplificateurs avec la tension V_{agc}

4.3.8 Le discriminateur de fréquence

Le principe de fonctionnement

Ce bloc est réalisé selon le principe du discriminateur en quadrature. Le principe d'un tel discriminateur est modélisé dans la figure suivante.

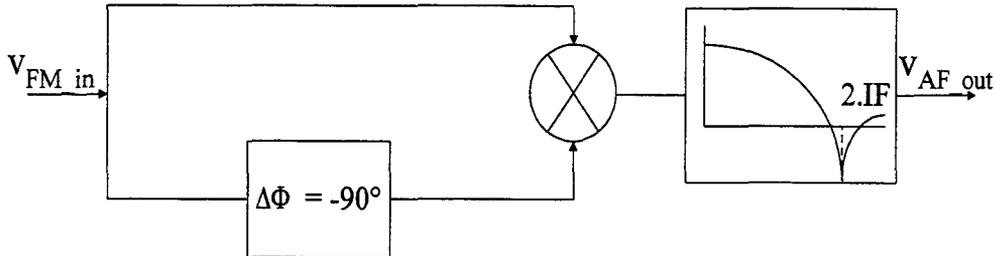


figure 4.3.22 Le principe du discriminateur en quadrature

Le bloc le plus important dans ce schéma est le réseau de déphasage : ce bloc réalise un retard correspondant à un quart de la fréquence centrale du discriminateur. La valeur du déphasage introduit n'est donc pas constante par rapport à la fréquence instantanée, mais elle varie linéairement autour de la valeur prise à la fréquence centrale du discriminateur (f_0)¹. Pour une fréquence $f = f_0$, on obtient le déphasage $\Delta\Phi = 90^\circ$. Une extrapolation de la courbe de phase autour de la fréquence f_0 permet la mise en évidence d'une droite ayant l'équation suivante:

$$\Delta\Phi(f(t)) = \Delta\Phi(t) = p \cdot f(t) + \varphi_0 \quad (4.3.14)$$

avec:

$f(t) = f_0 + \Delta f \cdot \cos(\omega_m t)$ = la fréquence instantanée du signal modulé FM;

$p = -\frac{180^\circ}{\pi \cdot f_0}$ = la pente de la droite;

$\varphi_0 = \frac{180^\circ}{\pi} - 90^\circ$ = la valeur à l'origine.

Le signal incident, ainsi que son "homologue" retardé d'un quart de période de f_0 sont ensuite mélangés. Le signal en sortie du mélangeur sera la somme de deux cosinus, celui ayant la fréquence la plus basse étant le signal utile. Le rôle du filtre en sortie du discriminateur est justement d'éliminer ce signal "parasite".

Le signal en entrée du discriminateur a l'expression suivante (une forme classique de signal modulé FM):

$$v_{FI2}(t) = A \cdot \sin\left(\omega_{FI2}t + \frac{\Delta f}{f_m} \cdot \sin(\omega_m t)\right) \quad (4.3.15)$$

¹ La fréquence centrale du discriminateur est égale à la fréquence porteuse du signal FM appliqué à l'entrée du discriminateur. Dans notre cas, elle est égale à la deuxième Fréquence Intermédiaire.

avec:

ω_{FI2} = la deuxième fréquence intermédiaire et fréquence centrale du discriminateur;

$\omega_m = 2\pi \cdot f_m$ = la fréquence (angulaire) du signal modulant;

Δf = l'amplitude du signal modulant.

Comme mentionné auparavant, l'onde issue du mélangeur peut se décomposer comme suit:

$$v_{mix}(t) = v_{utile}(t) + v_{parasite}(t) \quad (4.3.16)$$

Le signal utile a donc la forme suivante:

$$v_{utile}(t) = \frac{A^2}{2} \cdot \cos \Delta\Phi(t) = \frac{A^2}{2} \cdot \sin(90^\circ - \Delta\Phi(t)) \quad (4.3.17)$$

Comme le déphasage instantané $\Delta\Phi(t)$ varie autour de 90° , $90^\circ - \Delta\Phi(t)$ varie autour de 0° , et donc un développement limité peut être fait pour le sinus de l'expression précédente, ce qui mène au résultat suivant:

$$v_{utile}(t) = v_{AF}(t) = A^2 \cdot 90^\circ + A^2 \frac{90^\circ}{\pi \cdot f_0} \cdot \Delta f \cos \omega_m t = v_{DC} + Constante \cdot \Delta f \cos \omega_m t \quad (4.3.18)$$

Le discriminateur en quadrature permet donc de récupérer le signal modulant audio-fréquence AF (à une constante près), auquel s'ajoute un terme constant d'offset.

Le signal parasite peut être ramené sous la forme suivante:

$$v_{parasite}(t) = v_{2FI2}(t) = -\frac{A^2}{2} \sin\left(2\omega_{FI2}t + \frac{\Delta f^*}{f_m} \cdot \sin \omega_m t\right) \quad (4.3.19)$$

avec:

$$\Delta f^* = 2\Delta f \cdot \left(1 + \frac{90^\circ}{\pi} \cdot \frac{f_m}{f_0}\right) = \text{la déviation maximale de fréquence du signal parasite,}$$

$$\Delta f^* \in [2\Delta f, 5.6\Delta f].$$

Le signal parasite est aussi une onde modulée en fréquence, autour du double de la 2^e Fréquence Intermédiaire, mais avec un indice de modulation très fort. Il en résulte que le signal parasite a un spectre très étalé, pouvant aller jusqu'à 1120 kHz de largeur de bande.

Un filtre passe-bas d'un ordre suffisant permet d'éliminer cette modulation parasite.

L'implémentation pratique du discriminateur

La figure ci-dessous présente le schéma bloc du discriminateur implémenté dans le Récepteur FM [4.3.8].

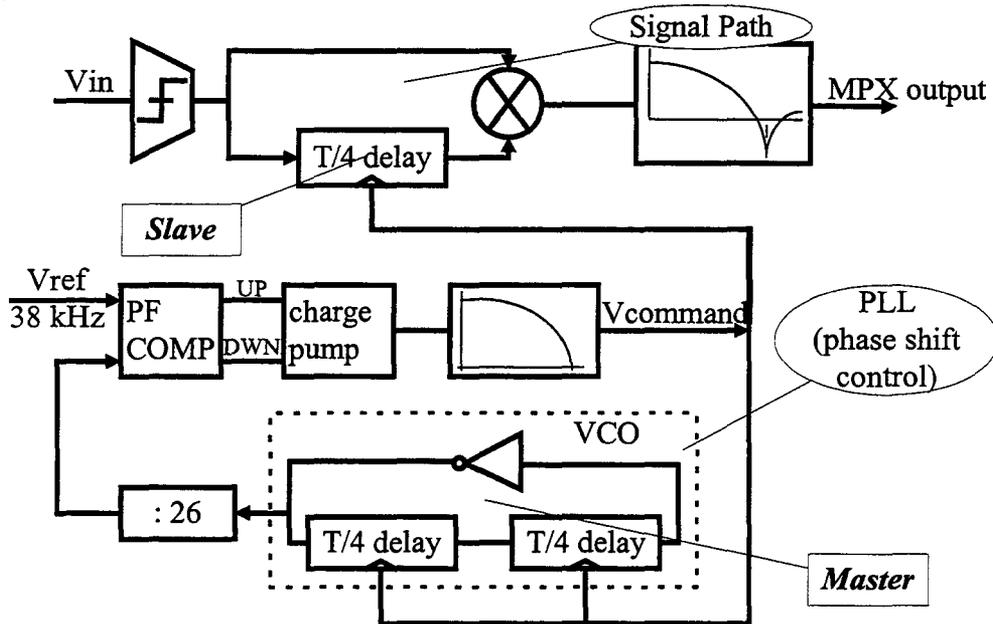


figure 4.3.23 Le schéma bloc du discriminateur

Le signal en entrée de ce bloc présente une amplitude différentielle de 100 mVpp, grâce à la régulation d'amplitude effectuée par l'AGC. Quant au rapport signal à bruit en entrée du discriminateur, sa valeur dépend de l'emploi que l'on donne au circuit Récepteur FM.

- Si on s'intéresse seulement à l'information RDS dans la bande de base, alors le petit calcul suivant est à faire:

La bande passante du signal RDS en bande de base est de 6 kHz. L'amplitude rms du signal modulant RDS est $\Delta f_{RDS} = 4 \text{ kHz} / \sqrt{2}$ et donc l'indice de modulation (β) de ce signal est très faible. Il en résulte que la bande radio-fréquence correspondant à ce signal est égale à 12 kHz.

Pour démoduler en bande de base un signal RDS présent sur la sortie MPX, un rapport signal à bruit de 6 dB est nécessaire. En regardant des courbes donnant la variation du rapport S/B en sortie d'un discriminateur FM en fonction du rapport S/B à son entrée [4.3.9]², on en déduit qu'un rapport signal à bruit d'environ 20 dB est nécessaire à l'entrée du discriminateur, dans une bande de 12 kHz.

- Si on s'intéresse au signal complet MPX, de bande passante 60 kHz et si on tient compte des normes HiFi stéréo en sortie d'un discriminateur, un rapport S/B à l'entrée du discriminateur de 53.7 dB est nécessaire.

L'implémentation pratique du discriminateur est présentée dans ce qui suit.

² Dans ce cas précis, le discriminateur fonctionne en dessous du seuil de discrimination.

Comme dans tout discriminateur de fréquence, le signal est d'abord passé par un amplificateur-limiteur. Le rôle de ce bloc est d'éliminer toute modulation d'amplitude parasite. La source de cette modulation d'amplitude est le bruit généré lors du passage du signal par les blocs de la chaîne de réception. Le chemin du signal est ensuite séparé en deux, une des voies est retardée d'un quart de période et les deux voies sont par la suite multipliées. Et enfin, un filtre passe-bas permet d'éliminer le signal parasite issu de la multiplication et de mettre le signal de sortie sous la forme demandée dans le cahier des charges (valeur DC, amplitude...). Un buffer de sortie amène le signal vers l'extérieur de la puce. Toute cette partie est appelée le chemin du signal ou encore Signal Path.

La qualité de la démodulation dépend fortement de la précision de réalisation de l'élément de délai. Pour assurer une valeur très précise pour cet élément de délai, un système Maître – Esclave d'asservissement a été prévu. Une boucle à verrouillage de phase permet d'obtenir le contrôle. Le fonctionnement est le suivant:

Le VCO contenu dans la PLL d'asservissement est réalisé sous la forme d'un oscillateur en anneau. Les éléments de délai de cet oscillateur sont identiques à celui utilisé sur le chemin du signal. En mettant sur une boucle deux cellules retardant d'un quart de période chacune (T/4) et une inversion de polarité, on peut obtenir un oscillateur qui tourne à la période T. Dans le cas de notre application:

$$T = \frac{1}{988 \text{ kHz}} = 1.01214 \mu\text{s}$$

Les cellules de retard sont réalisées d'une telle manière qu'une tension DC contrôle la valeur du délai. De cette manière, la tension de rebouclage de la PLL permet de fixer la fréquence d'oscillation du VCO réalisé comme un oscillateur en anneau. La même tension de contrôle agit sur la cellule de délai présente sur le chemin du signal actif, en asservissant ainsi la valeur de ce retard sur la fréquence FI2 de 988 kHz.

La PLL est pilotée par une horloge à 38 kHz issue de l'oscillateur à quartz présent sur la puce. La structure de la boucle est de type 4 et est fortement semblable à celles des deux autres PLL's du récepteur. Elle est aussi implémentée sous une forme mixte analogique numérique. Le bloc de division fixe de fréquence par 26 et le comparateur de phase sont des éléments numériques, tandis que le bloc de charge-pump, le filtre de boucle et le VCO sont purement analogiques.

Les cellules de délai (utilisées dans Signal Path et dans le VCO)

Chaque élément de délai d'un quart de période est réalisé sous la forme de deux délais d'un huitième de période mis en série. On améliore ainsi la sélectivité du discriminateur. Par la suite, on appellera **délai unitaire** une cellule introduisant un retard d'un huitième de période, soit un retard d'environ 125 ns.

La figure suivante présente le schéma de base d'un retard unitaire.

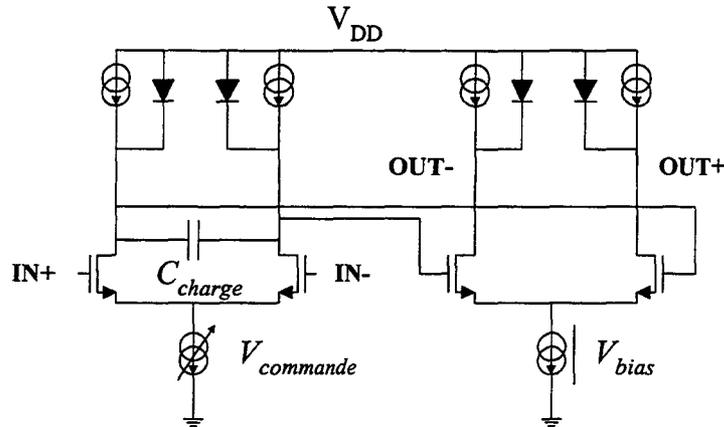


figure 4.3.24 Le schéma bloc d'un retard unitaire (~ 125 ns)

La cellule est réalisée par la mise en série de deux paires différentielles NMOS. La première paire est chargée en différentiel par une capacité C_{charge} . La variation du potentiel aux nœuds de sortie de cette première paire est limitée par deux transistors montés en diode (représentés sur la figure par deux diodes). De cette manière, la tension sur les nœuds de sortie variera entre $V_+ = V_{DD}$ et $V_- = V_{DD} - V_{be}$. La quantité de charge pouvant être stockée dans la capacité C_{charge} est:

$$Q_{charge} = C_{charge} \cdot (V_+ - V_-) = C_{charge} \cdot V_{be} \quad (4.3.20)$$

Le délai introduit par cette cellule unitaire est donné, en bonne partie, par le temps de charge ou de décharge de la capacité C_{charge} :

$$t_{délai} = Constante + T_{(dé)charge} = Constante + \frac{Q_{charge}}{I_{total}} \quad (4.3.21)$$

I_{total} est le courant de polarisation total de la première paire différentielle. La constante évoquée dans le cadre de la formule (4.3.21) prend en compte le délai introduit par la deuxième paire différentielle. Son rôle est essentiellement de mise en forme du signal. L'onde issue de ces blocs a une amplitude différentielle pic de un V_{be} .

L'oscillation issue du VCO aura donc une amplitude égale à celle générée par les cellules de délai. Un bloc de mise en forme transforme cette oscillation en un signal compatible CMOS, pour pouvoir attaquer le comparateur de phase de la PLL.

Le réglage du délai de la cellule est obtenu par le biais d'une tension de commande qui agit sur une partie du courant de polarisation I_{total} . Ce courant I_{total} est la somme de deux courants générés dans deux branches différentes:

- Un courant fixe qui sert de valeur talon;
- Un courant variable $I_{commande}$, généré à partir de la tension $V_{commande}$. Cette tension génère les courants $I_{commande}$ pour toutes les six cellules de délai unitaire nécessaires dans le schéma.

Comme le bon fonctionnement du discriminateur est bâti sur le bon contrôle de la valeur du délai introduit, des précautions sont à prendre pour le bon appariement entre les six cellules de délai unitaire. Ce matching est à réaliser sur le plan topologique. De point de vue layout, le matching des cellules doit être réalisé aussi bien selon l'axe X que selon l'axe Y. Un possible "floor-plan" de ces 6 cellules est présenté dans la figure suivante.

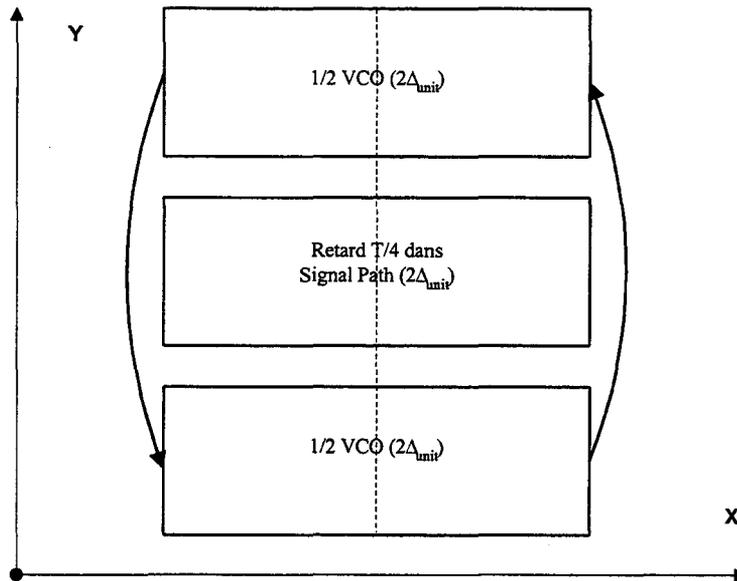


figure 4.3.25 "Floor-plan" pour les 6 cellules unitaires de délai

Les deux cellules unitaires de délai nécessaires pour réaliser le bloc de retard sur le chemin du signal actif sont placées au milieu de la structure présentée à la figure précédente. Les quatre autres cellules formant le VCO les entourent. Le layout de la cellule unitaire de délai est réalisé le plus "plat" possible, pour assurer l'appariement selon l'axe Y. Les connexions sur les nœuds de sortie de chaque cellule de délai ont toutes la même longueur, introduisant ainsi les mêmes capacités parasites.

L'amplificateur-limiteur

Ce bloc a pour but d'amplifier le signal d'entrée du discriminateur (d'une amplitude de 100 mVpp diff) et de le transformer en une onde carrée, dépourvue de toute information d'amplitude. Son schéma de principe est présenté à la figure suivante.

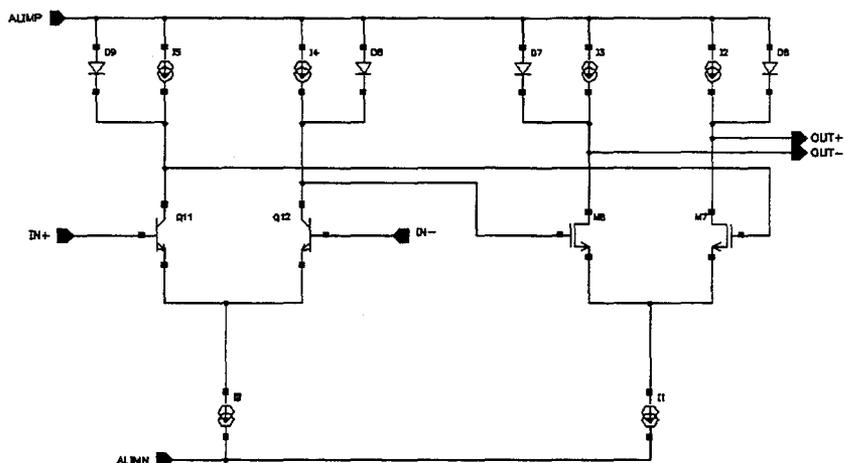


figure 4.3.26 Schéma de principe de l'amplificateur-limiteur

Il est construit selon le même principe que les cellules de délai: la variation d'amplitude est restreinte à l'aide de transistors bipolaires montés en diode, mis en parallèle avec les source de courant PMOS. Ces sources PMOS réalisent la charge des paires différentielles (bipolaire pour le premier étage et NMOS pour le deuxième).

Le signal différentiel en sortie sera limité et aura donc une amplitude pic-pic égale à $2V_{be}$.

Cet étage est suivi par une cellule inverseuse qui est identique au deuxième étage d'une cellule de délai unitaire. Elles permet au bloc de retard présent dans le Signal Path de recevoir la même attaque que les blocs de retard formant le VCO.

Le mélangeur et le filtrage de la fréquence $2FI2$

Le mélangeur de fréquences est implémenté sous la forme d'une cellule de Gilbert, mais avec des transistors NMOS. Une cellule passe-bas RC du premier ordre est placée comme charge des sorties en courant. La fréquence de coupure du passe-bas ainsi obtenu est de 265 kHz.

La figure ci-dessous présente le schéma du mélangeur et des éléments de filtrage pour la réjection de la fréquence $2FI2$.

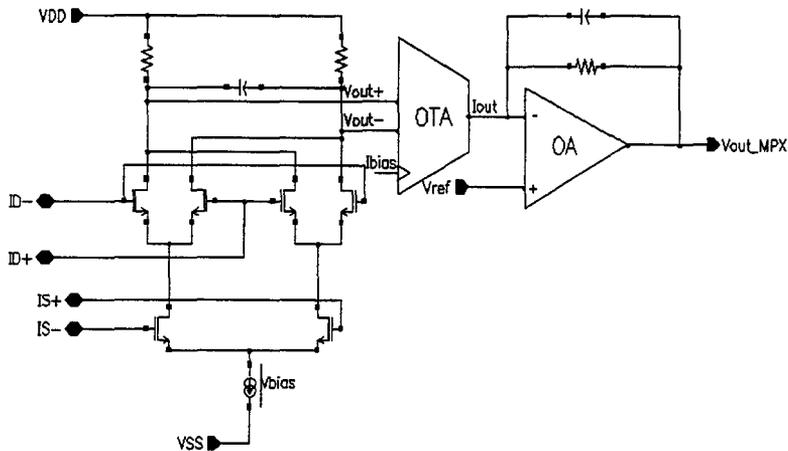


figure 4.3.27 Le mélangeur et le filtrage de la fréquence 2 FI2

Le bloc placé en sortie du mélangeur satisfait deux fonctions: il s'agit d'abord d'un filtrage passe-bas du premier ordre et ensuite d'une transconductance. Le filtre passe-bas du premier ordre est basé sur une réalisation RC et a une fréquence de coupure de 530 kHz.

La transconductance transforme l'information en tension en un courant suffisant pour charger la résistance et la capacité du filtre actif RC qui suit. Elle est implémentée sous la forme d'un circuit folded cascode avec une sortie single-ended.

Le filtre actif RC est construit autour d'un amplificateur opérationnel de type classique, réalisé avec neuf transistors MOS. La fréquence de coupure du passe-bas ainsi formé est de 300 kHz. La tension de référence sur l'entrée positive de l'amplificateur est issue d'une source de tension de type bandgap, donc très stable et elle vaut 900 mV. Le potentiel DC sur la sortie MPX est ainsi imposé à partir de cette source de tension.

Tous ces blocs décrits dans ce paragraphe réalisent ensemble un filtre passe-bas du 3^e ordre. Une partie de ses caractéristiques sont données dans le tableau suivant.

Caractéristique	Valeur
Gain DC	20 dB
$f_{\text{coupure}} -3\text{dB}$	250 kHz
$f_{\text{coupure}} -1\text{dB}$	135 kHz
Ripple dans la bande RDS	0.03 dB
Atténuation @ 2 MHz (% au gain dans la bande)	32 dB

table 4.3.4 Caractéristiques d'une partie du filtrage de la fréquence 2 FI2

Le discriminateur est pourvu de trois bits de trim. Leur rôle est d'ajuster la valeur du niveau DC sur la sortie MPX. Comme précisé auparavant, ce niveau DC est imposé par la sortie du discriminateur. Ce signal est ensuite bufferisé et filtré par un autre filtre actif RC de type Sallen-Key et qui recopie donc la valeur du niveau DC qui lui est imposé en entrée.

Le bloc commandé par ces trois bits de test fournit (ou non) du courant sur la sortie différentielle du mélangeur de fréquences. Ce réglage a pour but de compenser l'offset en sortie du mélangeur et l'offset des deux amplificateurs opérationnels utilisés dans les filtres actifs. Ainsi, la tension DC présente sur la sortie MPX peut être, à l'aide des bits de trim, soit diminuée, soit augmentée. Un bit de trim détermine le sens de la variation (augmentation ou diminution) et les deux autres – l'amplitude.

Le buffer de sortie

Pour assurer l'interface du discriminateur entre la puce et le mode extérieur (la broche MPX), un buffer de sortie est utilisé. Il réalise aussi une fonction de filtrage passe-bas, aidant à éliminer la fréquence 2FI2. Cette structure est réalisée sous la forme d'un filtre du 2nd ordre de type Sallen-Key. Un amplificateur de puissance (170 μ A) réalise la fonction de l'amplificateur opérationnel dans le filtre. La sortie MPX de la puce peut supporter ainsi la charge suivante: $R_{charge} = 50 \text{ k}\Omega$ et $C_{charge} = 60 \text{ pF}$. La même tension de référence (900 mV) est appliquée sur l'entrée positive de l'amplificateur. La figure suivante présente le schéma bloc du buffer de sortie.

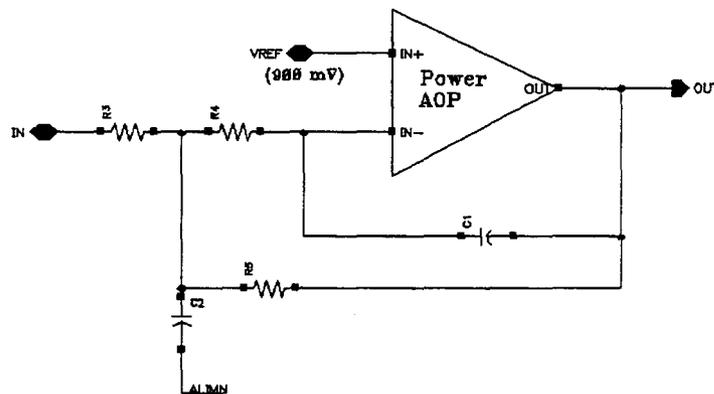


figure 4.3.28 Le buffer de sortie

Le tableau suivant présente les caractéristiques de filtrage du buffer de sortie.

Caractéristique	Valeur
Gain DC	0 dB
$f_{coupure -3dB}$	445 kHz
$f_{coupure -0.1dB}$	300 kHz
Facteur de qualité	0.707
Atténuation @ 2 MHz	28 dB

table 4.3.5 Caractéristiques de filtrage passe-bas du buffer de sortie

En sommant les performances de ce filtre avec celles du bloc précédent on obtient une atténuation à 2 MHz d'environ 60 dB, par rapport au signal utile discriminé.

4.4 Résultats de mesures concernant le Récepteur FM à mélange complexe de fréquences

4.4.1 Réalisation pratique du circuit

Le circuit Récepteur FM décrit au chapitre précédent a été implémenté dans une technologie Silicium 0.8 μm double métal, double poly de chez le fondeur AMS. A part la fonctionnalité propre de récepteur FM, le circuit comprend aussi une partie numérique destinée à la testabilité des fonctions implémentées. Le circuit complet consomme 30 mA et cette consommation se repartit comme suit:

- Le récepteur avec toutes ses fonctionnalités consomme 10 mA;
- Le courant additionnel en modes de test est de 20 mA.

Le circuit fonctionne pour une tension nominale d'alimentation qui peut varier entre 2.5 V et 3.7 V.

L'oscillateur à quartz (38 kHz) nécessaire au récepteur n'a pas été implémenté sur la puce. Pour tester le circuit, une horloge à 38 kHz avec l'amplitude nécessaire est fournie à la puce de l'extérieur.

Le layout du circuit complet est présenté à la figure suivante.

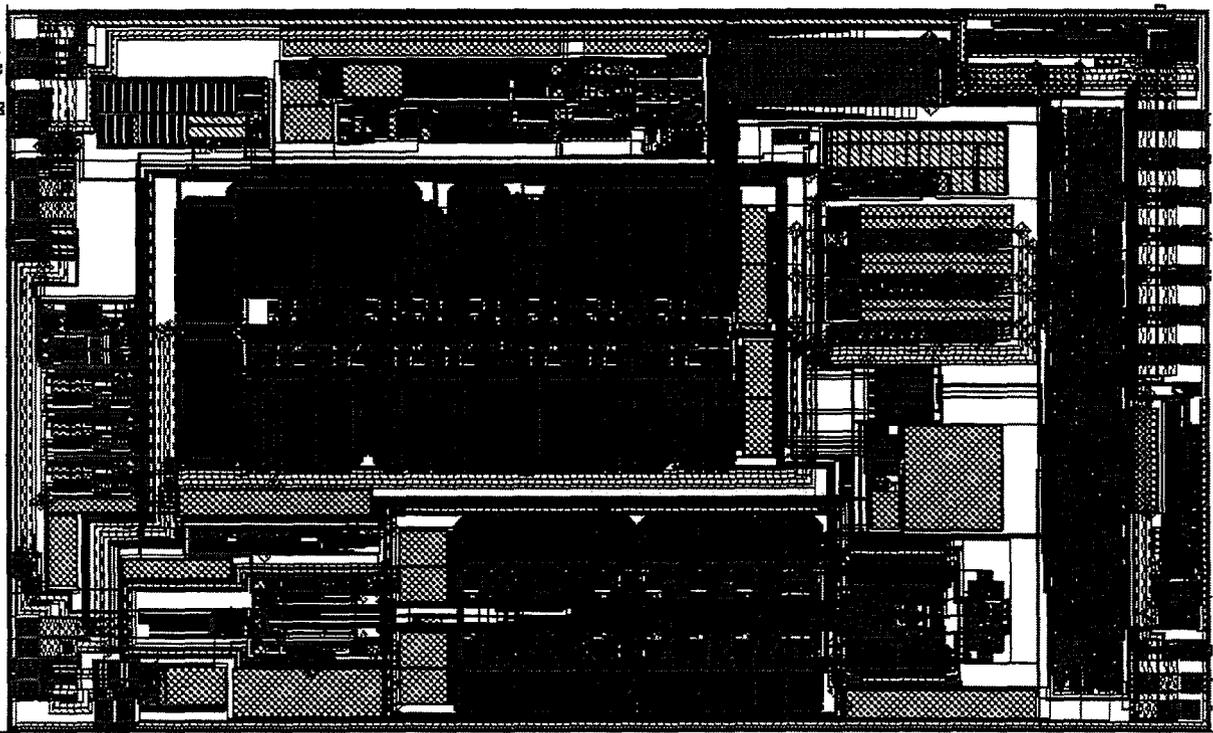


figure 4.4.1 Le layout complet de la puce Récepteur FM

Une bonne partie de la surface sur Silicium est occupée par les trois filtres continus (les deux passe-bas à la première FI et le passe-bande à la deuxième FI). Ceci est dû en bonne partie à la valeur assez forte des capacités d'intégration dans ces filtres.

Une attention particulière a été accordée au layout des parties haute-fréquence du circuit. Le LNA et les trois amplificateurs formant le VGA1 sont placés près de la périphérie de la puce, en minimisant ainsi la longueur des connexions. Le VCO employé dans la PLL1 travaillant autour de 100 MHz bénéficie d'une topologie très symétrique et de taille réduite. Les deux blocs formant la première paire de mélangeurs sont placés de part et d'autre de ce VCO.

Le circuit a été monté dans des boîtiers de type JLCC de 68 broches. Une carte de test réalisée sous la forme d'un circuit imprimé classique, permet d'effectuer facilement les mesures nécessaires sur le circuit.

Ce chapitre se propose de présenter les résultats des tests fonctionnels effectués sur ce Récepteur FM [4.4.1], [4.4.2], [4.4.3]. Le but de ces tests est de valider l'architecture de récepteur proposée. Un premier sous-chapitre présentera la structure mise en place au niveau de la puce pour permettre la testabilité du circuit. Ensuite, des résultats de mesures bloc par bloc seront présentés et, en final, nous indiquerons quelques résultats de mesures de la voie de transmission complète, de l'entrée antenne et jusqu'à la sortie MPX du signal discriminé.

4.4.2 Testabilité et modes de test

La figure 4.4.2 de la page suivante rappelle le schéma bloc du Récepteur FM. Plusieurs points sur le chemin du signal utile y sont repérés par des lettres.

Pour pouvoir avoir accès à la plupart des blocs du circuit, plusieurs multiplexeurs analogiques ont été placés le long de la voie de transmission du signal. Une entrée différentielle de test permet d'attaquer directement de l'extérieur le filtre passe-bande et le discriminateur, par le biais d'une commande appropriée sur les multiplexeurs présents à leur entrée. De même, d'autres multiplexeurs de test permettent d'avoir accès à la sortie de plusieurs blocs internes du circuit. Des amplificateurs de test relient la sortie de ces multiplexeurs analogiques au monde extérieur. De légères variations dans le mode de fonctionnement de certains blocs internes du circuit peuvent être apportées par le biais de commandes venues de l'extérieur de la puce (appelées "trim fonctionnel").

Pour gérer toutes ces situations de test, la puce a été prévue avec une quinzaine de modes de test différents implémentés dans une partie purement logique.

Pour réaliser la programmation des modes de test, trois registres à décalage avec chargement série et sortie parallèle sont prévus. Ils sont tous commandés par une horloge extérieure (SCLK) et l'information est fournie à la puce par la broche d'entrée SDATA. De plus, ces registres permettent le chargement du rang de division de la PLL1 (qui donne l'accord en fréquence du récepteur) et le "trim fonctionnel" de certains blocs internes de la puce.

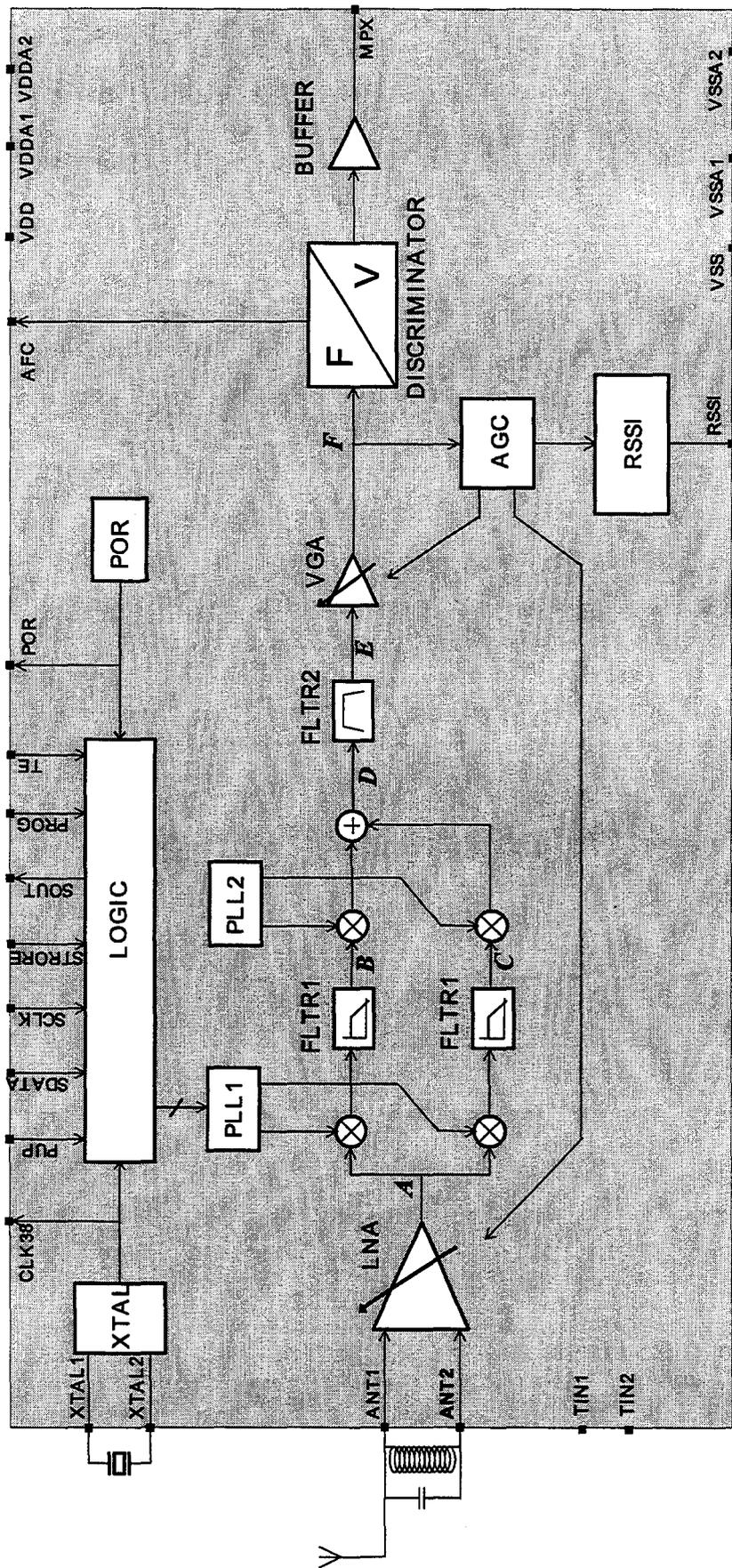


figure 4.4.2 Le schéma bloc du Récepteur FM

Comme il a été présenté dans le chapitre précédent, des bits de trim sont prévus pour l'ajustement d'une bonne partie des blocs internes du circuit. En total, la puce a besoin de la programmation de quelques 50 bits de trim.

Pour le cas d'une implémentation industrielle du circuit, une sorte de mémoire ROM est présente sur la puce. Il s'agit d'une batterie de 50 cellules à diode Zener, qui peuvent être "zappées" une fois pour toute et donc contenir la valeur logique "1" ou "0". A chaque mise sous tension du circuit, la valeur de cette mémoire ROM est lue par le circuit.

Pour la testabilité en laboratoire du circuit, ces 50 bits de trim sont transmis à la puce par l'intermédiaire de 50 registres à décalage, avec entrée série et sortie en parallèle, contrôlés par SCLK. Les données sont entrées par SIN et restent valides tant qu'il n'y a pas de RESET sur la puce.

Pour permettre un test facile du circuit, le circuit peut être piloté de l'extérieur par l'intermédiaire d'un programme sur un ordinateur. Le programme est écrit en C et communique les données à la puce par le biais du port parallèle d'imprimante du PC.

4.4.3 Résultats des mesures bloc par bloc

Plusieurs blocs conditionnent fortement le fonctionnement ou non de la puce "Récepteur FM". Il s'agit des trois PLL's présentes sur la puce, qui, outre la génération des trois Oscillateurs Locaux, fournissent la plupart des courants de polarisation sur le circuit. La présentation des résultats de mesures commencera donc par la PLL1 et la PLL2, sachant que leur fonctionnement influence toute la chaîne de réception du signal de l'antenne jusqu'à l'entrée du discriminateur. La PLL3 sera traitée dans le cadre du chapitre consacré au discriminateur.

Les mesures ont été effectuées sur plusieurs échantillons. La tension de polarisation de la puce a été variée entre 2.4 V et 4V et générée à partir de sources de tension stabilisées Hewlett Packard [4.4.4]. Les signaux sont observés soit sur un oscilloscope numérique de la famille Tektronics [4.4.5], soit sur des analyseurs de signaux HP pour basses-fréquences [4.4.6] et pour hautes-fréquences [4.4.7]. Les signaux d'entrée dans le circuit sont issus de générateurs de fonctions HP, basses-fréquences [4.4.8] et hautes-fréquences [4.4.9].

4.4.3.a La PLL1 et la logique de division variable de la fréquence

Un des modes de test prévus sur la puce permet de tester cette PLL seule. De plus, la boucle peut être déverrouillée en actionnant sur un bit de contrôle et le VCO peut être ainsi piloté par une tension imposée de l'extérieur. L'information disponible à l'extérieur de la puce est le signal oscillant basse-fréquence en sortie des diviseurs de fréquence (qui est aussi le signal en entrée du comparateur de phase). Quand la boucle à verrouillage de phase est fermée, ce signal oscille à une fréquence égale à celle de l'oscillateur de référence, dans notre cas 38 kHz.

Le pente du VCO1

Cette caractéristique exprime la variation de la fréquence d'oscillation du VCO en fonction de la tension de commande appliquée à son entrée. Le tableau suivant présente le résultat des mesures effectuées.

Tension DC appliquée sur l'entrée de commande (V)	Fréquence d'oscillation après division de fréquence (kHz)	Fréquence d'oscillation du VCO (MHz)
0	157.15	339.44
1	132.66	286.54
1.5	110.7	239.11
2	84.4	182.30
2.5	61.5	132.84
2.9	40.4	87.26
3	36.2	78.19
3.1	34.5	74.54
3.3	30.27	65.38

NOTA: $VDD = 4V$ et bits de trim =0; $F_{réception} = 0$

table 4.4.1 Mesures concernant la pente du VCO dans la PLL1

La figure suivante illustre ces données. Le bloc de division variable de fréquence est réglé sur la valeur la plus faible, donc l'Oscillateur Local est "calé" sur la fréquence la plus basse ($f_{réf} * 90 * 8 * 3$).

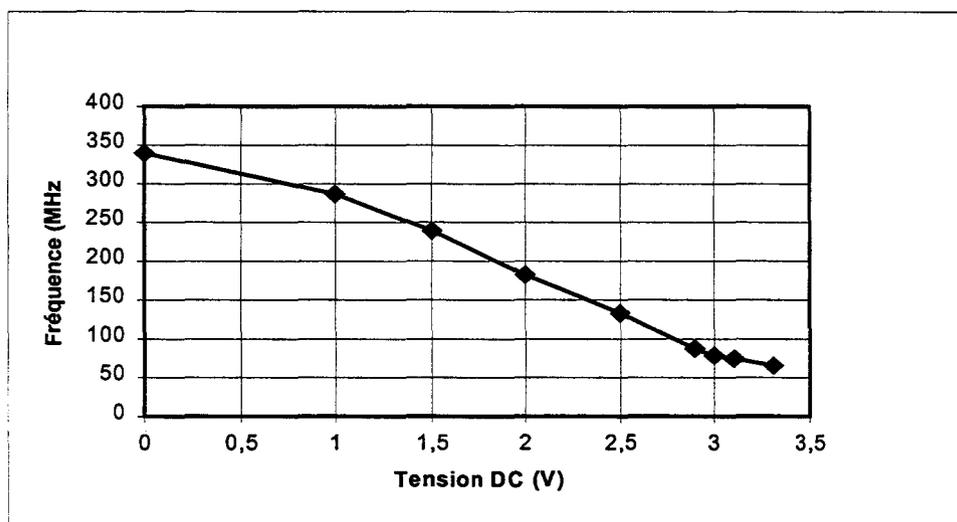


figure 4.4.3 La pente du VCO1 (mesures)

On observe que la zone de linéarité se situe sur la plage de variation de la tension de commande entre 1V et environ 3V. Pour cette zone, la pente du VCO est de -103.68 MHz/V . La zone où la fréquence varie linéairement avec la tension de contrôle est de 270 MHz. Le VCO ne peut plus être commandé pour des tensions supérieures à 3.4V, car l'écart entre la tension de commande et la tension d'alimentation devient insuffisant pour un fonctionnement correct des transistors dans le schéma.

Pour le récepteur, les fréquences d'intérêt pour le premier Oscillateur Local sont données par:

$$f_{OL1} = f_{RF} - FI_1 \quad (4.4.1)$$

Sachant que la première Fréquence Intermédiaire est à 152 kHz et que la gamme de variation de la fréquence antenne est entre 87 et 108 MHz, on peut en déduire la plage de variation *minimale* nécessaire pour le premier Oscillateur Local:

$$\Delta f_{OL1} = 86.848 \text{ MHz} \dots 107.848 \text{ MHz} \quad (4.4.2)$$

Idéalement, cette plage doit se trouver au milieu de la zone de variation linéaire de la fréquence avec la tension de contrôle. Dans l'exemple de mesure présenté ci-dessus, tel n'est pas le cas. Pour prévenir ce genre de dysfonctionnement, deux bits de trim ont été prévus pour le VCO1. Leur rôle est de permettre à augmenter ou à diminuer la fréquence d'oscillation du VCO et ainsi de centrer la plage de fréquences désirée. Le paragraphe suivant illustre ces effets.

Le rôle des bits de trim du VCO1

On observe le décalage en fréquence du VCO selon la valeur imposée pour les 2 bits de trim. Pour ce faire, la PLL1 est en mode de fonctionnement en boucle ouverte, et la tension de commande du VCO est appliquée de l'extérieur de la puce.

Valeurs imposées de l'extérieur			Valeur mesurée		Valeur simulée (HSPICE)
V _{commande} (V)	TRIM <1>	TRIM <0>	F _{VCO} / 2160 (~ 38 kHz) (kHz)	F _{VCO} (MHz)	F _{VCO} (MHz)
2.63	0	0	38.05	82.188	80
2.63	0	1	44.2	95.47	90
2.63	1	0	46.12	99.61	100
2.63	1	1	50.47	109.01	110

NOTA: VDD = 4V; F_{réception} = 0

table 4.4.2 Action des bits de trim sur la fréquence du 1^{er} VCO

Comme il a été présenté lors de la description du fonctionnement de ce VCO1, les deux bits de trim permettent d'agir sur la quantité de courant délivrée aux transconductances formant le VCO. De cette manière, on fait varier la valeur des transconductances qui déterminent directement la fréquence d'oscillation du VCO.

En effet, les bits de trim permettent un réglage de la fréquence d'oscillation du VCO sur une plage de 40 MHz, avec un pas d'environ 10 MHz. Ceci permettra donc de centrer la plage de variation nécessaire pour le premier Oscillateur Local par rapport à la plage de variation linéaire du VCO en fonction de sa tension de commande.

Estimation du bruit de phase du premier Oscillateur Local

1^{ère} étape de mesures

On cherche à mesurer indirectement le bruit de phase du premier Oscillateur Local. Pour cela, on place la puce dans le mode de test qui permet d'injecter un signal par l'entrée antenne et l'observer au point B (voir la figure 4.4.2). On injecte un signal avec une fréquence telle que la première Fréquence Intermédiaire soit autour de 50 kHz. Ce signal peut ainsi être observé sur l'analyseur de spectre basses-fréquences HP 35670A qui est plus précis.

Le bruit de phase présent sur le signal à la 1^{ère} FI est uniquement généré par le premier Oscillateur Local, le signal antenne étant issu du générateur HF qui a une pureté spectrale plus que "correcte".

NOTA: Pureté spectrale du générateur HF:

- Harmoniques < -30 dBc
- Non-harmoniques < -55 dBc
- FM résiduelle < 7 Hz
- Bruit de phase BLU < -120 dBc/Hz.

Signal antenne: $f_c = 82.13 \text{ MHz}$, $A_{\text{gén}} = 500 \mu\text{V}_{\text{emf}} \Rightarrow \text{FI1} = 50 \text{ kHz}$

Les deux figures suivantes présentent le spectre du signal au point B, pour les deux cas de figure suivants:

- PLL1 fonctionne avec le filtre de boucle interne;
- PLL1 fonctionne avec un filtre externe de boucle (1pF).

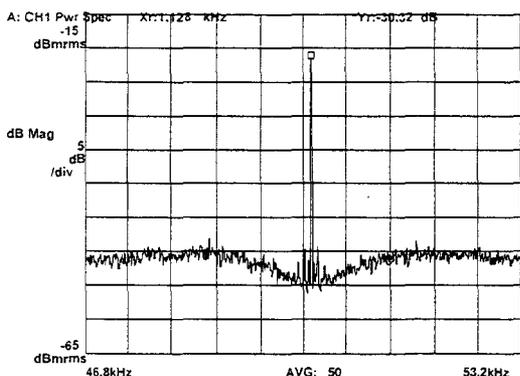


figure 4.4.4 Signal au point B, PLL1 avec filtre interne

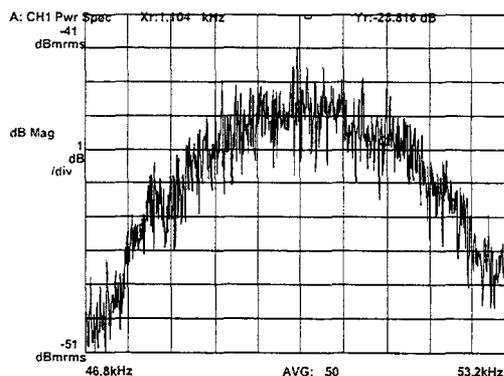


figure 4.4.5 Signal au point B, PLL1 avec filtre externe (1 pF)

Nous observons le changement sur la forme du spectre du signal suivant le filtre de boucle employé pour PLL1. Ceci prouve aussi que la forme de spectre observée reflète seulement le signal en provenance du 1^{er} OL.

La figure suivante présente un zoom sur le spectre du signal au point B, pour le cas où la PLL1 fonctionne avec le filtre interne.

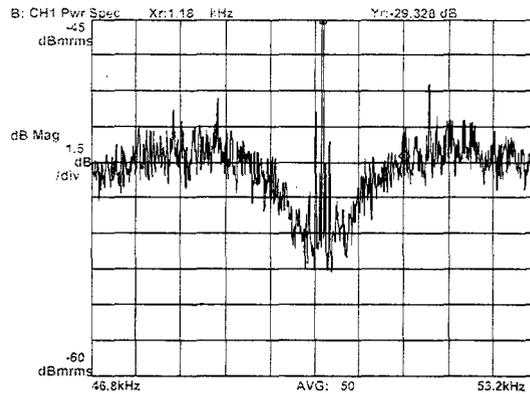


figure 4.4.6 Spectre du signal au point B (PLL1 avec filtre interne)

Le point où se trouve le marqueur sur cette figure représente la limite de la bande passante de la boucle PLL1. Cette fréquence est égale à 1 kHz et se retrouve aussi en faisant les calculs théoriques pour le filtre de boucle (voir l'annexe A.4.3.3).

- Pour des fréquences avec Δf (par rapport à la porteuse) < 1 kHz, on observe le bruit de phase généré par l'horloge de référence de la PLL1.
- Pour des fréquences avec Δf (par rapport à la porteuse) > 1 kHz, on observe le bruit de phase généré par le VCO1.
- Pour $\Delta f = 1.18$ kHz, on mesure un bruit de phase égal à $B_{ph_VCO} = -29.32$ dBc.

Les autres valeurs mesurées du bruit de phase de l'OL1 sont données dans la figure suivante. Pour effectuer ces mesures, on utilise toujours une fenêtre d'observation fréquentielle de 6.4 kHz que l'on déplace pour observer tous les points.

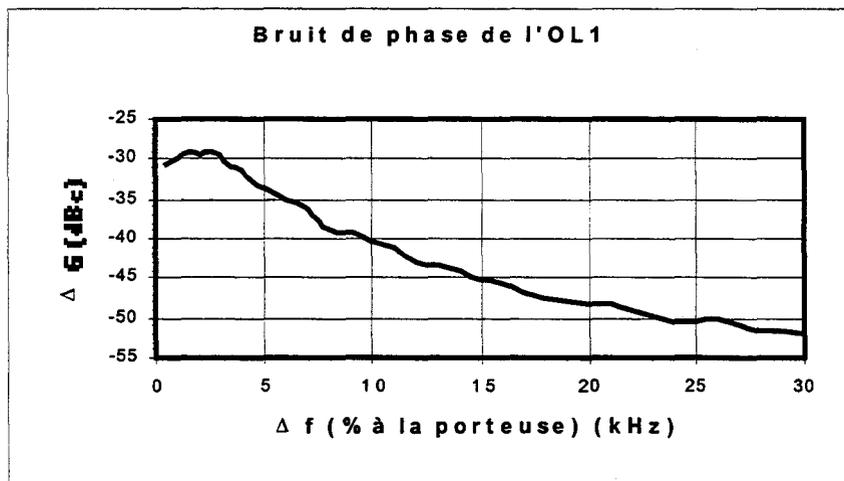


figure 4.4.7 Le bruit de phase du premier Oscillateur Local

Comportement du premier Oscillateur Local pour différents rangs de division en fréquence

Il est intéressant d'observer le signal de la boucle PLL1 en entrée du comparateur de phase pour différentes valeurs du rang de division de la fréquence. Dans le chapitre 4.3, lors de la présentation du bloc de division variable de la fréquence, nous avons précisé que la valeur du rang de division est donnée par la formule suivante:

$$N_{\text{division}} = 90 \cdot 8 \cdot \left(3 + \frac{F}{2^{14}} \right) \quad (4.4.3)$$

avec:

N_{division} = le rang de division en fréquence;

F = le mot binaire sur 14 bits qui permet de programmer la valeur du rang de division.

Le signal de la boucle PLL1 qui se présente en entrée du comparateur de phase peut être exprimé par la formule suivante:

$$f_{\text{mes}_{38k}} = f_{\text{VCO}} \cdot \frac{1}{8} \cdot \frac{1}{90} \cdot \frac{1}{3 + \frac{F}{2^{14}}} \quad (4.4.4)$$

Dans le cas d'un fonctionnement en boucle fermée (fonctionnement normal de la PLL1), on mesure effectivement $f_{\text{mes}_{38k}} = 38$ kHz; il s'agit du signal qui est comparé à l'horloge de référence.

Pour déterminer si la logique de division variable fonctionne correctement, il faut placer la PLL1 en fonctionnement en boucle ouverte. La valeur de la fréquence $f_{\text{mes}_{38k}}$ est déterminée par:

- la tension externe de commande du VCO qui va déterminer sa fréquence d'oscillation
- le rang de division variable de la fréquence.

Pour une valeur fixée de la tension de commande (1.3V), on effectue plusieurs mesures pour différentes valeurs du rang de division en fréquence et on compare entre eux ces différents résultats:

$$\frac{f_{\text{mes}_{38k}_n}}{f_{\text{mes}_{38k}_0}} = \frac{3}{3 + \frac{n}{2^{14}}} \quad (4.4.5)$$

avec:

$f_{\text{mes}_{38k}_n}$ = la fréquence mesurée pour un rang de division avec $F = n$;

$f_{\text{mes}_{38k}_0}$ = la fréquence mesurée pour un rang de division avec $F = 0$.

Les résultats de ces mesures sont données dans le tableau suivant.

n (nombre binaire)	$3+n/2^{14}$	f_{mes_38k} (kHz)	$f_{mes_38k_n} / f_{mes_38k_0}$	$erreur\ relative = (f_{mes} / f_{mes0} - f_{théo} / f_{théo0}) / (f_{théo} / f_{théo0})$
0	$3 + 0 = 3$	118.788	1	0
1024	$3 + 0.0625 = 3.0625$	116.98	$0.984 \sim 3/3.0625 (=0.979)$	+ 5.1%
4096	$3 + 0.25 = 3.25$	110.45	$0.929 \sim 3/3.25 (=0.923)$	+ 6.5%
8192	$3 + 0.5 = 3.5$	102.055	$0.859 \sim 3/3.5 (=0.857)$	+ 2.33%
16383	$3 + 0.999 \sim 4$	89.330	$0.752 \sim 3/4 (=0.750)$	+ 2.66%

NOTA: $V_{DD} = 4V$

table 4.4.4 Mesures sur la logique de division variable de la fréquence (PLL1)

Comme l'échelle de quantification est linéaire, l'erreur relative est plus forte pour les valeurs les plus faibles.

Cependant, nous pouvons en conclure que la logique de division variable fonctionne correctement.

La valeur exacte du rang de division est donc obtenue en faisant une moyenne de la fréquence du signal sur un très grand nombre de périodes de l'horloge. Comme il a déjà été précisé, le signal en sortie du bloc de division de la fréquence aura un spectre composé d'une multitude de raies. Ce spectre sera ensuite lissé par le filtre de boucle de la PLL1.

Les trois figures suivantes présentent des spectres pour trois rangs de division différents:

- $F = 0$
- $F = 100 \neq 2^n$;
- $F = 2048 = 2^{11}$;
- $F = 16383 = 2^{14}-1$.

On observera que pour des rangs de division avec $F \neq 2^n$, n entier >1 , le spectre du signal présente une multitude de raies autour de celle à 38 kHz, correspondant à toutes les fréquences instantanées par lesquelles passe le signal. Les mesures sont effectuées avec $V_{DD} = 4V$.

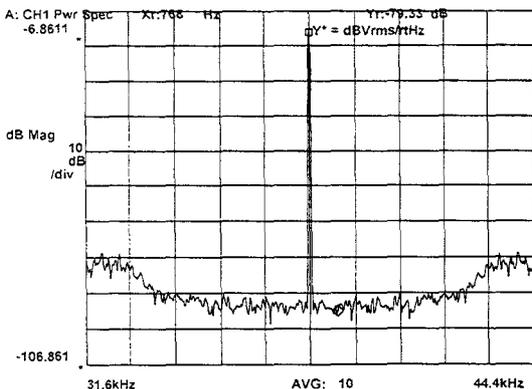


figure 4.4.9 PLL1, sortie à 38 kHz, $F = 0$

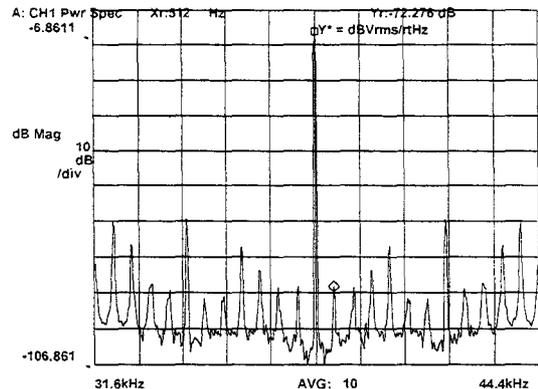
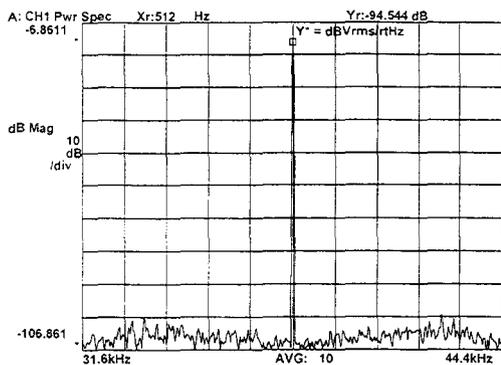
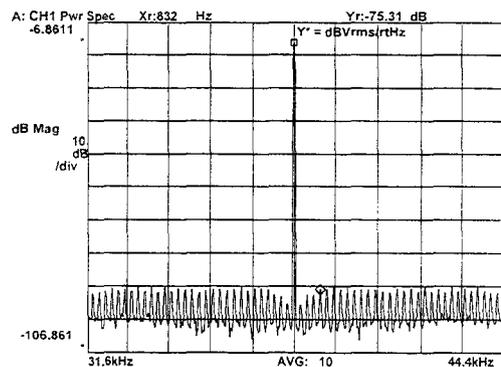


figure 4.4.10 PLL1, sortie à 38 kHz, $F = 100$



**figure 4.4.11 PLL1, sortie à 38 kHz,
F = 2048**



**figure 4.4.12 PLL1, sortie à 38 kHz,
F = 16383**

4.4.3.b La PLL2

Un autre mode de test permet de visualiser des informations concernant la PLL2. Les mêmes fonctionnalités par rapport à PLL1 sont présentes ici :

- Possibilité de déverrouiller la boucle en actionnant un bit de contrôle. Dans ce cas, la tension de commande du VCO2 est accessible depuis l'extérieur de la puce.
- Le seul signal disponible à l'extérieur de la puce est celui en sortie du bloc de division fixe de la fréquence (qui est aussi le signal en entrée du comparateur de phase). Quand la boucle est verrouillée, ce signal présente la même fréquence que l'horloge de référence de la PLL2 (38 kHz).

Les particularités de cette PLL sont les suivantes :

- Le bloc de division de la fréquence présente une valeur fixe égale à 30. Le deuxième Oscillateur Local du Récepteur FM se trouve donc à une fréquence de 1140 kHz.
- Les filtres (passe-bas et passe-bande) du récepteur, ainsi que les mélangeurs moyenne-fréquence sont polarisés avec des courants générés à partir de la PLL2.

La pente du VCO2

On mesure la pente du VCO, i.e. la variation de la fréquence de sortie avec la tension DC appliquée en entrée. La sortie du VCO2 est mesurée après division par 30, donc autour de 38kHz. Le boucle de la PLL2 est déverrouillée, de telle manière à pouvoir commander le VCO2 avec une tension imposée de l'extérieur.

Les résultats de ces mesures sont donnés dans le tableau et la figure suivants.

Tension de commande (V)	Fréquence d'oscillation après division de fréquence (kHz)	Fréquence d'oscillation du VCO2 (kHz)
2.4	154.73	4642
2.5	116.6	3498
2.6	87.8	2634
2.7	82.5	2475
2.8	66.2	1986
2.9	46.5	1395
3	32.2	966
3.1	13.2	396
3.2	2.5	75
3.3	3.22	96.6

NOTA: $V_{DD} = 4V$

table 4.4.5 Mesures concernant la pente du VCO dans PLL2

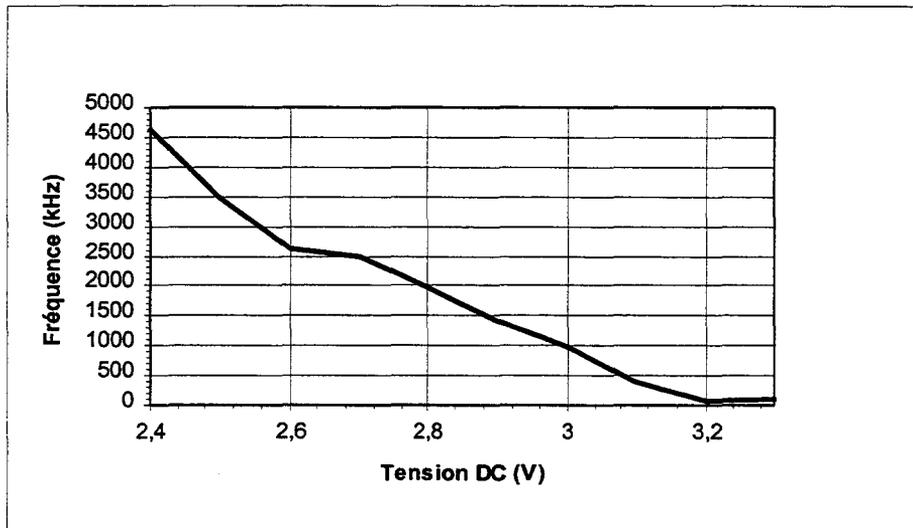


figure 4.4.13 La pente du VCO2 (mesures)

On observe que le VCO2 présente une zone linéaire de fonctionnement qui s'étale entre environ 500 kHz et 2500 kHz. La fréquence d'intérêt pour le deuxième Oscillateur Local (1140 kHz) se situe autour du milieu de cette zone.

Pour cette plage de variation linéaire de la fréquence avec la tension de commande DC, la pente du graphique est de -4.48 MHz/V .

Pour des valeurs de la tension de commande telles que: $V_{DD} - V_{comm} < 0.8V$ ($=V_{th}$ des transistors MOS), l'oscillateur ne fonctionne plus.

Le bruit de phase du deuxième Oscillateur Local

On observe le bruit de phase autour de la fréquence centrale du signal à 38 kHz. Ce signal correspond à l'oscillation issue du VCO2 et divisée en fréquence. Pour effectuer ces mesures, la boucle PLL2 est fermée. Les valeurs mesurées sont indiquées dans le tableau et la figure suivants.

Ecart de fréquence par rapport à la porteuse 38 kHz (kHz)	Amplitude de bruit pour le signal à 38 kHz (dBc /Hz)	Amplitude de bruit pour le signal à 1140 kHz (dBc /Hz)
0.5	-73.5	-43.96
1	-69.3	-39.76
1.5	-75	-45.46
2	-74.74	-45.2
2.5	-76.64	-47.1

NOTA: VDD = 3V

table 4.4.6 Bruit de phase du deuxième Oscillateur Local

Pour déduire le bruit du signal oscillant à 1140 kHz (le deuxième Oscillateur Local) nous avons appliqué la formule:

$$B_{ph_38kHz} - B_{ph_VCO} = 20 \cdot \log(N), \text{ pour une fréquence donnée } f_0.$$

Le palier de bruit présent dans la figure ci-dessous représente la limite de mesure de l'analyseur de spectre utilisé.

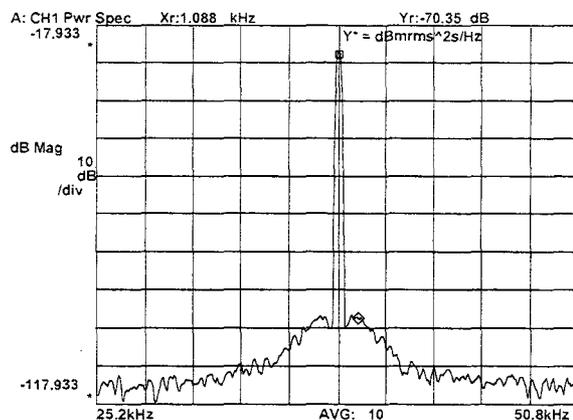


figure 4.4.14 Spectre du signal à 38 kHz issu de la PLL2 (en dBm/Hz)

Des mesures indirectes pour déterminer le bruit de phase de ce 2^e Oscillateur Local ne peuvent pas être effectuées, comme il a été fait pour le premier Oscillateur Local. Des mesures, en transmission sur la chaîne, à la 2^e FI, montrerait seulement le bruit de phase du 1^{er} OL, qui apparemment est plus fort que celui du 2^e OL.

4.4.3.c Les filtres passe-bas

Un mode de test a été prévu pour vérifier le transfert du signal entre l'entrée d'antenne et la sortie des filtres passe-bas à la première Fréquence Intermédiaire (le point B sur le schéma de principe de la figure 4.4.2). Un autre mode de test similaire permet d'observer le signal utile au point C sur la figure 4.4.2, donc sur l'autre voie en quadrature du récepteur.

Il n'y a aucun moyen simple de réaliser des mesures directes du spectre des filtres passe-bas à la première Fréquence Intermédiaire. Pour pouvoir déterminer le module du gain de la fonction de transfert de ces filtres, des mesures indirectes ont été effectuées. Elles tiennent compte de la formule suivante:

$$FI_1 = f_c - f_{OL1} \quad (4.4.6)$$

avec:

FI_1 = la première Fréquence Intermédiaire; c'est le signal observé en sortie dans ce mode de test;

f_c = la fréquence porteuse RF; c'est le signal apporté sur l'entrée "antenne" du circuit, issu d'un générateur HF de fréquence;

f_{OL1} = la fréquence du premier Oscillateur Local.

On fixe la fréquence d'oscillation du premier Oscillateur Local à sa valeur minimale, 82.08 MHz, par le biais du mot binaire F. En faisant varier la fréquence d'entrée f_c , on observe que le signal en sortie (FI_1) se décale en fréquence et on relève son amplitude, la courbe des points donnant la réponse en fréquence du filtre. Le signal à l'entrée antenne a une valeur se situant au milieu de la dynamique et la valeur du gain des blocs LNA+VGA1 est connue.

La figure suivante présente la réponse en fréquence d'un des deux filtres passe-bas du récepteur (le module du gain).

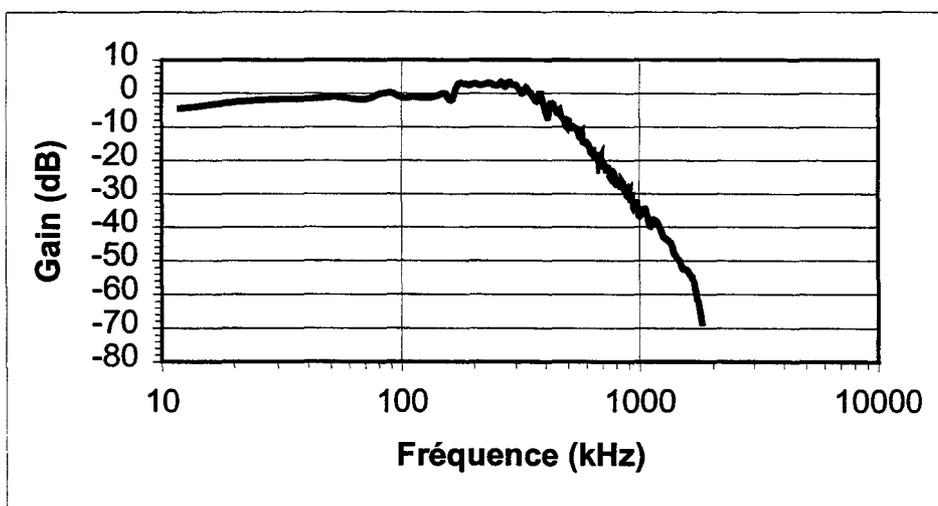


figure 4.4.15 Le module du gain du filtre passe-bas à la première FI

Comme on peut le vérifier, ce filtre respecte les contraintes lui étant imposées initialement: une bande passante de 300 kHz et un ripple assez faible dans la bande, qui assurent le passage sans distorsion du signal utile le long des filtres, et une atténuation de 70 dB pour des fréquences au delà de 2 MHz, qui permet la bonne réjection de la deuxième fréquence image.

Quant à la valeur du gain dans la bande du filtre, nous avons supposé que les mélangeurs haute-fréquence présentent un gain de 1, comme il a été prévu dans la phase de conception du récepteur. De toute manière, ce qui intéresse dans ce développement est que le groupement mélangeur haute-fréquence + filtre passe-bas présente un gain dans la bande égal à 1, ce qui est le cas.

4.4.3.d Le filtre passe-bande à la deuxième Fréquence Intermédiaire

Lors de cette étape de mesures effectuées sur le Récepteur FM, nous nous sommes aperçus qu'une erreur assez importante de conception s'était glissée dans la réalisation de ce filtre passe-bande. En effet, en reprenant le schéma du prototype LC présenté à la figure 4.3.16, nous observons l'existence de boucles d'impédances: une première avec L_{m3} , L_{f4} , L_{f5} et L_{m6} et une deuxième avec L_{m6} , L_{f7} , L_{f8} et L_{m9} . Le problème avec ces boucles est que la valeur du courant au repos ne peut pas être imposée de façon unique sur les boucles en question. Les potentiels aux bornes des selfs présentes dans ces boucles sont flottants et donc le fonctionnement des tronçons du filtre ainsi réalisés est aléatoire. D'une manière pratique, ceci se traduit par l'existence plus ou moins aléatoire des zéros dans le filtre. Même présents, ces zéros ne présentent plus le facteur de qualité escompté.

La solution à ce problème est l'introduction de capacités en série sur ces boucles de selfs. Dans le cas du filtre présenté ici, au moins deux capacités sont à introduire dans le schéma prototype LC [4.4.11]. La valeur de ces capacités doit être telle que le comportement final de la branche LC série ainsi créée reste inductif dans la bande utile. La figure suivante présente ce nouveau prototype LC pour le filtre passe-bande de réjection des canaux adjacents.

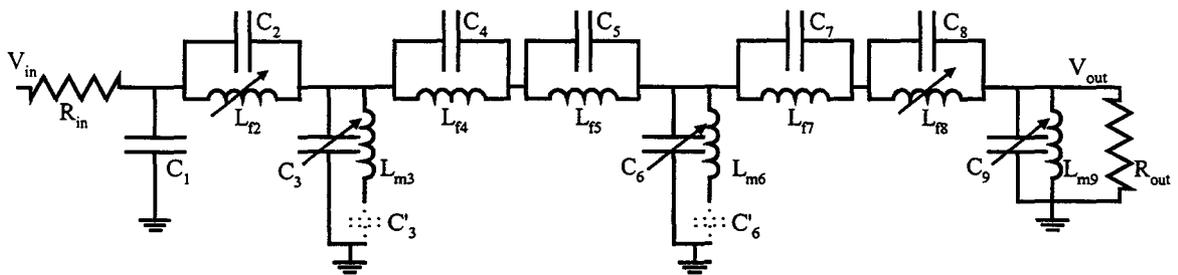


figure 4.4.16 Nouveau prototype LC pour le filtre passe-bande à la 2^e FI

Cependant, des mesures ont pu être réalisées sur ce filtre pour valider surtout son comportement en bande passante. Un mode de test permet d'accéder directement de l'extérieur de la puce, par le biais de buffers, à l'entrée du filtre et à la sortie du filtre. Des mesures peuvent alors être effectuées à l'aide d'un analyseur de spectre.

Les caractéristiques de ce filtre passe-bande dans le cas nominal et pour un échantillon "typique" sont les suivantes¹:

- pente montante: 38.86 dB sur 100 kHz;
- pente descendante: 39.39 dB sur 100 kHz;
- valeur minimale dans la bande coupée gauche: -65.94 dB à 544 kHz;
- valeur minimale dans la bande coupée droite: -62.85 dB à 1115.5 kHz;
- caractéristiques de la bande passante:
 - > largeur de la bande (à -0.1 dB): 200 kHz
742 kHz ... 942 kHz
- centre de la bande passante: 842 kHz, -6.55 dB
- ripple dans la bande passante: 1.58 dB

La figure suivante illustre la fonction de transfert du filtre pour la fréquence centrale la plus haute et pour le ripple le plus faible dans la bande passante. Il s'agit d'une puce dont le centre de la bande passante se situe à 944 kHz. Les mesures ont été effectuées avec une tension d'alimentation de 2.5 V.

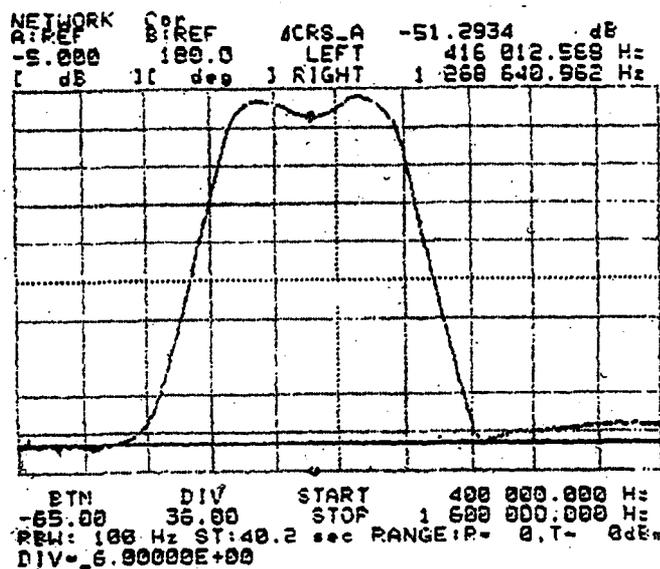


figure 4.4.17 Le spectre du filtre passe-bande à la 2^e FI

A part le problème des zéros, un autre point peut être mis en évidence concernant ce filtre. On observe que le filtre est décalé d'environ 15% plus bas en fréquence. La cause de ce phénomène se retrouve en étudiant plus en détail la structure des capacités d'intégration. Elles sont réalisées sous la forme de capacités alvéolées, telles que celles présentées au chapitre 3.5.6 de cette thèse.

Ce filtre a une structure qui ne présente pas des capacités vers la masse à partir de tous les nœuds du circuit. Ce type d'implémentation se base sur le fait que les capacités poly1-poly2 présenteraient une certaine valeur de capacité parasite entre poly1 et le substrat et une capacité parasite de valeur quasiment négligeable entre poly2 et le substrat. Ceci est vrai dans

¹ Dans ce cas, tous les bits de trim prennent leur valeur nominale. La tension de polarisation du circuit est de 4V et la source du signal pour les mesures de spectre a une amplitude de 0 dBm.

un cas théorique et à des fréquences de travail basses; le travail exposé au chapitre 3.5.6 prédit plutôt le contraire dans la plupart des cas.

En effet, les capacités unitaires de ce filtre ont une valeur de 100 fF, ce qui implique, comme il a déjà été présenté, que les capacités parasites ont une valeur assez importante. De plus, les capacités factices (dummy capacitors) ajoutées autour de chaque capacité d'intégration sont reliées en court-circuit sur l'électrode poly1 et donc celles correspondant aux capacités flottantes du filtre comptent dans le schéma électrique.

Pour résoudre ce problème, il faut donc utiliser des capacités unitaires de valeur plus importante (300 fF est la valeur la plus faible des capacités d'intégration). De plus, il faut réaliser un layout où les capacités factices qui entourent les blocs de capacités soient connectées en court-circuit sur la masse.

D'autres mesures ont aussi été effectuées pour valider l'ajustement en fréquence du filtre à l'aide des bits de trim. Le tableau suivant présente l'ajustement du centre de la bande passante du filtre. Pour ces mesures, tous les autres bits de trim prennent la valeur nominale.

Valeur des bits de trim	largeur de la bande passante (kHz)	centre de la bande passante
124 val. nom.	200.5	838.75 kHz; -5.6 dB
0 crt max, cap min	210	927.5 kHz; -5.5 dB
255 crt min, cap max	190	832.5 kHz; -5.6 dB

table 4.4.7 L'ajustement du centre de la bande passante du filtre passe-bande

On observe que le centre du filtre peut être déplacé à l'aide de l'action de certains bits de trim d'environ 100 kHz. Ceci représente 10% de la valeur centrale nominale théorique.

La bande passante du filtre a une valeur mesurée correspondant aux contraintes imposées initialement. Le gain dans la bande a une valeur égale à moitié de la valeur théorique; ceci se retrouve aussi dans les simulations électriques. Un bloc de gain égal à 6 dB sera nécessaire en amont du filtre pour rattraper cette atténuation.

Deux autres groupes de bits de trim permettent d'ajuster la valeur du ripple dans la bande passante. Les mesures montrent que ce ripple peut être varié entre les deux valeurs suivantes:

- minimum: 1.12 dB;
- maximum: 2.18 dB.

Pour ces mesures, tous les autres bits de trim prennent la valeur nominale. Ces deux valeurs "buttoir" du ripple dans la bande ne sont pas dépassées en ajustant d'autres bits de trim du filtre. La valeur du ripple reste dans les contraintes imposées initialement.

4.4.3.e Les amplificateurs à gain variable et la boucle de contrôle automatique du gain (AGC)

Plusieurs modes de test permettent des mesures directes ou indirectes sur les deux groupes d'amplificateurs à gain variable: le groupe LNA + VGA1 et le VGA2. De plus, un amplificateur à faible bruit très légèrement différent de celui employé dans ce circuit a été implémenté dans la première version du récepteur FM (double hétérodyne) et les résultats des mesures directes sur ce LNA ont été présentés au chapitre 3.

Pour tester sur cette version du récepteur FM le bloc LNA+VGA1, des mesures sur la chaîne de transmission peuvent être effectuées. Un mode de test donne l'accès au signal sur la chaîne de transmission au point B (ou C) (voir la figure 4.4.2); il s'agit du même mode de test employé pour tester les filtres passe-bas. De plus, deux bits de "trim fonctionnel" permettent de commander le fonctionnement du bloc AGC. Ainsi, la boucle de gain peut fonctionner en mode de gain maximal, en gain minimal ou alors en gain libre, c.à.d. le mode de fonctionnement normal de la boucle. Dans les deux autres modes, les tensions ou courants qui imposent le gain des amplificateurs sont forcés à des valeurs fixes.

Pour mesurer la variation de gain du bloc LNA+VGA1, on se place dans le mode de test mentionné ci-dessus et on applique un signal radio-fréquence sur l'entrée antenne avec une amplitude que l'on fait varier. Pour chaque valeur donnée de l'amplitude, on fait fonctionner le bloc de gain dans les trois cas de gain (min, max ou gain libre) et on prélève l'amplitude du signal au point B. Ces mesures permettent d'obtenir la valeur de la variation de gain, la valeur minimale et celle maximale et aussi le seuil de basculement du gain (voir la figure 4.3.22). Le tableau suivant présente des mesures effectuées pour deux amplitudes d'entrée différentes, une pour un signal considéré comme fort (le gain du bloc sera donc minimum pour un fonctionnement libre de la boucle) et l'autre pour un signal faible.

Type de signal	fort	faible
Vin_antenne (emf)	500 μ V	100 μ V
Vin_puce (emf)	454 μ V	90.9 μ V
V _B (gain max)	11.2 mV	3.5 mV
V _B (gain libre)	157.9 μ V	2.8 mV
V _B (gain min)	157.9 μ V	70.5 μ V
Gain max	27.81 dB	31.79 dB
Gain libre	-9.18 dB	29.79 dB
Gain min	-9.18 dB	-2.2 dB
Δ Gain	37 dB	34 dB

NOTA: VDD =3.4V, Fréception = 0

table 4.4.8 Variation du gain pour le bloc LNA+VGA1 (mesures)

Quelques explications concernant le tableau ci-dessus s'imposent. La tension *Vin_antenne* est la valeur rms sur 50 Ω délivrée par le générateur HF. La tension *Vin_puce* est la valeur rms de la tension coté puce, en tenant compte du passage d'une source avec une impédance interne de 50 Ω vers une "charge" avec une impédance de 500 Ω .

On observe que la variation du gain du bloc LNA+VGA1 est en moyenne de 36 dB, ce qui est assez proche de la valeur théorique. Par contre, pour les fort signaux d'entrée, on observe que le gain minimum du bloc est fortement négatif (en dB).

Les mesures systématiques du genre présenté ici ont permis de déterminer le seuil de basculement du gain pour le bloc LNA+VGA1: 381.8 μ Vrms coté puce (-65.35 dBm).

Pour déterminer le gain du VGA2 et son comportement en fonction de l'amplitude du signal reçu en entrée, plusieurs types de mesures sont possibles.

Premièrement, des mesures "en réseau" peuvent être réalisées. Un premier mode de test, déjà employé pour tester le filtre passe-bande, permet d'observer le filtre passe-bande tout seul:

- entrée signal \Rightarrow filtre passe-bande \Rightarrow sortie signal.

Ce premier mode de test permet de mesurer les caractéristiques de gain dans la bande passante du filtre.

Un deuxième mode de test permet le tester l'ensemble filtre passe-bande et VGA2:

- entrée signal \Rightarrow filtre passe-bande \rightarrow VGA2 \Rightarrow sortie signal.

Un deuxième jeu de mesures dans la bande passante du filtre peut être réalisé, mais cette fois-ci en prenant en compte le gain du VGA2. De plus, on peut faire varier le gain de l'amplificateur (gain min, max et libre). En comparant le premier jeu de mesures avec ce deuxième, on peut en déduire les valeurs minimum et maximum du gain de l'amplificateur, et donc sa plage de variation. Le tableau suivant donne ces valeurs:

Gain min	0.8 dB
Gain max	49.6 dB
Δ Gain mesuré	48.8 dB

NOTA: VDD = 2.5 V

table 4.4.9 Dynamique de gain du VGA2 (mesures)

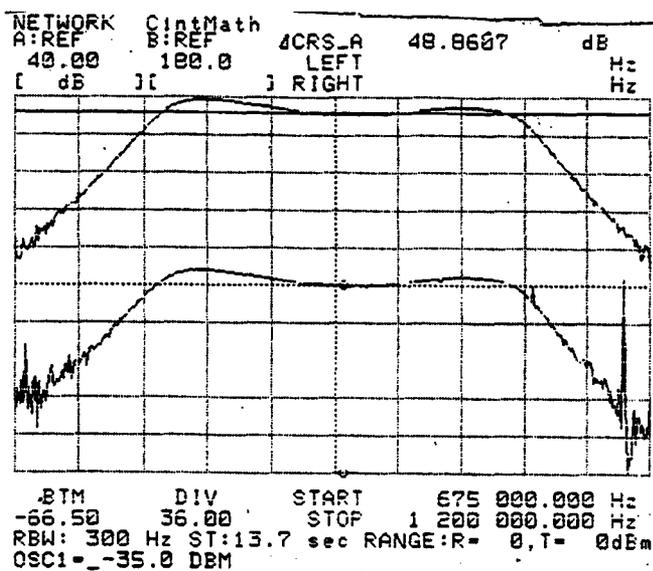


figure 4.4.18 L'ensemble filtre passe-bande + VGA2; configuration gain min et gain max

Le deuxième type de tests qui peuvent être réalisées pour le VGA2 sont des mesures de spectre. En effet, un autre mode de test permet d'observer la voie de transmission du signal le long du récepteur FM entre l'entrée antenne et le point F (voir la figure 4.4.2). Le même type de mesures que celles effectuées pour le bloc LNA+VGA1 peut aussi être réalisées. Elles concernant cette fois-ci le gain complet de la chaîne de réception: LNA, VGA1 et VGA2. En effectuant ces tests, nous nous apercevons que le gain de l'ensemble présente un seuil de basculement pour $V_{in_puce} = 3.4 \text{ mVrms}$ (-46.36 dBm). Cette valeur peut être considérée comme étant celle attachée au VGA2.

En conclusion, le seuil de basculement du bloc LNA+VGA1 apparaît à $V_{in_puce} = -65.35 \text{ dBm}$, tandis que celui de VGA2 se présente pour $V_{in_puce} = -46.36 \text{ dBm}$.

4.4.3.f Le discriminateur de fréquence

Un mode de test est spécialement dédié au discriminateur. L'entrée différentielle de test prévue sur la puce permet d'amener un signal directement à l'entrée du discriminateur; ce signal est issu d'un générateur de fonctions et donc assez pur. Ainsi, les caractéristiques intrinsèques du discriminateur peuvent être testées. Plusieurs signaux de sortie sont disponibles dans le cadre de ce mode de test: la sortie discriminée MPX bien sûr, mais aussi le signal en sortie du VCO à 988 kHz et celui en entrée du comparateur de phase, à 38 kHz.

Tous les résultats présentés dans ce sous-chapitre sont issus de mesures effectuées dans ce mode de test.

Le fonctionnement de la PLL3

Cette troisième PLL de la puce a le rôle de Maître dans l'asservissement de la valeur du délai nécessaire au discriminateur en quadrature. Elle doit se verrouiller sur une fréquence identique à celle de la deuxième Fréquence Intermédiaire et présenter un bruit de phase suffisamment bas pour assurer la tolérance désirée sur la valeur du délai introduit dans le discriminateur, sur le chemin du signal utile.

Les deux figures suivantes présentent le spectre de bruit de ce troisième Oscillateur Local. La première image concerne le spectre du signal à 988 kHz, directement issu du VCO. La deuxième figure représente le spectre du même signal, mais après la division en fréquence qui le ramène à 38 kHz; il s'agit donc du signal en entrée du comparateur de phase.

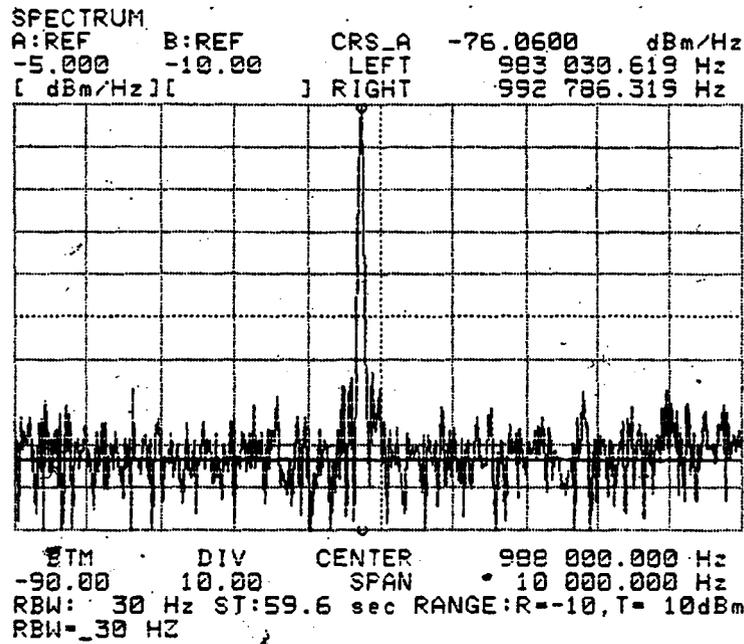


figure 4.4.19 Le spectre de bruit de la 3^e PLL (sortie du VCO à 988 kHz)

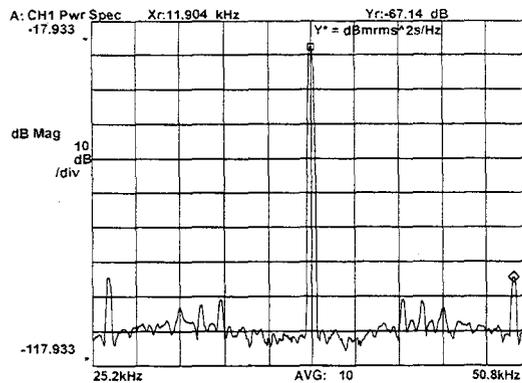


figure 4.4.20 Le spectre de bruit du signal à l'entrée du comparateur de phase (PLL3)

Dans la figure concernant le spectre en bruit du VCO à 988 kHz, nous pouvons noter que le palier de bruit présenté est généré par l'appareil de mesure et ne concerne donc pas notre signal. De même, dans la figure concernant le signal à 38 kHz, le palier de bruit est donné aussi par l'appareil de mesure. Cependant, on peut noter des pics de bruit à des fréquences bien particulières. Le tableau suivant présente leurs valeurs.

Ecart de fréquence par rapport à la porteuse 38 kHz (kHz)	Amplitude de bruit par rapport à la porteuse à 38 kHz (dBc /Hz)	Amplitude de bruit par rapport à la porteuse à 988 kHz (dBc /Hz)
5.37	-73.83	-45.54
6.46	-74.04	-45.74
7.68	-76.18	-47.88
11.9	-64.17	-35.87

NOTA: $V_{DD} = 2.4V$

table 4.4.10 Bruit de phase pour PLL3 (pics de bruit)

Pour déduire le bruit du signal oscillant à 988 kHz nous avons appliqué la formule:
 $B_{ph_38kHz} - B_{ph_VCO} = 20 * \log(N)$, pour une fréquence donnée f_0 .

Le signal minimum en entrée du discriminateur

On cherche l'amplitude minimale du signal différentiel en entrée du discriminateur qui permet d'obtenir sur la sortie MPX un signal "convenable". Le signal "convenable" a les caractéristiques suivantes:

- $THD_{MPX} \leq 0.3\%$, le taux de distorsion harmonique sur la sortie discriminée reste inférieur à la valeur imposée dans le cahier des charges du récepteur FM;
- Le signal ne présente pas de perte d'amplitude par rapport au cas nominal (360 mV)

Le discriminateur a été conçu pour une tension en entrée de 100 mVpp différentielle. Cette valeur est aussi la tension sur laquelle l'AGC régule sa chaîne.

Des mesures pour toute la gamme de tension de polarisation indiquent la valeur suivante:
 $A_{min|in_discriminateur} = 70$ mVpp différentiel.

Les caractéristiques du signal en sortie du discriminateur

Les figures suivantes présentent le signal discriminé présent sur la sortie MPX, pour plusieurs cas de fréquence modulante. Le signal en entrée du discriminateur est sous la forme d'une porteuse à 988 kHz modulée en fréquence avec un signal de fréquence f_m et d'amplitude $\Delta f_m = 75$ kHz. L'onde FM est issue du générateur de fonctions HP 33120A. Cet appareil peut délivrer des signaux modulés en fréquence avec des fréquences $f_m < 10$ kHz seulement. Cependant, il a été choisi pour la pureté spectrale des signaux qu'il génère.

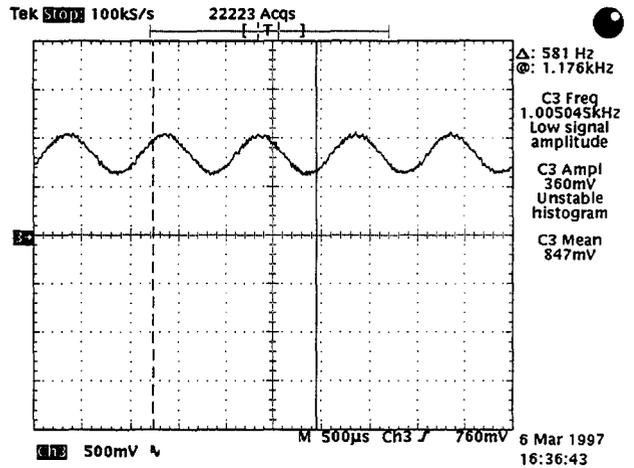
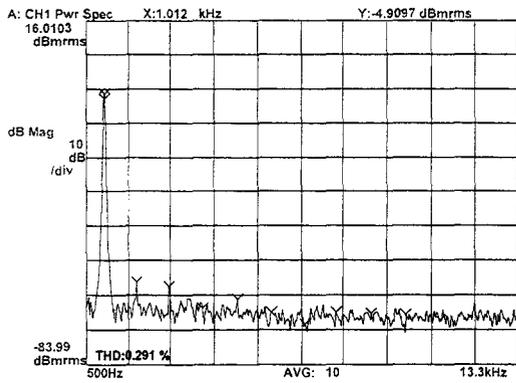


figure 4.4.21 Le signal issu du discriminateur pour $f_m = 1$ kHz

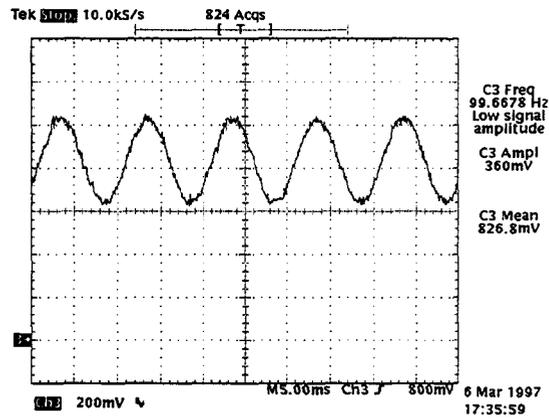
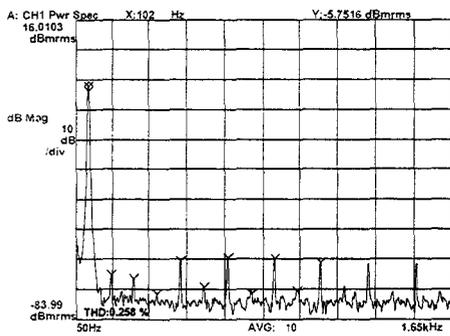


figure 4.4.22 Le signal issu du discriminateur pour $f_m = 100$ Hz

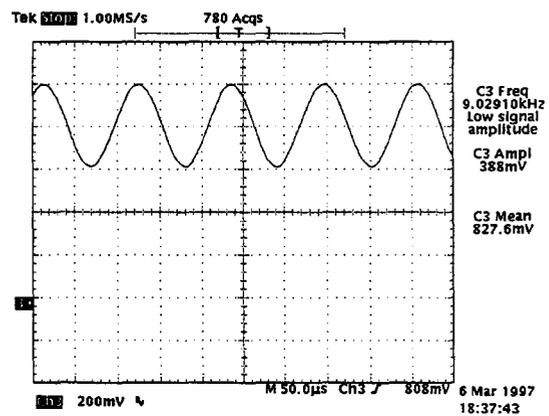
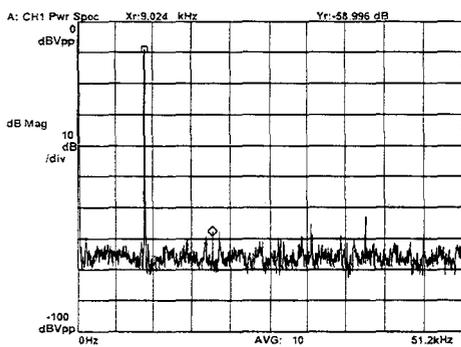


figure 4.4.23 Le signal issu du discriminateur pour $f_m = 9$ kHz

Comme précisé dans le chapitre 4.3.8, trois bits de trim permettent d'ajuster la valeur exacte de la tension moyenne (DC) en sortie du discriminateur, sur la broche MPX. Deux de ces bits décident de la valeur de cet ajustement et l'autre bit restant indique le sens de la variation de l'offset sur la sortie MPX. Le tableau suivant indique les possibles valeurs extrêmes du niveau DC en sortie du discriminateur. Le plus petit incrément possible est de 60 mV.

Valeur des bits de trim (binaire)	Niveau DC sur la sortie MPX (mV)
0-0-0-0	789 (val nom)
1-1-1-0	350 (val min)
1-1-1-1	1486 (val max)

table 4.4.11 Valeurs possibles du niveau DC sur la sortie MPX

On observe que ce niveau DC sur la sortie MPX peut ainsi être ajusté à la valeur désirée.

Des mesures systématiques ont été effectuées pour déterminer la variation du niveau DC, de l'amplitude et du THD sur la sortie MPX en température.

En entrée du discriminateur, on applique une tension modulée FM avec un signal modulant de fréquence 1kHz et d'amplitude 75kHz. On observe la variation du niveau DC et de l'amplitude sur la sortie, en fonction de la température. Les bits de trim concernant le discriminateur prennent toujours la valeur minimale. Les deux figure suivantes présentent les résultats.

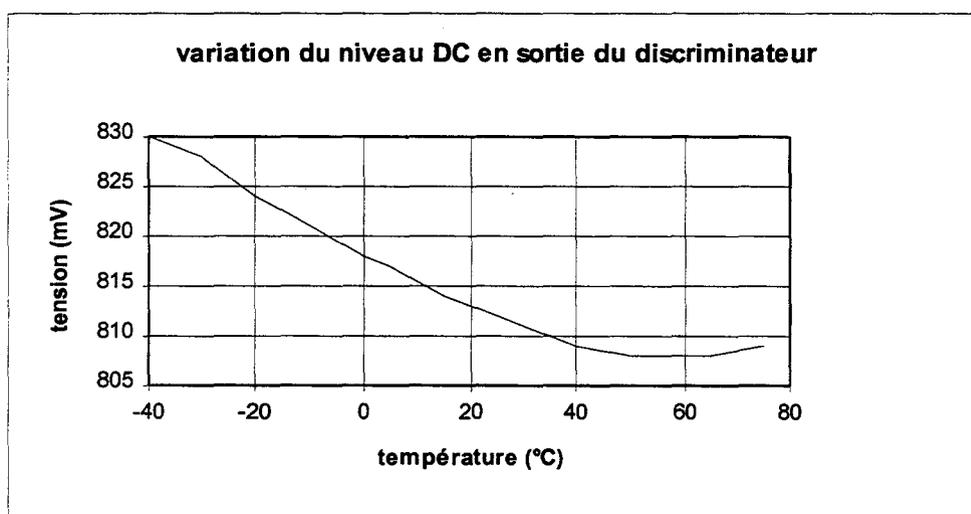


figure 4.4.24 Variation du niveau DC sur la sortie MPX avec la température

On observe une variation, pour la zone linéaire, avec une pente de $-0.254 \text{ mV}/^\circ\text{C}$. La valeur de cette tension moyenne sur la sortie MPX est imposée par un potentiel de référence qui est issu d'une source de tension de type Band-gap [4.4.11]. Cette variation correspond donc bien à celle de la Band-gap.

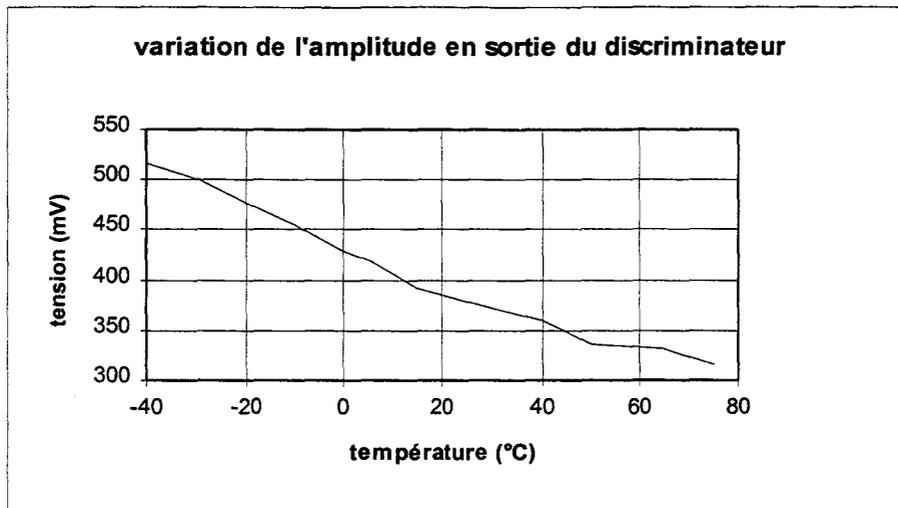


figure 4.4.25 Variation de l'amplitude sur la sortie MPX avec la température

La pente de la variation dans ce cas est de $-2.06 \text{ mV}/^\circ\text{C}$, ce qui correspond au coefficient de température d'une jonction *pn*. Ceci s'explique en prenant en considération les données suivantes (voir aussi le chapitre 4.3.8 de cette thèse):

- L'amplitude du signal en sortie d'un discriminateur à quadrature dépend directement de l'amplitude du signal modulé FM présent à l'entrée du bloc de discrimination (A).
- En l'occurrence, comme un bloc amplificateur-limiteur se trouve à l'entrée du discriminateur, A est la valeur de l'amplitude du signal en sortie du bloc ici-mentionné. Comme déjà présenté, cette amplitude est égale à $2V_{be}$, et le coefficient de température de la tension base-émetteur est celui d'une jonction *pn*.

En ce qui concerne la variation du taux de distorsion harmonique en sortie avec la température, le tableau suivant donne les résultats des mesures. Les bits de trim prennent toujours la même valeur (min) et les mesures ont été effectuées pour trois signaux d'amplitude $\Delta f = 75 \text{ kHz}$ et de fréquences différentes: 0.5, 1 et 9 kHz. Le signal d'entrée est issu d'un générateur de fonctions HP 33120A.

	THD (%)	THD (%)	THD (%)
température	(0,5kHz,75kHz)	(1kHz, 75kHz)	(9kHz,75kHz)
-40	0.329	0.324	0.498
-30	0.33	0.395	0.417
-20	0.348	0.304	0.274
-10	0.345	0.305	0.203
0	0.38	0.387	0.213
5	0.406	0.418	0.213
15	0.38	0.346	0.213
40	0.32	0.278	0.224
50	0.427	0.346	0.193
65	0.439	0.344	0.206
75	0.459	0.358	0.284
THD(val.moy.)	0.378	0.346	0.267

table 4.4.12 Le taux de distorsion harmonique en sortie du discriminateur FM

On observe que la valeur du taux de distorsion harmonique respecte les spécifications imposées dans le cahier des charges (-50 dB = 0.316%).

Un autre paramètre important pour le discriminateur FM est la réjection des signaux haute-fréquence. Des mesures en température indiquent les résultats suivants:

- Réjection de la fréquence porteuse (FI1): 60 dB;
- Réjection du double de la porteuse (2·FI1): 71 dB.

D'autres mesures, à la température ambiante, ont été effectuées sur le discriminateur FM. Il s'agit premièrement de l'intermodulation d'ordre 3 et d'ordre 5. Pour réaliser ces mesures, une porteuse à 988 kHz est modulée avec deux signaux modulateurs de fréquences très proches et d'amplitudes égales. Ce signal est appliqué à l'entrée du discriminateur. Les mesures ont pu être effectuées avec le générateur de signaux HP 8648A, qui a une pureté spectrale moins bonne que celle du HP 33120A; cependant, il a été le seul appareil disponible capable de délivrer un signal FM modulé avec deux signaux. Des mesures de THD effectuées sur le discriminateur ont pu montrer une différence d'environ 9 dB entre les mesures de distorsion ayant comme source de signal les deux générateurs en question.

Le tableau suivant présente les résultats des mesures d'intermodulation. Tous les bits de trim prennent la valeur minimale.

Valeurs mesurées ↓	Conditions de mesure ⇒	$f_{m1} = 1 \text{ kHz}$ $f_{m2} = 1.2 \text{ kHz}$ $\Delta f = 37.5 \text{ kHz}$	$f_{m1} = 1 \text{ kHz}$ $f_{m2} = 0.8 \text{ kHz}$ $\Delta f = 37.5 \text{ kHz}$
Amplitude des deux fondamentaux		$f_{m1} : -10.5 \text{ dBm}$ $f_{m2} : -11.41 \text{ dBm}$	$f_{m1} : -10.5 \text{ dBm}$ $f_{m2} : -11.9 \text{ dBm}$
IM3		$2*f_{m1}-f_{m2} = 800 \text{ Hz};$ $A = -47.2 \text{ dBc} (*)$ $2*f_{m2}-f_{m1} = 2.8 \text{ kHz};$ $A = -49.9 \text{ dBc} (*)$	$2*f_{m1}-f_{m2} = 1.2 \text{ kHz};$ $A = -48.55 \text{ dBc} (*)$
IM5		$3*f_{m1}-2*f_{m2} = 600 \text{ Hz};$ $A = -47.52 \text{ dBc} (*)$ $3*f_{m2}-2*f_{m1} = 3.2 \text{ kHz};$ $A = -45.57 \text{ dBc} (*)$	$3*f_{m1}-2*f_{m2} = 1.4 \text{ kHz};$ $A = -47.55 \text{ dBc} (*)$

(*): Si on tient compte des considérations précédentes, ces résultats sont de 9 dB supérieurs à la réalité.

table 4.4.13 L'intermodulation d'ordre 3 et 5 pour le discriminateur FM

En tenant compte de la correction de 9 dB, les résultats pour l'intermodulation restent dans les valeurs données dans la spécification du Récepteur FM.

Le paramètre qui aide à déterminer la plage de linéarité en fréquence du discriminateur est la "courbe S". Cette courbe se détermine en excitant l'entrée du discriminateur avec une porteuse FM non-modulée et dont la fréquence varie autour de la fréquence centrale du discriminateur (f_0). En mesurant le niveau DC sur la sortie MPX, on détermine cette courbe S.

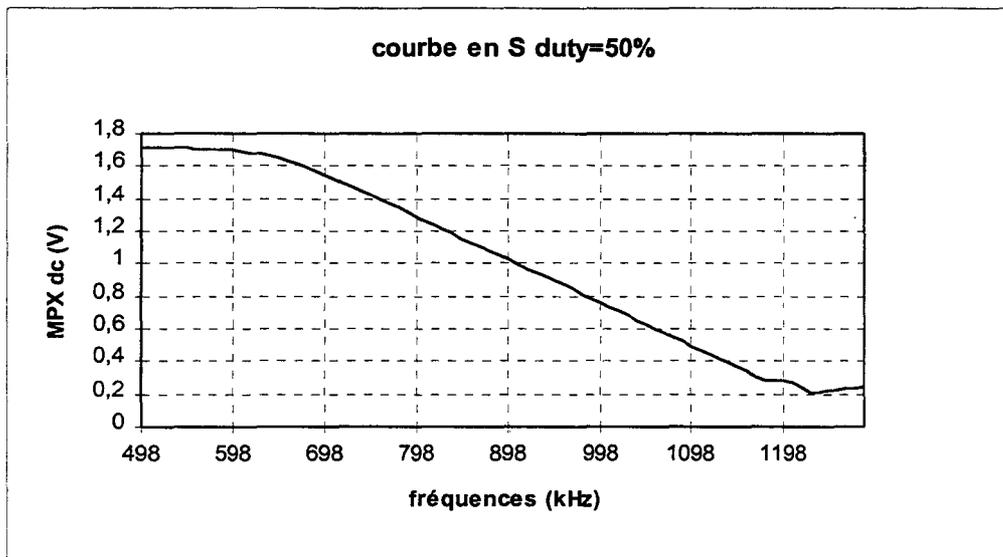


figure 4.4.26 La courbe S du discriminateur FM

L'analyse des mesures indique les résultats suivants:

- centre de la courbe S: $f = 928 \text{ kHz}$, $V_{dc_MPX} = 950 \text{ mV}$;
- gamme de linéarité: $600 \text{ kHz} \dots \sim 1200 \text{ kHz}$.

La plage de variation de la fréquence instantanée du signal en entrée du discriminateur est de $150 \text{ kHz} = 2.75 \text{ kHz}$, selon les Normes Européennes concernant l'émission FM. La plage mesurée de linéarité du discriminateur est largement suffisante dans le cas de notre application et se trouve quasiment au milieu de la zone linéaire.

Une dernière mesure effectuée sur le discriminateur FM concerne la bande passante en fréquence sur la sortie MPX. Pour réaliser ces mesures, un générateur de signaux et un analyseur de réseau sont nécessaires. La source de signal de l'analyseur de réseau est utilisée aussi comme signal modulant pour la porteuse à 988 kHz ; l'onde ainsi modulée en fréquence est appliquée à l'entrée du discriminateur. La figure suivante illustre ce set-up de mesures.

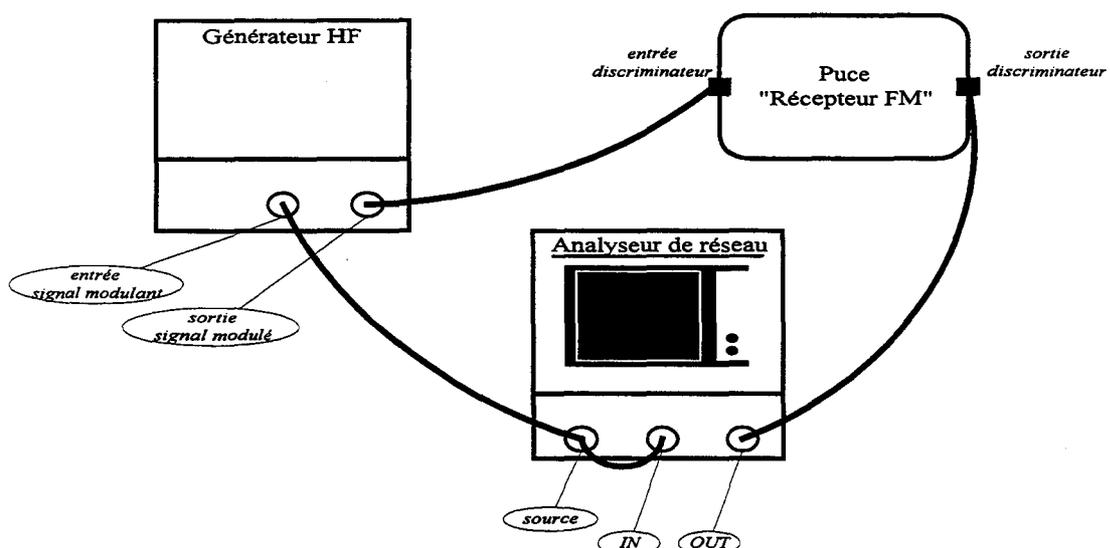


figure 4.4.27 Le set-up de mesures pour déterminer la bande passante en sortie du discriminateur FM

Les résultats des mesures, lus sur l'analyseur de réseau, sont présentés à la figure suivante. On indique en médaillon un zoom sur la bande entre 0 et 100 kHz.

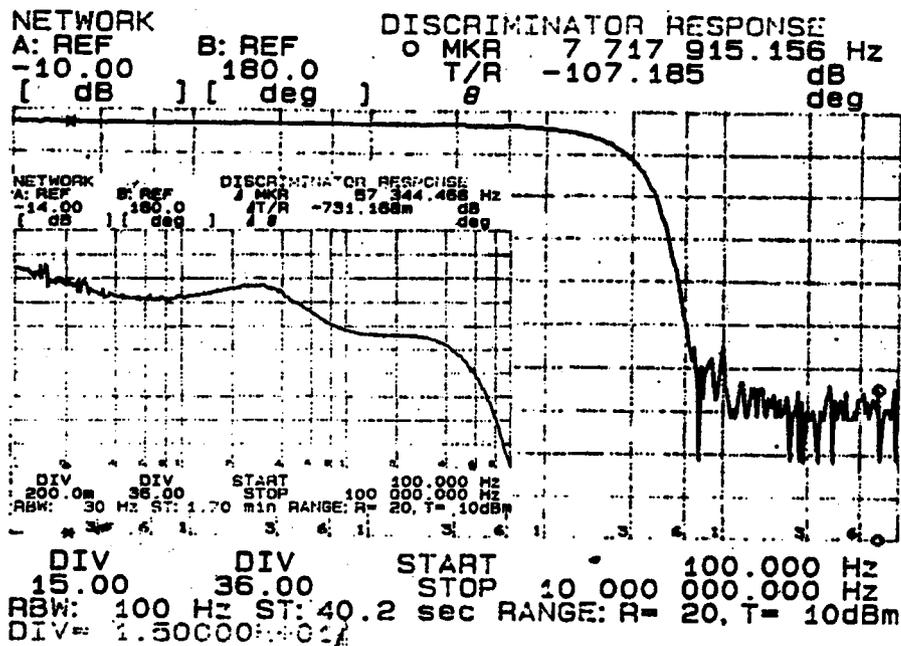


figure 4.4.28 La bande passante en sortie du discriminateur FM

L'analyse de ces tests indique les résultats suivants:

- ondulation dans la bande de 0 à 57 kHz: 0.7 dB;
- bande passante à -1 dB: 75 kHz;
- bande passante à -3 dB: ~200 kHz.

Ces mesures sont en concordance avec le cahier des charges du circuit. Entres autres, elles prouvent que ce discriminateur FM est capable à démoduler tout signal modulant de bande de base dont la fréquence est inférieure à 75 kHz. Ce discriminateur peut donc être employé dans des récepteurs FM adaptés à la réception de signaux RDS.

4.4.4 Résultats de mesures concernant la voie de transmission du signal (mesures globales)

La section précédente a présenté les résultats de mesures des principaux blocs fonctionnels faisant partie du Récepteur FM. Chacun d'entre eux a été caractérisé et les points forts et faibles des divers blocs ont été mis en évidence. Le principe de fonctionnement de chaque partie du circuit a été prouvé.

Forts de tous ces renseignements, nous allons dans ce chapitre aborder le fonctionnement du Récepteur FM dans son ensemble, depuis l'entrée antenne et jusqu'à la sortie MPX du signal discriminé. Comme il a déjà été mentionné, les différents modes de test permettent d'attaquer l'entrée différentielle d'antenne avec un signal radio-fréquence et d'observer son passage tout le long de la chaîne de réception, aux points B, C, D et F (voir la figure 4.4.2).

Le générateur de signaux haute-fréquence délivre un signal sur une voie (single-ended), qui est ensuite transformé en un signal "différentiel"¹ par le montage suivant implémenté sur la carte de test:

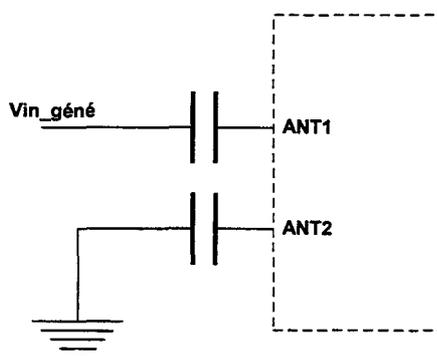


figure 4.4.29 Le montage d'attaque des entrées antenne

Les deux capacités ont la même valeur $C = 330 \text{ pF}$. La fréquence de coupure de ce passe-haut ainsi généré est d'environ 1 MHz (avec $R_{in} = 500 \Omega$).

Le signal de test qui traverse la puce a les caractéristiques suivantes:

- Fréquence RF $f_c = 82.232 \text{ MHz}$. Il s'agit de la fréquence de réception la plus basse que le premier Oscillateur Local puisse assurer ($F_{réception} = 0$).
- Amplitude générateur: $A_{gén} = 500 \mu\text{V}_{emf}$ (-59 dBm) sur 50Ω . Cette valeur de la tension d'entrée se situe au milieu de la plage de variation de l'entrée et donc représente un comportement typique du récepteur. La tension effective à l'entrée de la puce peut être calculée avec la formule suivante:

$$V_{in_puce} = \frac{500}{550} \cdot V_{gén_emf} \quad (4.4.7)$$

¹ En effet, les deux entrées antenne de la puce sont chargées de façon symétrique par ce genre de montage.

Cette formule tient compte de la désadaptation d'impédance à l'entrée de la puce.
 Le signal observé au point B, à la première Fréquence Intermédiaire et après passage par un des filtres passe-bas est présenté dans les figures suivantes. Le signal appliqué sur l'entrée antenne n'est pas modulé en fréquence.

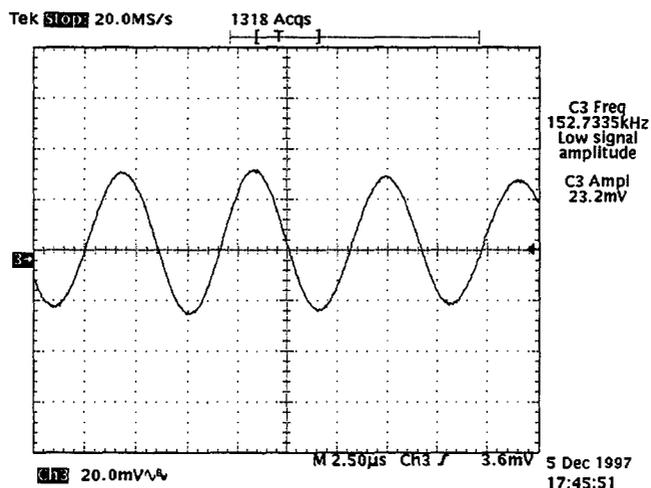


figure 4.4.30 Le signal à la première Fréquence Intermédiaire (point B)

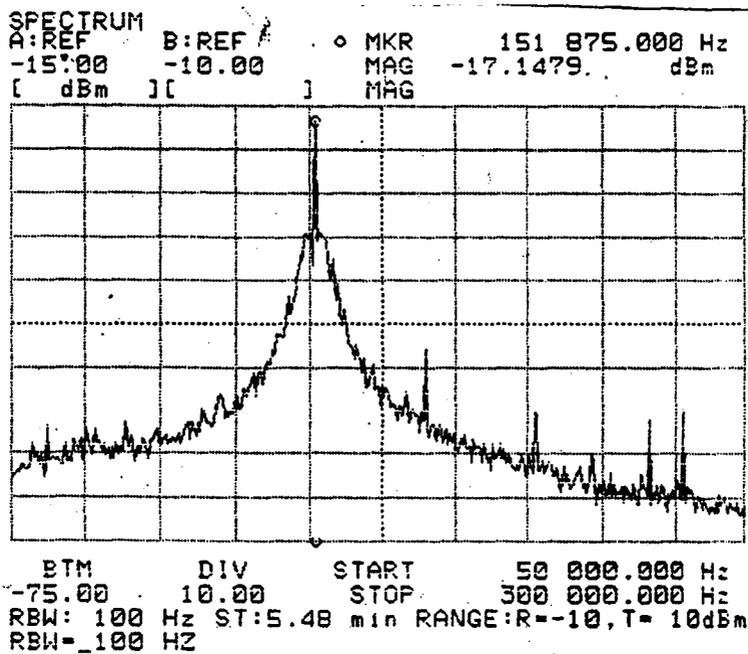


figure 4.4.31 Le spectre du signal à la première Fréquence Intermédiaire (point B)

Le premier mélange dans le circuit donne donc lieu à une première Fréquence Intermédiaire de 152 kHz. Le signal présenté dans la figure précédente a une largeur spectrale qui est, dans ce cas, donnée par le bruit de phase du premier Oscillateur Local. Le signal présent sur l'autre voie en quadrature, au point C, présente la même allure.

Plusieurs mesures ont été effectuées en faisant varier l'amplitude du signal antenne. La voie de transmission présente une dynamique d'entrée de 51 dB, avec une sensibilité minimale égale à -95 dB. Des problèmes dans la boucle de régulation du gain sembleraient être à l'origine de cette limitation.

Les deux figures suivantes présentent le signal à la deuxième Fréquence Intermédiaire, juste après la sommation des deux voie en quadrature (point D).

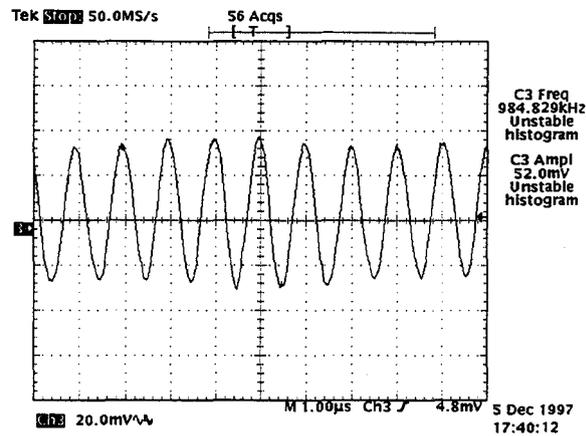


figure 4.4.32 Le signal à la deuxième Fréquence Intermédiaire (point D)

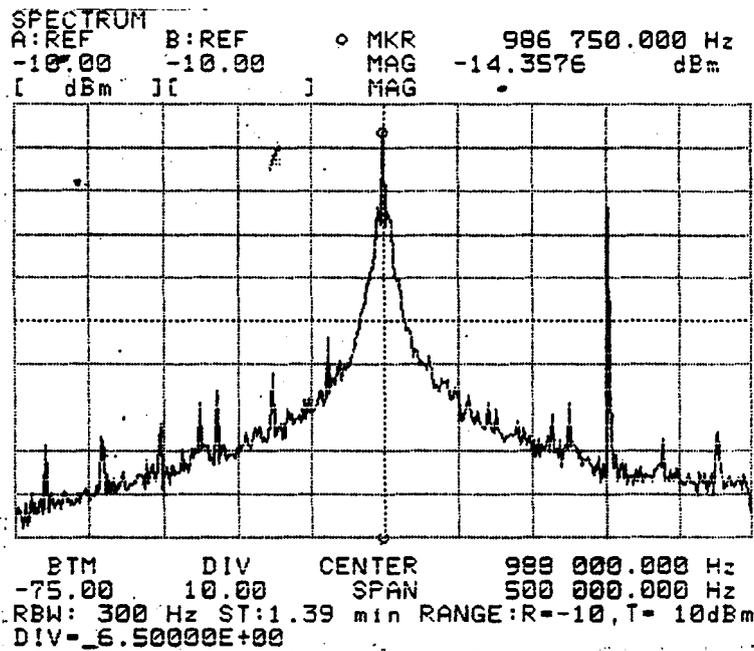


figure 4.4.33 Le spectre du signal à la deuxième Fréquence Intermédiaire (point D)

Nous observons ici une forte injection du deuxième Oscillateur Local à travers la deuxième paire de mélangeurs. Cette raie parasite est par la suite éliminée après passage par le filtre passe-bande.

En ce point du circuit nous pouvons observer la réjection de la première fréquence image, par le biais de la sommation des deux voies en quadrature. Comme il a déjà été précisé dans le chapitre précédent, 10 bits de trim permettent de régler le déphasage de 90° entre les deux voies I et Q et le gain de chaque voie. En jouant sur la valeur de ces bits de trim, l'atténuation de la première fréquence image peut être améliorée de -17 dB à environ -30 dB.

La figure suivante présente la réjection de la fréquence image dans le meilleur des cas: on affiche le signal désiré et son signal image, ayant une fréquence antenne de 81.928 MHz et la même amplitude que le signal désiré.

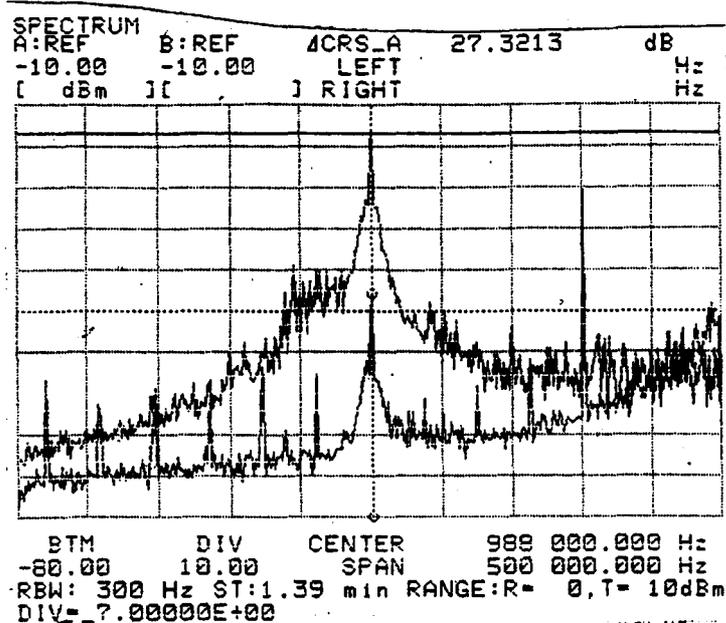


figure 4.4.34 Réjection de la première fréquence image obtenue au point D

Le signal présent au point D passe ensuite par le filtre passe-bande de sélection du canal désiré et par le VGA2. Compte tenue du décalage en fréquence de ce filtre passe-bande, la fréquence centrale du filtre la plus haute possible à obtenir est 945 kHz. Pour que le signal antenne, cette fois-ci modulé FM, se situe à l'intérieur de la bande passante du filtre, nous avons légèrement décalé le signal antenne.

Pour les figures suivantes, la fréquence RF appliquée à l'entrée de la puce est $f_c = 82.282$ MHz. Les caractéristiques d'amplitude sont les mêmes. Ce signal est aussi modulé en fréquence avec $f_m = 1$ kHz et $\Delta f = 37.5$ kHz.

Le spectre du signal ainsi modulé en fréquence, ramené à la 2^e Fréquence Intermédiaire et après passage par le filtre passe-bande et le VGA2 est présenté dans la figure suivante.

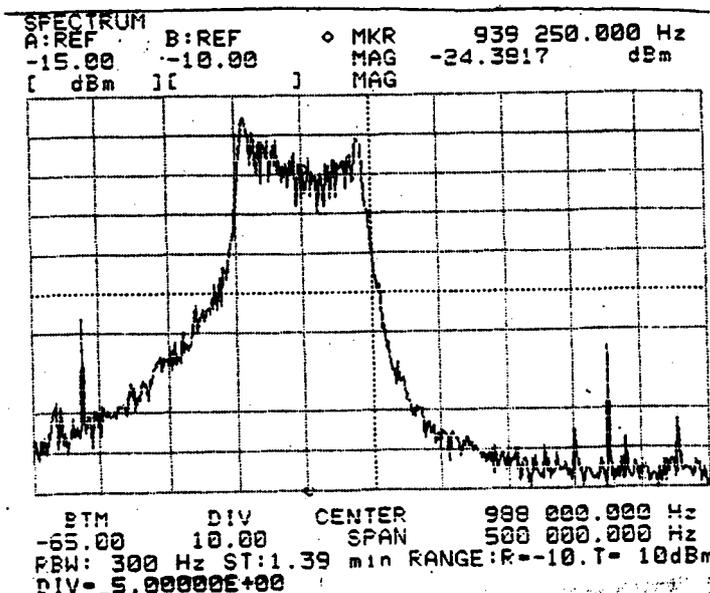


figure 4.4.35 Spectre du signal modulé FM à l'entrée du discriminateur (point F)

A cause de la non-conformité par rapport aux spécifications du filtre passe-bande et du bruit assez important ramené dans la chaîne par les deux oscillateurs locaux, le signal à l'entrée du discriminateur se retrouve relativement bruité. Néanmoins, à la sortie MPX de la puce on peut observer le signal présenté dans les deux figures suivantes:

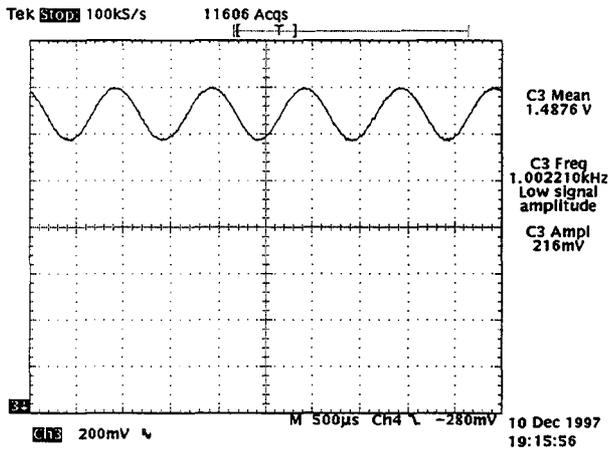


figure 4.4.36 Sortie MPX (chaîne complète); VDD = 3.1V et PLL1 avec filtre interne

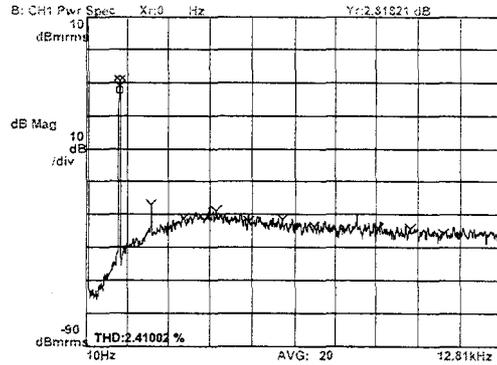


figure 4.4.37 Spectre de la sortie MPX (chaîne complète); VDD = 3.1V et PLL1 avec filtre interne

La sortie MPX a les caractéristiques suivantes:

- Amplitude = 210 mV;
- Offset = 1.48 V (la porteuse en entrée du discriminateur ne se trouve pas au milieu de la courbe en S);
- THD = 2.41% (sur 10 harmoniques).

Sur la figure 4.4.37 on observe qu'un spectre parasite est superposé au spectre de raies du signal utile et ses harmoniques. Ce spectre parasite est l'image du bruit de phase du premier Oscillateur Local. En effet, on observant la figure 4.4.6, on conclut que le bruit de phase du 1^{er} OL peut être assimilé à une modulation de fréquence superposée au signal utile; la fréquence centrale de ce signal parasite FM est égale à la fréquence du 1^{er} OL. Le signal sortant du 1^{er} OL peut être décrit par l'équation suivante:

$$v_{OL1}(t) = A_{OL1} \cdot \sin(\omega_{OL1}t) + A_{parasite} \cdot \sin[\omega_{OL1}t + \Phi_{bruit}(t)] = v_{utile} + v_{parasite} \quad (4.4.8)$$

avec:

A_{OL1}, ω_{OL1} = l'amplitude et la pulsation du 1^{er} OL;

$A_{parasite}, \Phi_{bruit}(t)$ = l'amplitude et la pulsation du signal de bruit. Le spectre de ce signal FM parasite est représenté à la figure 4.4.6 (tout sauf la raie centrale de la porteuse). Il s'agit ici d'un signal modulant en fréquence la porteuse ω_{OL1} .

Au niveau de la première paire de mélangeurs du récepteur, le signal donné dans l'équation précédente est multiplié avec le signal radio-fréquence incident. Il en résulte une somme de deux signaux modulés FM, dont l'un est modulé deux fois, une fois avec le signal utile et une

autre fois avec le signal de bruit indiqué ci-dessus. Après passage par le discriminateur de fréquence, tous les signaux modulant la fréquence de la porteuse sont démodulés, et donc le signal parasite aussi.

Un autre cas de figure qui peut être présenté dans ce contexte est celui où on emploie un autre filtre de boucle pour la 1^{ère} PLL. Il s'agit du cas présenté à la figure 4.4.5: un filtre de boucle externe est utilisé pour PLL1 (1 pF). On observe que la forme du bruit de phase du premier Oscillateur Local change, donc le bruit superposé au signal utile sur MPX va changer aussi.

Les deux figures suivantes illustrent ce cas. Le signal antenne a les caractéristiques suivantes:

- Fréquence RF porteuse: $f_c = 97.67$ MHz (correspond à peu près au centre de la plage d'accord du premier Oscillateur Local);
- Amplitude porteuse: $A_{\text{gén}} = 500 \mu\text{V}_{\text{eff}}$;
- Signal modulant: $f_m = 1$ kHz et $\Delta f = 37.5$ kHz.

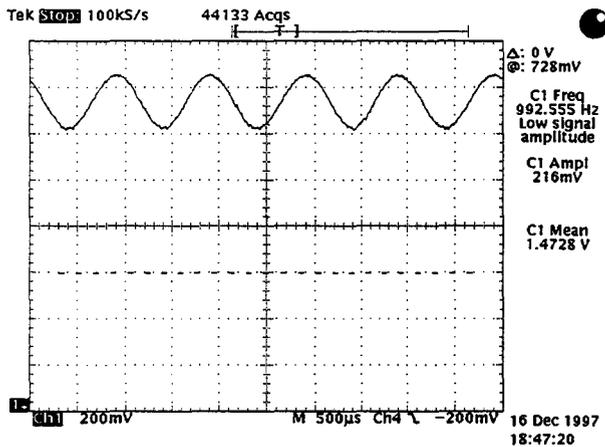


figure 4.4.38 Sortie MPX (chaîne complète); $V_{DD} = 3.1\text{V}$ et PLL1 avec filtre externe

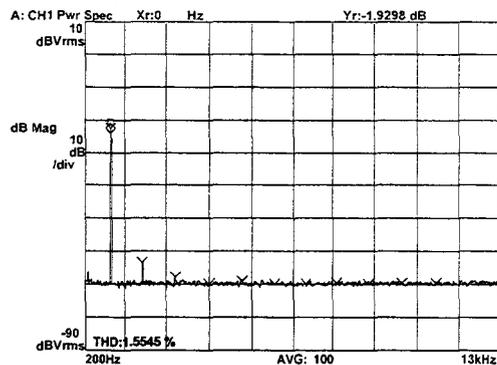


figure 4.4.39 Spectre de la sortie MPX (chaîne complète); $V_{DD} = 3.1\text{V}$ et PLL1 avec filtre externe

La sortie MPX a les caractéristiques suivantes:

- Amplitude = 216 mV;
- Offset = 1.47 V;
- THD = 1.55% (sur 10 harmoniques).

On remarque donc la différence au niveau du spectre du signal sur la sortie MPX. En utilisant un filtre de boucle différent pour la PLL1, le bruit de phase résultant sur le 1^{er} OL est différent. Dans ce deuxième cas de figure présenté, en démodulant le spectre parasite de bruit nous obtenons un palier qui est assez bas pour permettre d'améliorer le taux de distorsion harmonique du signal utile sur MPX.

En conclusion, le bruit de phase des Oscillateurs Locaux dans le Récepteur FM se retrouve démodulé en sortie du discriminateur de fréquence. Le spectre du bruit discriminé se superpose au signal utile à démoduler en détériorant ainsi la qualité du signal à récupérer sur la sortie MPX.

La présence de ce bruit sur la sortie multiplex du récepteur FM rend difficile, sinon infaisable, l'observation de signaux de bande de base avec une faible amplitude. Ceci est le cas des signaux de type RDS, qui, en plus, se situent vers la fin de la bande audio, à l'endroit où le bruit induit par les Oscillateurs Locaux est le plus fort. La figure suivante montre ce phénomène.

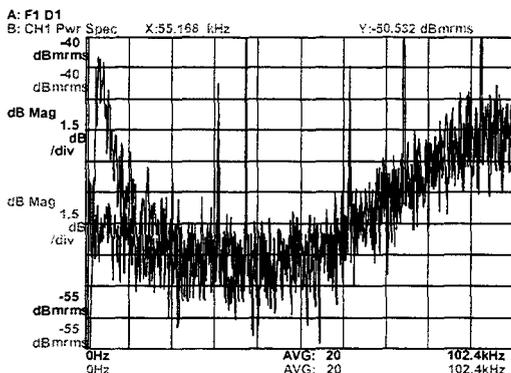


figure 4.4.40 Spectre sur la sortie MPX du bruit induit par le 1^{er} OL (PLL1 avec filtre interne et externe)

Quant aux composantes parasites autour de FI2 et du double de cette Fréquence Intermédiaire, la figure suivante présente le spectre de la sortie MPX pour des fréquences allant jusqu'à 2.5 MHz. Ces signaux ont des amplitudes égales à -60 dBc et -71 dBc respectivement.

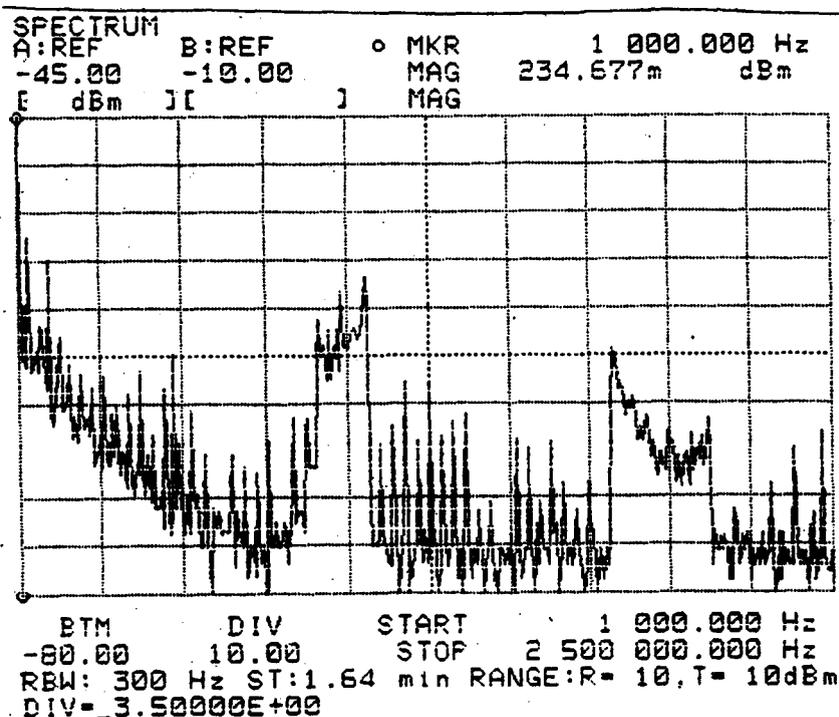


figure 4.4.41 Spectre des signaux parasites sur la sortie MPX

4.5 Conclusions sur la réalisation du Récepteur FM à mélange complexe de fréquences

Ce chapitre a présenté une variante d'intégration complète sur Silicium d'un Récepteur FM. Le circuit ne nécessite comme composantes externes qu'une antenne accordée sur la bande commerciale FM et un quartz à 38 kHz. Le circuit fonctionne avec une tension d'alimentation pouvant descendre jusqu'à 2.2 V et consomme seulement 10 mA en mode de fonctionnement normal. Ces caractéristiques, alliées à une taille raisonnable de la puce permettent l'utilisation du circuit pour des produits portables de télécommunications du type "paggers".

La faisabilité bloc par bloc de chaque cellule composant le récepteur a été démontrée de manière théorique et vérifiée de point de vue expérimental. Chaque partie du circuit est fonctionnelle à 100%, mais seulement une partie des blocs remplissent entièrement le cahier des charges leur étant imposé. Le premier Oscillateur Local ne remplit pas ses contraintes en ce qui concerne le bruit de phase sur la boucle. Ceci est dû en bonne partie au bruit de phase assez important généré par le VCO employé dans la boucle. Une reprise de la conception de ce bloc est essentielle pour diminuer l'apport de bruit dans la chaîne de transmission du signal. Cependant, le principe d'implémentation de cette PLL à rang de division variable a été bien validé.

Un autre problème dans le circuit concerne le filtre passe-bande de sélection du canal désiré. Du à un problème de principe resté caché lors de la conception de ce bloc (boucles de selfs), le filtre perd une bonne partie de ses qualités en bande coupée. De plus, des problèmes d'implémentation topologique (capacités parasites) induisent un décalage vers le bas de la fréquence centrale du filtre. Des corrections (connues) sont à apporter à ce bloc. Tous ces aspects conduisent à un fonctionnement non satisfaisant du filtre passe-bande: il ne remplit pas complètement sa fonction de réjection et en plus il introduit quelque peu de distorsion dans la bande passante.

La faisabilité du circuit dans son ensemble a été aussi démontrée de façon théorique et implémentée en pratique. Le choix astucieux du jeu des fréquences intermédiaires permet d'intégrer sur Silicium des éléments assez "délicats" dans ce genre de structures, tels que les filtres de sélection de canal. De même, le choix d'une dernière fréquence intermédiaire assez basse permet l'obtention d'un discriminateur FM intégré de bonne qualité et qui présente une faible consommation. Le circuit remplit ses fonctions de Récepteur FM: quand un signal radio-fréquence modulé en fréquence, provenant d'un émetteur radio de la bande FM commerciale, est capté sur son entrée antenne, on peut observer à la sortie MPX du circuit le signal modulant de bande de base initial: en l'occurrence entendre l'émission transmise. Le signal ne respecte pas les contraintes de bruit et de distorsion lui étant imposées initialement, mais ceci est dû aux problèmes cités auparavant.

La partie innovante du circuit est la réjection de la fréquence image utilisant le principe du mélange complexe des fréquences. Ce principe, faisable du point de vue théorique, a été validé du point de vue expérimental: une atténuation d'au moins 30 dB pour la première fréquence image est obtenue en sommant les deux voies I et Q de transmission du signal. Cet aspect est très important pour un circuit destiné à des applications de télécommunications portables: cette structure permet d'éviter l'implémentation du circuit sous la forme classique de récepteur à double hétérodyne, qui, lui, a besoin d'un certain nombre de composantes externes. L'absence d'éléments externes à la puce, tels que filtres à ondes acoustiques de surface ou blocs LC variables d'accord en fréquence sont un réel progrès dans la quête permanente de miniaturisation des circuits complets.

Conclusion générale

Le but de ce travail de thèse a été de réaliser un récepteur FM complètement intégré, adapté à la réception RDS et avec des contraintes de faible tension d'alimentation (2.2 V) et faible consommation (< 15 mA).

Pour atteindre ce but, une première solution retenue a été celle du *récepteur à double hétérodyne*. Le point clé dans la réalisation de ce type de circuit est l'intégration de la partie fonctionnant en haute fréquence, et plus précisément *le premier filtre de réjection d'image*.

Une première partie de mes travaux de recherche a porté sur la réalisation de ce filtre haute fréquence, réalisé sous une forme de filtre continu Gm-C. La fonction de transfert de passe-haut avec notch est obtenue en cascader trois sections biquadratiques identiques. Les transconductances réalisant les intégrateurs du filtre sont construites sur la base de paires différentielles bipolaires dégénérées avec des transistors MOS en régime triode. Le réglage en fréquence des intégrateurs est obtenu en agissant sur la valeur de ces transistors MOS qui ont le rôle de résistance de dégénérescence. Une solution innovante est aussi employée pour la régulation du mode commun dans le filtre: des structures passe-haut de type LC réalisent le couplage entre les différents étages. Les inductances sont réalisées sous la forme de gyrateurs chargés avec une capacité.

Du point de vue implantation layout, une étude très approfondie a été menée pour trouver la meilleure topologie adaptée à un filtre haute-fréquence. Une bonne partie de cet effort a été mise sur le choix de la structure des capacités d'intégration.

Le filtre a été implémenté sur Silicium et la structure des intégrateurs est fonctionnelle après la première itération. Des problèmes de pertes de phase autour de la fréquence de travail des intégrateurs du filtre ont imposé une deuxième itération, pour tenter d'améliorer les performances du filtre. Dans cette deuxième version, un malencontreux problème d'oscillation sur la puce empêche toute observation des résultats et donc la validation définitive de la structure. Ce problème d'oscillation a été identifié et une possible solution est envisageable.

Le type de filtre haute fréquence présenté dans ce mémoire se situe quelque peu à la limite de faisabilité avec les technologies actuelles sur Silicium. Cependant, les dernières tendances de la micro-électronique analogique montrent un fort développement de nouveaux composants réalisables sous forme intégrée, notamment des inductances. Jusqu'à présent, des selfs avec des facteurs de qualité satisfaisants ont été obtenues seulement pour des fréquences supérieures à 200 MHz. Dès que la fréquence de travail de ces inductances intégrées sera diminuée, la réalisation de filtres haute-fréquence proposée dans cette thèse pourra reprendre. La structure de base des transconductances formant le filtre peut facilement être adaptée à une réalisation comprenant des selfs intégrées; ce changement apportera au filtre une diminution de la consommation et une meilleure stabilité de la structure.

Pour poursuivre l'objectif de cette thèse, une deuxième solution d'intégration du récepteur FM a été choisie: celle du *récepteur à mélange complexe de fréquences*. L'avantage de cette solution est le peu de traitement appliqué sur le signal en haute-fréquence. Cette structure a été entièrement intégrée sur Silicium, depuis l'entrée adaptée antenne jusqu'à la sortie

multiplex du discriminateur de fréquences. Les seuls éléments externes nécessaires au fonctionnement de la puce sont une antenne accordée sur la bande de réception FM commerciale et un quartz à 38 kHz. La puce a été réalisée de manière pratique et fonctionne avec des tensions jusqu'à 2.5 V en consommant 10 mA. Le circuit est fonctionnel à 100%, mais ne remplit pas complètement une partie des contraintes lui étant imposées initialement.

Le récepteur à mélange complexe de fréquences est aussi un circuit double hétérodyne. Ce circuit se distingue premièrement par le choix atypique des Fréquences Intermédiaires. Le signal radio-fréquence est d'abord translaté vers une première Fréquence Intermédiaire basse (152 kHz) par le biais du mélange avec deux signaux en quadrature issus d'un premier Oscillateur Local. La voie de transmission du signal sera ainsi dédoublée à la 1^{ère} FI. Après le passage par la première paire de mélangeurs, le signal sur les deux voies en quadrature est filtré pour éliminer la deuxième fréquence image.

Le signal est ensuite passé par une deuxième paire de mélangeurs, qui le ramène vers la deuxième Fréquence Intermédiaire (988 kHz) et les deux voies I et Q sont recombinaées. La sommation des deux voies I et Q assure la réjection de la première fréquence image du système et permet ainsi l'élimination du filtrage haute-fréquence. Un système de réglage du gain et du déphasage entre les deux voies I et Q est prévu au niveau des deux filtres passe-bas de la 1^{ère} FI. Une atténuation minimale de 30 dB pour la première fréquence image a pu être obtenue avec cette structure.

A la 2^e FI, le signal passe par un filtre passe-bande très raide de sélection du canal désiré et ensuite est discriminé. La puce est munie d'un système de contrôle automatique du gain. De plus, une programmation numérique permet de sélectionner la fréquence d'accord désirée dans la bande FM commerciale.

Dans ce mémoire, la faisabilité d'un récepteur RF utilisant le principe de la structure à mélange complexe de fréquences a été prouvée pour un circuit adapté à la réception de signaux FM dans la bande autour de 100 MHz. Très récemment, ce même principe est utilisé pour la réception de signaux selon les standards GSM, qui fonctionnent autour de 800 MHz.

Nous pouvons conclure que l'obtention de récepteurs FM complètement intégrés dans des technologies Silicium est faisable. Ces circuits fonctionnent avec un nombre minimal de composantes externes et ils sont adaptés à la réception de signaux numériques émis selon la norme RDS.

Bibliographie

Chapitre 1

- [1.1.1] R. S. Carson, *Radio communications concepts: analog*, John Wiley & Sons, 1990
- [1.2.1] N. Marinescu, *Radioreceptoare cu circuite integrate*, Editura Tehnica, Bucarest, 1985
- [1.2.2] Murata Manufacturing Co., Ltd., "SAF130.000MC10X Series, IF SAW Filters for PDC Phones", Novembre 1996
- [1.2.3] J.M. Fournier, P.Senn, "2 GHz RF Circuits in BiCMOS Process", in Proceedings of the Workshop on *Advances in Analog Circuit Design*, April 1996, Lausanne
- [1.2.4] Philips Semiconductors RF Communications Products, "SA620, Low voltage LNA, mixer and VCO - 1 GHz", Décembre 1993
- [1.2.5] Mixed Silicon Structures, "Specification of the integrated circuit IR018 FM Receiver", Juin 1996

Chapitre 2

- [2.1.1] *Recommandations UIT-R*, Service de Radiodiffusion Sonore, Volume 1994 Série BS
- [2.1.2] Norme Européenne, *Spécifications du système de radiodiffusion de données (RDS)*, Décembre 1990
- [2.1.3] G. Hamon, J-M Baer, *Récepteurs radioélectriques. Caractéristiques et conception*, Techniques de l'Ingénieur, traité Electronique, 9-1990
- [2.1.4] A. Nitescu-Henry, F. Op't Eynde, "Fully-Integrated FM Radio Receiver Topology - A Tutorial Overview", Proceedings of the *ELTH'96 Symposium*, Bucarest, Décembre 1996
- [2.1.5] Murata Manufacturing Co., Ltd., "LDA36 Series, Surface Mount Chip Monolithic Antennas", Mars 1997
- [2.1.6] R. S. Carson, *Radio communications concepts: analog*, John Wiley & Sons, 1990
- [2.1.7] M. Steyaert, et al., "RF CMOS: Some Untold Pitfalls", Proceedings of the Workshop on *Advances in Analog Circuit Design*, Lausanne, Avril 1996
- [2.1.8] H. Taub, D.L. Schilling, *Principles of Communication Systems*, McGraw-Hill, 1991

- [2.2.1] B.-S. Song, P.R. Gray, "Switched-Capacitor High-Q Bandpass Filters for IF Applications", *IEEE Journal of Solid-State Circuits*, Décembre 1986
- [2.2.2] C.-F. Chiou, R. Schaumann, "Design and Performance of a Fully Integrated Bipolar 10.7-MHz Analog Bandpass Filter", *IEEE Journal of Solid-State Circuits*, Février 1986
- [2.2.3] R.B. Merrill, et al., "Optimisation of High Q Integrated Inductors for Multi-Level Metal CMOS", Proceedings of the *IEDM 95*, pp. 983
- [2.2.4] B.-K. Kim, et al., "Monolithic Planar RF Inductor and Waveguide Structures on Silicon with Performance Comparable to those in GaAs MMIC", Proceedings of the *IEDM 95*, pp. 717
- [2.2.5] J.N. Burghartz, et al., "High-Q Inductors in Standard Silicon Interconnect Technology and its Application to an Integrated RF Power Amplifier", Proceedings of the *IEDM 95*, pp.1015
- [2.2.6] J.R. Long, M.A. Copeland, "The Modeling, Characterization, and Design of Monolithic Inductors for Silicon RF IC's", *IEEE Journal of Solid-State Circuits*, Mars 1997
- [2.2.7] A.M. Niknejad, R.G. Meyer, "Analysis and Optimisation of Monolithic Inductors and Transformers for RF ICs", Proceedings of the *IEEE 1997 Custom Integrated Circuits Conference*

- [2.2.8] A. Rofourgan, *et al.*, "A 1GHz CMOS RF Front-End IC with Wide Dynamic Range", Proceedings of the *ESSCIRC'95*, Lille
- [2.2.9] J. Macedo, *et al.*, "A 2.5GHz Monolithic Silicon Image Reject Filter", Proceedings of the *IEEE 1996 Custom Integrated Circuits Conference*
- [2.9.10] J. Macedo, *et al.*, "A 1.9GHz Silicon Receiver with On-chip Image Filtering", Proceedings of the *IEEE 1997 Custom Integrated Circuits Conference*
- [2.2.11] W.B. Kuhn, *et al.*, "A 200 MHz CMOS Q-Enhanced LC Bandpass Filter", *IEEE Journal of Solid-State Circuits*, Août 1996

- [2.3.1] H. Taub, D.L. Schilling, *Principles of Communication Systems*, McGraw-Hill, 1991
- [2.3.2] Philips Semiconductors Data Sheet, "TDA7000 FM radio circuit", Mai 1992

- [2.4.1] A. Nutescu-Henry, F. Op't Eynde, "Fully-Integrated FM Radio Receiver Topology - A Tutorial Overview", Proceedings of the *ELTH'96 Symposium*, Bucarest, Décembre 1996
- [2.4.2] R. S. Carson, *Radio communications concepts: analog*, John Wiley & Sons, 1990
- [2.4.3] L.E. Frenzel, *Communication electronics*, Glencoe Macmillan/McGraw-Hill, 1994
- [2.4.4] A.M. Murphy, *et al.*, "A Low-Power, Low-Cost Bipolar GPS Receiver Chip", *IEEE Journal of Solid-State Circuits*, Avril 1997

- [2.5.1] M. Steyaert, *et al.*, "RF CMOS: Some Untold Pitfalls", Proceedings of the Workshop on *Advances in Analog Circuit Design*, Lausanne, Avril 1996
- [2.5.2] A.A. Abidi, "Direct-Conversion Radio Transceivers for Digital Communications", *IEEE Journal of Solid-State Circuits*, Décembre 1995
- [2.5.3] A. Nutescu-Henry, F. Op't Eynde, "Fully-Integrated FM Radio Receiver Topology - A Tutorial Overview", Proceedings of the *ELTH'96 Symposium*, Bucarest, Décembre 1996
- [2.5.4] H. Taub, D.L. Schilling, *Principles of Communication Systems*, McGraw-Hill, 1991

- [2.6.1] J.M. Fournier, P. Senn, "2 GHz RF Circuits in BiCMOS Process", in Proceedings of the Workshop on *Advances in Analog Circuit Design*, April 1996, Lausanne
- [2.6.2] D.K. Weaver, "A Third Method of Generation and Detection of Single-Sideband Signals", *Proceedings IRE*, Vol.44, pp.1703-1705, Décembre 1956
- [2.6.3] M. Steyaert, R. Roovers, "A 1 GHz Single Chip Quadrature Modulator", *IEEE Journal of Solid-State Circuits*, Août 1992
- [2.6.4] M.D. McDonald, "A 2.5 GHz BiCMOS Image Reject Front End", *ISSCC 93*, PAPER TP94, pp. 144-145
- [2.6.5] A. Nutescu-Henry, F. Op't Eynde, "Fully-Integrated FM Radio Receiver Topology - A Tutorial Overview", Proceedings of the *ELTH'96 Symposium*, Bucarest, Décembre 1996
- [2.6.6] M. Banu, *et al.*, "A BiCMOS Double-Low-IF Receiver for GSM", Proceedings of the *IEEE 1997 Custom Integrated Circuits Conference*

Chapitre 3

- [3.1.1] Mixed Silicon Structures, "Specification of the integrated circuit IR018 FM Receiver", Septembre 1995, ver 1.2
- [3.2.1] TDF, Notice d'utilisation du récepteur de radio-messagerie "Opérateur", 1992
- [3.2.2] Cégétel, Notice d'utilisation du récepteur de radio-messagerie "Tam-Tam", 1996
- [3.2.3] H. Taub, D.L. Schilling, *Principles of Communication Systems*, McGraw-Hill, 1986
- [3.2.4] R.S.Carson, *Radio Communications Concepts: Analog*, John Wiley & Sons, 1990

- [3.3.1] A.A. Abidi, *et al.*, "A Monolithic 900 MHz Spread-Spectrum Wireless Transceiver in 1- μ m CMOS", in *Analog Circuits Design*, edited by W. Sansen et al., Kluwer Academic Publishers, 1996
- [3.3.2] L; Crols, M. Steyaert, *CMOS Wireless Transceiver Design*, Kluwer Academic Publishers, 1997
- [3.3.3] M.S. Ghauri, K.R. Laker, *Modern Filter Design*, Prentice Hall, 1981
- [3.3.4] R.L. Geiger, E. Sánchez-Sinécio, "Active Filter Design Using Operational Transconductance Amplifiers: A Tutorial", *IEEE Circuits and Devices Magazine*, Mars 1985
- [3.4.1] B. Nauta, *Analog CMOS Filters for Very High Frequencies*, Kluwer Academic Publishers, 1993
- [3.4.2] R. Moughabghab, *Conception de filtres continus GaAs haute précision, faible consommation*, Thèse de Doctorat présentée à l'USTL, Villeneuve d'Ascq, Février 1997
- [3.4.3] K.R. Laker, W.M.C. Sansen, *Design of Analog Integrated Circuits and Systems*, McGraw-Hill, 1994
- [3.4.4] Austria Mikro Systeme International, "0.8 μ m CMOS Design Rules"
- [3.4.5] D. Collard, *Dispositifs et technologies*, cours Electronique ISEN4, Avril 1987
- [3.4.6] A. Kaiser, *Devices in CMOS*, cours Electronique ISEN5, Avril 1987
- [3.4.7] E.A. Vittoz, "Micropower Techniques", in *Design of VLSI Circuits for Telecommunication and Signal Processing*, Editors J.E. Franca and Y.P. Tsividis, Prentice Hall, 1993
- [3.4.8] V. Gopinathan, et al., "Design Considerations for High-Frequency Continuous-Time Filters and Implementation of an Antialiasing Filter for Digital Video", *IEEE Journal of Solid-State Circuits*, Décembre 1990
- [3.4.9] A. Kaiser, "A micropower CMOS Continuous-Time Low-Pass Filter", *IEEE Journal of Solid-State Circuits*, Juin 1989
- [3.4.10] Mixed Silicon Structures, "Projet « Récepteur FM » ", documentation technique, 1995
- [3.4.11] A. Nitescu-Henry, "Compte-rendu de mesures, Récepteur FM, 1^{ère} campagne", Mixed Silicon Structures, Mixed Silicon Structures, Mars 1996
- [3.4.12] A. Nitescu-Henry, "Compte-rendu de mesures, Récepteur FM, 2^e campagne", Mixed Silicon Structures, Avril 1996
- [3.4.13] Cadence Release 9404, "Openbook Manual", Extracting Parasitics, Septembre 1994
- [3.5.1] B. Stefanelli, *Méthode d'optimisation des filtres continus CMOS*, Thèse de Doctorat présentée à l'USTL, Villeneuve d'Ascq, Mai 1992
- [3.5.2] H. Khorrabadi, P.R. Gray, "High-Frequency CMOS Continuous-Time Filters", *IEEE Journal of Solid-State Circuits*, Décembre 1984
- [3.5.3] C.F. Chiou, R. Schaumann, "Design and Performance of a fully Integrated Bipolar 10.7 MHz Analog Bandpass Filter", *IEEE Transactions on circuits and Systems*, Février 1986

Chapitre 4

- [4.1.1] R. Hartley, "Modulation Systems", U.S. Patent 1,666,206, Avril 1928
- [4.1.2] D.K. Weaver, "A Third Method of Generation and Detection of single-Sideband Signals", *Proceedings IRE*, Vol.44, pp.1703-1705, Décembre 1956
- [4.1.3] Mixed Silicon Structures, "Specification of the integrated circuit IR018 FM Receiver", Juin 1996

- [4.3.1] R.E. Best, *Phase-Locked Loops*, McGraw-Hill, 1984
- [4.3.2] F. Krummenacher, N. Joehl, "A 4 MHz CMOS Continuous-Time filter with On-Chip Automatic Tuning", *IEEE Journal of Solid-State Circuits*, Juin 1988
- [4.3.3] A.I. Zverev, *Handbook of Filter Synthesis*, John Wiley & Sons, 1967
- [4.3.4] B. Stefanelli, *Méthode d'optimisation des filtres continus CMOS*, Thèse de Doctorat présentée à l'USTL, Villeneuve d'Ascq, Mai 1992
- [4.3.5] A.S. Sedra, P.O. Brackett, *Filter Theory and Design : Active and Passive*, Matrix Publishers, Inc., 1978
- [4.3.6] FILSYN Reference Manuel, DGS Associates, 1992
- [4.3.7] _____, Brevet Européen no. 94 2856, Mixed Silicon Structures
- [4.3.8] A. Nutescu-Henry *et al.*, "A Fully-Integrated FM Discriminator for RDS Applications", *Proceedings of the ESSCIRC'97*, pp. 92
- [4.3.9] L.W. Couch II, *Digital and Analog Communication Systems*, Prentice-Hall, Inc., 1997

- [4.4.1] A. Nutescu-Henry, "Compte-rendu de mesures, Récepteur FM (ver.2); 1^{ère} campagne", Mixed Silicon Structures, Février 1997
- [4.4.2] A. Nutescu-Henry, "Compte-rendu de mesures, Récepteur FM (ver.2); 2^e campagne", Mixed Silicon Structures, Mars 1997
- [4.4.3] A. Nutescu-Henry, "Compte-rendu de mesures, Récepteur FM (ver.2); 3^e campagne", Mixed Silicon Structures, Octobre 1997
- [4.4.4] Générateur de tension DC Hewlett Packard HP 3610A
- [4.4.5] Oscilloscope numérique TEKTRONIX TDS 640A, 500 MHz, 2 GS/s
- [4.4.6] Analyseur de signaux dynamique Hewlett Packard HP35670A
- [4.4.7] Analyseur de spectre / réseau Hewlett Packard HP4195A
- [4.4.8] Générateur de fonctions / signaux arbitraires 15 MHz Hewlett Packard HP33120A
- [4.4.9] Générateur de signaux Hewlett Packard HP8648A
- [4.4.10] B.G. Goldberg, "Reviewing Various Techniques for Synthesizing Signals", *Microwaves & RF*, pp.181-185, Mai 1996
- [4.4.11] A.I. Zverev, *Handbook of Filter Synthesis*, John Wiley & Sons, 1967
- [4.4.12] P.E. Allen, D.R. Holberg, *CMOS Analog Circuit Design*, Holt, Rinehart and Winston, Inc., 1987
- [4.4.13] R.E. Best, *Phase-Locked Loops*, McGraw-Hill, 1984

ANNEXES

ANNEXE A.2.6.1.

Analyse mathématique du récepteur à mélange complexe de fréquences

Le comportement du récepteur FM à mélange complexe de fréquences peut être décrit par le bloc d'équations suivantes.

Dans cette annexe, les symboles suivants sont utilisés:

$\omega_c = 2\pi \cdot f_c$ = la fréquence angulaire (pulsation) de la porteuse;

IF_1 = la première fréquence intermédiaire;

IF_2 = la deuxième fréquence intermédiaire;

$\Phi(t)$ = le signal modulant de bande de base (audio + RDS);

A = l'amplitude du signal d'entrée RF;

B = l'amplitude du signal issu du premier OL;

C = l'amplitude du signal issu du deuxième OL.

Les noms des signaux sont ceux indiqués dans la figure 2.6.2.

Soit un signal modulé FM :

$$V_{RF} = A \cdot \cos(\omega_c \cdot t + \Phi(t)) \quad (A.2.6.1)$$

Les deux Oscillateurs Locaux peuvent être décrits par :

$$V_{lo1} = B \cdot \cos(2 \cdot \pi \cdot (f_c - IF_1) \cdot t) \quad (A.2.6.2.1)$$

$$V_{lo1Q} = B \cdot \sin(2 \cdot \pi \cdot (f_c - IF_1) \cdot t) \quad (A.2.6.2.2)$$

$$V_{lo2} = C \cdot \cos(2 \cdot \pi \cdot (IF_1 + IF_2) \cdot t) \quad (A.2.6.3.1)$$

$$V_{lo2Q} = C \cdot \sin(2 \cdot \pi \cdot (IF_1 + IF_2) \cdot t) \quad (A.2.6.3.2)$$

Les signaux issus du premier bloc de mélangeurs seront le produit des termes (A.1) et (A.2):

$$V_1 = V_{RF} \cdot V_{lo1} = \frac{A \cdot B}{2} \cdot \left(\cos(2 \cdot \pi \cdot IF_1 \cdot t + \Phi(t)) + \cos(2 \cdot \pi \cdot (2 \cdot f_c - IF_1) \cdot t + \Phi(t)) \right) \quad (A.2.6.4.1)$$

$$V_{1Q} = V_{RF} \cdot V_{lo1Q} = \frac{A \cdot B}{2} \cdot \left(-\sin(2 \cdot \pi \cdot IF_1 \cdot t + \Phi(t)) + \sin(2 \cdot \pi \cdot (2 \cdot f_c - IF_1) \cdot t + \Phi(t)) \right) \quad (A.2.6.4.2)$$

Les termes haute-fréquence de ces deux dernières expressions sont passés par des filtres passe-bas, donc ils sont éliminés. Par la suite, ils ne seront plus pris en considération dans les calculs.

$$V_2 = V_{1f} \cdot V_{lo2} = \frac{A \cdot B \cdot C}{4} \cdot \left(\cos(2 \cdot \pi \cdot IF_2 \cdot t - \Phi(t)) + \cos(2 \cdot \pi \cdot (2 \cdot IF_1 + IF_2) \cdot t + \Phi(t)) \right) \quad (A.2.6.5.1)$$

$$V_{2Q} = V_{1Q} \cdot V_{lo2Q} = \frac{A \cdot B \cdot C}{4} \cdot \left(-\cos(2 \cdot \pi \cdot IF_2 \cdot t - \Phi(t)) + \cos(2 \cdot \pi \cdot (2 \cdot IF_1 + IF_2) \cdot t + \Phi(t)) \right) \quad (A.2.6.5.2)$$

et donc:

$$V_{if2} = V_2 - V_{2Q} = \frac{A \cdot B \cdot C}{2} \cdot (\cos(2 \cdot \pi \cdot IF_2 \cdot t - \Phi(t))) \quad (\text{A.2.6.6})$$

La structure entière du radio-récepteur peut être étudiée à l'aide de descriptions MATLAB.

Ce type de récepteur à mélange complexe de fréquences présente plusieurs *fréquences image*.

$$\text{- Associée au premier Oscillateur Local} \Rightarrow f_{im1} = f_c - 2 \cdot IF_1 \quad (\text{A.2.6.7})$$

La contribution de ce signal est éliminée par l'opérateur différence. Cependant, après le second mélange de fréquences, un autre signal parasite est généré, à la fréquence $IF_2 + 2IF_1$. Le filtre passe-bande de sélection du canal atténue par la suite ce signal.

$$\text{- Associée au second Oscillateur Local} \Rightarrow f_{im2} = f_c + 2 \cdot IF_2 \quad (\text{A.2.6.8})$$

et aussi

$$\Rightarrow f_{im3} = f_c - 2 \cdot IF_2 - 2 \cdot IF_1 \quad (\text{A.2.6.9})$$

La contribution de ces signaux est fortement atténuée par les filtres passe-bas. Le terme présenté dans (A.2.6.9) peut être également considéré comme fréquence image pour le premier Oscillateur Local. Après être atténuée par les filtres passe-bas, sa contribution est éliminée par l'opérateur différence.

Autres deux termes fréquentiels sont dangereux pour le système de réception. En effet, après passage par les deux mélangeurs, la contribution de ces termes donne des raies spectrales très proches du signal utile; de plus, ces signaux peuvent avoir des amplitudes assez importantes. Dû au proche voisinage avec le signal utile, ces signaux peuvent être nommés *fréquences image secondaires*.

$$\Rightarrow f_{im_sec1} = f_c + 2 \cdot IF_2 - 2 \cdot IF_1 \quad (\text{A.2.6.10})$$

Après le deuxième bloc de mélangeurs, ce terme parasite apporte une contribution à la fréquence $IF_2 - 2IF_1$. Cette contribution sera en partie éliminée par le filtre passe-bande de sélection du canal.

$$\Rightarrow f_{im_sec2} = f_c + 2 \cdot IF_2 + 2 \cdot IF_1 \quad (\text{A.2.6.11})$$

Cette fréquence parasite a le même style de contribution que la précédente. Après le deuxième bloc de mélangeurs, le terme parasite se situe à $IF_2 + 2IF_1$.

ANNEXE A.2.6.2

Résultats des simulations MATLAB pour le récepteur FM à mélange complexe de fréquences

Cette partie présente différentes courbes obtenues avec des simulations MATLAB, illustrant le comportement du récepteur FM à mélange complexe de fréquences, sous les conditions suivantes:

- A. Un signal désiré FM seul;
- B. Un signal désiré FM + un signal parasite correspondant à la première fréquence image $f_{im1} = f_c - 2FI_1$;
- C. Un signal désiré FM + un signal parasite correspondant à la seconde fréquence image $f_{im1} = f_c + 2FI_2$.

Le système est décrit sous une forme de temps discret. La fréquence d'échantillonnage du système est $F_s = 512\text{MHz}$ et donc l'incrément de temps (le pas de temps) est $\Delta t = 1 / F_s = 1.95\text{ns}$. Les simulations sont réalisées sur 131072 périodes.

Le circuit est modélisé comme suit:

- l'amplificateur à faible bruit (LNA) n'est pas décrit;
- les mélangeurs sont des simples opérateurs de multiplication;
- les filtres sont décrits dans le domaine Z;
- un discriminateur à quadrature est utilisé pour cette modélisation.

Le choix du type de discriminateur est un compromis entre la vitesse de calcul et la précision obtenue. Le discriminateur à quadrature permet un temps UCP de calcul réduit, mais en contrepartie présente un degré limité de précision. Le pas de calcul en fréquence (ou alors la précision fréquentielle) est donné par le rapport entre la valeur de la fréquence d'échantillonnage et le nombre de points de calcul.

$$\Delta f = \frac{F_s}{N} = \frac{512e6}{131072} = 3.9\text{kHz}$$

Pour une meilleure précision du rapport signal à bruit à la sortie MPX du récepteur, un discriminateur à comptage peut être utilisé. Dans ce cas, le temps de calcul est multiplié par au moins un facteur 100, par rapport au temps de calcul nécessaire pour un discriminateur à quadrature (c. à. d. passer de quelques minutes à quelques heures de temps ce calcul UCP).

A. Le signal désiré FM seul

Le signal d'entrée a les caractéristiques suivantes:

$$v_{rf}(t) = A \cdot \cos(\omega_c \cdot t + \Phi(t)) \quad \rightarrow \text{un signal modulé FM}$$

Caractéristiques de la porteuse:

$F_c = 100\text{MHz}$ (Rem. Le théorème d'échantillonnage de Shannon est respecté).

$A_c = 1$ (amplitude unitaire).

Caractéristiques du signal modulant:

- un seul signal sinusoïdal avec:

$$f_m = 20\text{kHz};$$

$$\Delta f = 75\text{kHz}.$$

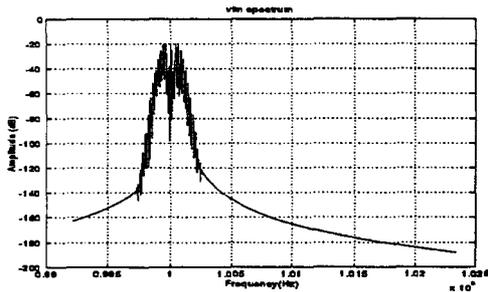


Figure A.1. Le spectre du signal d'entrée

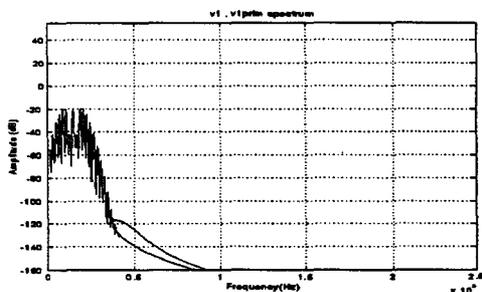


Figure A.2. Le spectre du signal avant et après le filtrage passe-bas.

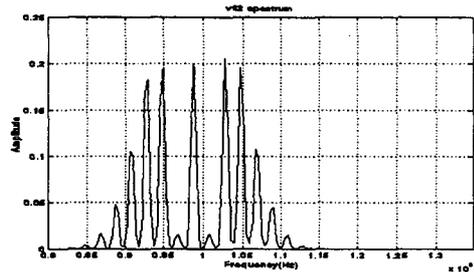


Figure A.3. Le spectre du signal avant et après le filtre passe-bande à FI2

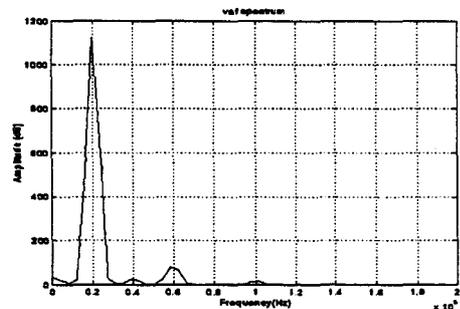


Figure A.4. Le spectre de la sortie MPX

B. Le signal désiré FM + un signal parasite correspondant à la première fréquence image
 $f_{im1} = f_c - 2FI_1$

Le signal d'entrée a les caractéristiques suivantes:

$$v_{rf}(t) = A \cdot \cos(\omega_c \cdot t + \Phi(t)) + A_{par} \cdot \cos(\omega_{par} \cdot t + \Phi_{par}(t)) \quad \rightarrow \text{une somme de signaux modulés FM}$$

Caractéristique du signal désiré:

- Caractéristiques de la porteuse:
 $F_c = 100\text{MHz}$
 $A_c = 1$ (amplitude unitaire).
- Caractéristiques du signal modulant:
 - un seul signal sinusoïdal avec:
 $f_m = 20\text{kHz}$;
 $\Delta f = 75\text{kHz}$.

Caractéristique du signal parasite:

- Caractéristiques de la porteuse:
 $F_{par} = F_c - 2FI_1 = 99.7\text{MHz}$
 $A_{par} = A_c + 30\text{dB} = 31.6$
- Caractéristiques du signal modulant:
 - un seul signal sinusoïdal avec:
 $f_{m_par} = 1\text{kHz}$;
 $\Delta f_{par} = 32\text{kHz}$.

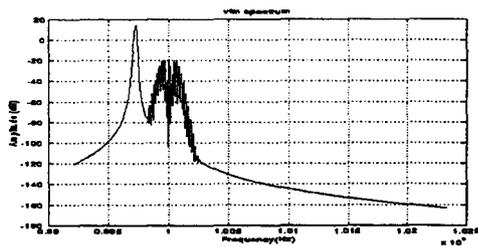


Figure B.1. Le spectre du signal désiré + le signal parasite

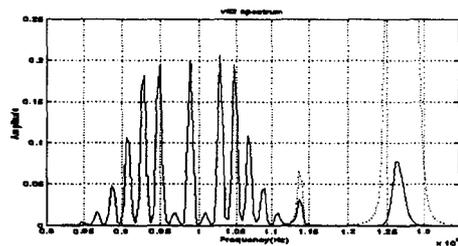


Figure B.3. Le spectre du signal avant et après le filtre passe-bande à FI2

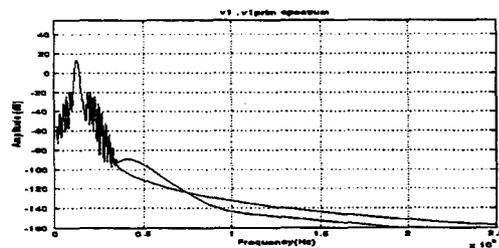


Figure B.2. Le spectre du signal avant et après filtrage passe-bas

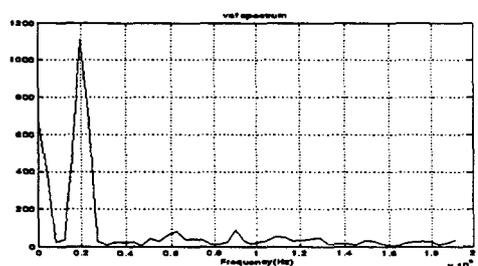


Figure B.4. Le spectre de la sortie MPX

C. Le signal désiré FM + un signal parasite correspondant à la seconde fréquence image
 $f_{im2} = f_c + 2FI_2$

Le signal d'entrée a les caractéristiques suivantes:

$$v_{rf}(t) = A \cdot \cos(\omega_c \cdot t + \Phi(t)) + A_{par} \cdot \cos(\omega_{par} \cdot t + \Phi_{par}(t)) \quad \rightarrow \text{une somme de signaux modulés FM}$$

Caractéristique du signal désiré:

- Caractéristiques de la porteuse:
 $F_c = 100\text{MHz}$
 $A_c = 1$ (amplitude unitaire).
- Caractéristiques du signal modulant:
 - un seul signal sinusoïdal avec:
 $f_m = 20\text{kHz}$;
 $\Delta f = 75\text{kHz}$.

Caractéristique du signal parasite:

- Caractéristiques de la porteuse:
 $F_{par} = F_c + 2FI_2 = 101.99\text{MHz}$
 $A_{par} = A_c + 70\text{dB} = 3.16e3$
- Caractéristiques du signal modulant:
 - un seul signal sinusoïdal avec:
 $f_{m_par} = 1\text{kHz}$;
 $\Delta f_{par} = 32\text{kHz}$.

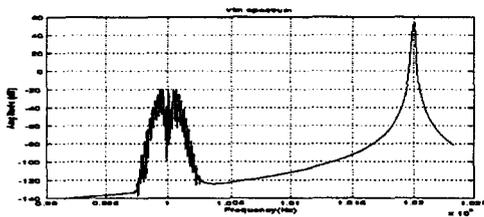


Figure C.1. Le spectre du signal désiré+ la 2^e fréquence image F_{image2}

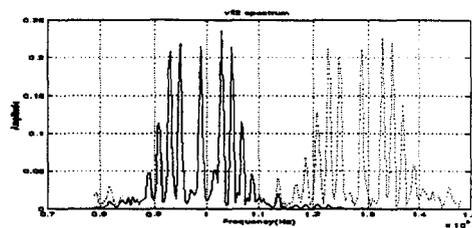


Figure C.3. Le spectre du signal avant et après le filtre passe-bande à FI_2

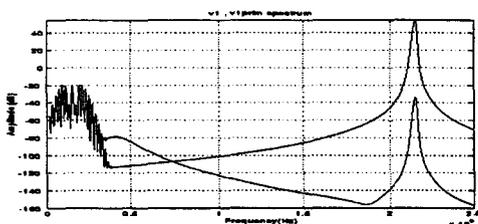


Figure C.2. Le spectre du signal avant et après filtrage passe-bas

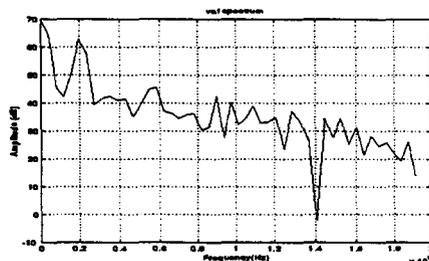


Figure C.4. Le spectre de la sortie MPX

ANNEXE A.3.4.4

Choix des dimensions pour les transconductances du filtre HF de réjection d'image (1ère version)

Dimensionnement pour G_{m23}

Il s'agit de l'intégrateur qui a une fréquence de coupure de 100 MHz, étant chargé sous 1 pF. La valeur de la transconductance équivalente est donc:

$$G_{m23} = 2 \cdot \pi \cdot C_{\text{int}} \cdot 100\text{MHz} = 628.3\mu\text{A} / \text{V} \quad (\text{A.3.4.1})$$

En tenant compte de (3.4.20), (3.4.29) et de (A.3.4.1), on obtient la valeur de la transconductance de chaque transistor bipolaire de la paire différentielle:

$$g_m = 3.76\text{mA} / \text{V} \quad (\text{A.3.4.2})$$

Sachant que, pour un transistor bipolaire, le courant de collecteur est donné par:

$$I_c = \frac{kT}{q} \cdot g_m = \frac{1}{40} \cdot g_m \quad (\text{A.3.4.3})$$

on obtient que la valeur du courant de collecteur des transistors bipolaires de la paire différentielle est:

$$I_c \approx 100\mu\text{A} \quad (\text{A.3.4.4})$$

La valeur du courant de commande est donc:

$$I_{\text{commande}} = 10\mu\text{A} \quad (\text{A.3.4.5})$$

A partir des équations (3.4.29) et (A.3.4.2), on obtient également la valeur de chaque « résistance » de dégénérescence parallèle:

$$r = 5.3\text{k}\Omega \Rightarrow g_{ds}|_{Mres} = 188.7\mu\text{A} / \text{V} \quad (\text{A.3.4.6})$$

Toutes les valeurs données dans les expressions (A.3.4.2) à (A.3.4.6) sont évidemment des valeurs théoriques. Le tableau présenté dans ce qui suit indique les valeurs réelles des différents transistors du noyau de la transconductance G_{m23} . La figure A.3.4.1 rappelle le schéma transistor.

Dimensionnement pour G_{m1}

Il s'agit de l'intégrateur qui a une fréquence de coupure de 50 MHz, étant chargé sous 1 pF. La valeur de la transconductance équivalente est donc:

$$G_{m1} = 2 \cdot \pi \cdot C_{\text{int}} \cdot 50\text{MHz} = 314.15 \mu\text{A} / \text{V} \quad (\text{A.3.4.7})$$

Comme cette transconductance présente une valeur égale à 1/2 de celle de la transconductance G_{m23} , son dimensionnement se réalise en divisant par deux les tailles équivalentes des transistors et donc des courants. Le tableau suivant présente ces valeurs:

Transistor	Taille	Caractéristiques
Bipolaire paire diff: Q_1, Q_2	$m = 1$	$I_C = 48 \mu\text{A}$ $g_m = 1.78 \text{ mA/V}$ $f_t = 5.3 \text{ GHz}$
NMOS « résistance »: $M_{\text{res1}}, M_{\text{res2}}$	6.4 / 1.4 $m = 1$	$g_{ds} = 81.51 \mu\text{A/V}$ $V_{GS} - V_T = 164 \text{ mV}$
NMOS « diode »: M_{d1}, M_{d2}	4 / 1.4 $m = 1$	$I_D = 4 \mu\text{A}$ $V_{GS} - V_T = 164 \text{ mV}$ $f_t = 840 \text{ MHz}$
NMOS polar: $M_{\text{pol1}}, M_{\text{pol2}}$	176 / 5 $m = 1$	$I_D = 52.5 \mu\text{A}$
PMOS polar: $M_{\text{comm1}}, M_{\text{comm2}}$	30 / 3 $m = 1$	$I_D = 4 \mu\text{A}$

table A.3.4.2 Les caractéristiques des transistors formant le cœur de la transconductance G_{m1}

Comme il a été mentionné au début du chapitre 3.4.3, la transconductance g_{m2} est implémentée comme une somme de deux transconductances G_{m1} (0.5). Pour réaliser un bon matching entre g_{m1} ($= G_{m1}$), g_{m2} ($= 2 \cdot G_{m1}$) et g_{m3} ($= G_{m23}$), on observe que la taille des transistors MOS ne varie pas simplement du simple au double en changeant la longueur de la grille, mais en utilisant un ou deux transistors en parallèle. Ce type d'action facilite également le layout du filtre.

Il est évident que la produit $g_m \cdot R_u$ garde exactement la même valeur que pour G_{m23} .

Dimensionnement pour G_{m4}

Il s'agit de l'intégrateur qui a une fréquence de coupure de 20 MHz, étant chargé sous 1 pF. La valeur de la transconductance équivalente est donc:

$$G_{m4} = 2 \cdot \pi \cdot C_{\text{int}} \cdot 20\text{MHz} = 125.66 \mu\text{A} / \text{V} \quad (\text{A.3.4.8})$$

Comme cette transconductance présente une valeur égale à 1/5 de celle de la transconductance G_{m23} , son dimensionnement se réalise en divisant par cinq les tailles équivalentes des transistors et donc des courants. Le tableau suivant présente ces valeurs:

Transistor	Taille	Caractéristiques
Bipolaire paire diff: Q_1, Q_2	$m = 1$	$I_C = 19.6 \mu A$ $g_m = 742.7 \mu A/V$ $f_t = 3.22 \text{ GHz}$
NMOS « résistance »: M_{res1}, M_{res2}	6.4 / 2 $m = 1$	$g_{ds} = 32.32 \mu A/V$ $V_{GS} - V_T = 100 \text{ mV}$
NMOS « diode »: M_{d1}, M_{d2}	6.4 / 2 $m = 1$	$I_D = 1.65 \mu A$ $V_{GS} - V_T = 100 \text{ mV}$ $f_t = 250 \text{ MHz}$
NMOS polar: M_{pol1}, M_{pol2}	72.5 / 5 $m = 1$	$I_D = 21.5 \mu A$
PMOS polar: M_{comm1}, M_{comm2}	13 / 3 $m = 1$	$I_D = 1.65 \mu A$

table A.3.4.3 Les caractéristiques des transistors formant le cœur de la transconductance G_{m4}

Le produit $g_m \cdot R_u$ présente dans ce cas une valeur de 5.74, tandis que la valeur de la transconductance équivalente de la cellule est 110.15 μA .

Dimensionnement pour G_{m5}

Il s'agit de l'intégrateur qui a une fréquence de coupure de 20 MHz, étant chargé sous 1 pF. La valeur de la transconductance équivalente est donc:

$$G_{m5} = 2 \cdot \pi \cdot C_{int} \cdot 7.3 \text{ MHz} = 45.86 \mu A / V \quad (\text{A.3.4.9})$$

Comme cette transconductance présente une valeur égale à 1/13.7 de celle de la transconductance G_{m23} , son dimensionnement se réalise en divisant par environ 14 les tailles équivalentes des transistors et donc des courants. Le tableau suivant présente ces valeurs:

Transistor	Taille	Caractéristiques
Bipolaire paire diff: Q_1, Q_2	$m = 1$	$I_C = 7.62 \mu A$ $g_m = 291.2 \mu A/V$ $f_t = 1.58 \text{ GHz}$
NMOS « résistance »: M_{res1}, M_{res2}	$6.4 / 2$ $m = 1$	$g_{ds} = 11.96 \mu A/V$ $V_{GS} - V_T = 236 \text{ mV}$
NMOS « diode »: M_{d1}, M_{d2}	$6.4 / 2$ $m = 1$	$I_D = 0.53 \mu A$ $V_{GS} - V_T = 236 \text{ mV}$ $f_t = 92.12 \text{ MHz}$
NMOS polar: M_{pol1}, M_{pol2}	$72.5 / 5$ $m = 1$	$I_D = 8.22 \mu A$
PMOS polar: M_{comm1}, M_{comm2}	$13 / 3$ $m = 1$	$I_D = 0.53 \mu A$

table A.3.4.4 Les caractéristiques des transistors formant le cœur de la transconductance G_{m4}

Le produit $g_m \cdot R_u$ présente dans ce cas une valeur de 6.08, tandis que la valeur de la transconductance équivalente de la cellule est $41.08 \mu A$.

Les faibles valeurs des courants dans ce cas impliquent des performances réduites pour les transistors MOS notamment.

ANNEXE A.3.4.4.d

Autres résultats de simulations concernant le filtre HF de réjection d'image (1ère version)

2. Simulations AC concernant les « caractéristiques parasites » des transconductances

Le tableau suivant donne, pour les mêmes cas de figure étudiés auparavant, la valeur du second pôle et le gain DC pour toutes les transconductances.

Cas de figure	2nd pôle (GHz)	gain DC (dB)
A.typ	1.047	33.7
D.wcp	1.1	29.03
G.wcs	0.955	35

Remarque: Les cas de figure mentionnés ici sont ceux décrits dans le tableau 3.4.9.

table A.3.4.5 Les caractéristiques parasites des transconductances du filtre

Ces résultats doivent être comparés avec ceux issus des simulations comportementales (voir table 3.4.4). On remarque que le second pôle des structures prend des valeurs dans les limites imposées par l'étude comportementale, alors que la gain DC est légèrement inférieur à celui prédit auparavant.

3. Simulations pour l'intermodulation d'ordre 3 (IM₃)

Des simulations transitoires pour établir le taux d'intermodulation d'ordre 3 ont été réalisées sur une section biquadratique, dans les trois cas de figure présentés dans le texte principal (A., D. et G.). Le signal en entrée est la somme de deux sinusoïdes d'amplitudes égales et de fréquences 100 MHz et respectivement 120 MHz. Les termes parasites d'intermodulation d'ordre 3 seront situés à 80 et 140 MHz.

Le tableau suivant donne les résultats obtenus, en prenant une amplitude d'entrée $V_{in} = 67.8$ mVp.

Cas de figure	Atténuation des raies IM3 % fond. (dB)	IP3 (mVrms)
A.typ	42	573.91
D.wcp	33	320.6
G.wcs	40	479.4

Remarque: Les cas de figure mentionnés ici sont ceux décrits dans le tableau 3.4.9.

table A.3.4.6 Simulations d'intermodulation d'ordre 3

On observe que la spécification de départ concernant la linéarité est largement respectée, et ceci dans tous les cas technologiques.

4. Simulations de bruit sur un biquad

Pour ces simulations, d'autres cas de figures en plus ont été étudiés. Le tableau suivant les présente:

Cas de figure	Technologie MOS	Technologie bipolaire	Résistance	Capacité	Température (°C)	Fc (MHz)
A.typ	typ	typ	=	=	27	100
B.wcp-35	nFpF	lslb	-25%	-10%	-35	87
C.wcp75	nFpF	lslb	-25%	-10%	75	87
D.wcs75	nSpS	lslb	+25%	+10%	75	108
E.wcs-35	nSpS	lslb	+25%	+10%	-35	108

Légende:

typ = typique;

wcs = worst case speed = nSpS = NMOS slow, PMOS slow;

wcp = worst case power = nFpF = NMOS fast, PMOS fast;

lslb = low speed, low beta.

table A.3.4.7 Différents cas de simulations pour l'analyse de bruit

Le facteur de bruit du filtre est calculé avec la formule suivante:

$$F = \frac{V_{no}^2/B \cdot 1/|A_V|^2}{4kT \cdot R_s} = \frac{V_{ni}^2/B}{4kT \cdot R_s} \quad (A.3.4.10)$$

$$FdB = 10 \cdot \log F$$

avec:

V_{no}^2/B (f) [V²/Hz] = puissance de bruit en sortie dans une bande B autour de la fréquence f;
 $4kT \cdot R_s$ [V²/Hz] = puissance de bruit thermique d'une résistance R_s (résistance de la source, 500Ω);

V_{ni}^2/B (f) [V²/Hz] = puissance de bruit équivalent ramené à l'entrée dans une bande B autour de la fréquence f;

$|A_V|^2$ = module du gain en puissance du circuit.

Nota: $4kT = 16.567e-21$; $4kT \cdot R_s = 8.2835e-18$.

Le facteur de bruit de la partie front-end du Récepteur FM est calculé avec la formule suivante:

$$F_{front_end} = F_{LNA} + 3 \cdot \frac{F_{biquad} - 1}{G_{LNA}} \quad (A.3.4.11)$$

avec:

$F_{\text{front_end}}$ = le facteur de bruit du front-end du circuit (c.à.d. LNA + filtre de réjection de la première fréquence image);

F_{LNA} = facteur de bruit du LNA;

G_{LNA} = gain en puissance du LNA;

F_{biquad} = facteur de bruit d'une section biquadratique.

Nous avons supposé que chaque section biquadratique présente un gain unitaire dans une bande de 200 kHz autour de la fréquence de mesure F_c . Le tableau suivant indique la valeur du facteur de bruit du front-end du Récepteur FM, en tenant compte du facteur de bruit du LNA et de celui du filtre de réjection d'image.

Cas de figure	Facteur de bruit du LNA (dB)	Facteur de bruit d'un biquad (dB)	Facteur de bruit du front-end (dB)
A.	2.12	28.3	13.39
B.	2.14	28.49	13.58
C.	2.89	26.08	11.49
D.	1.15	31.98	16.87
E.	0.97	30.04	15

Remarque: Les cas de figure mentionnés ici sont ceux décrits dans le tableau A.3.4.7.

table A.3.4.8 Résultats des simulations de bruit

La première remarque concernant les tableau A.3.4.8 est immédiate: la spécification du circuit concernant le facteur de bruit est loin d'être tenue. Une possible solution pour palier à ce défaut est d'introduire dans la structure du Récepteur FM un étage intermédiaire de gain entre le LNA et le filtre. Le gain de cet étage serait commandé par une tension issue de l'AGC (structure VGA) et permettrait donc l'obtention d'un fort gain avant l'entrée du filtre. De point de vue dynamique à l'entrée du filtre, ceci ne poserait aucun problème, car comme présenté auparavant le filtre présente une bonne plage de linéarité.

ANNEXE A.3.4.4.e

Résultats de mesures pour le filtre HF de réjection d'image (1ère version)

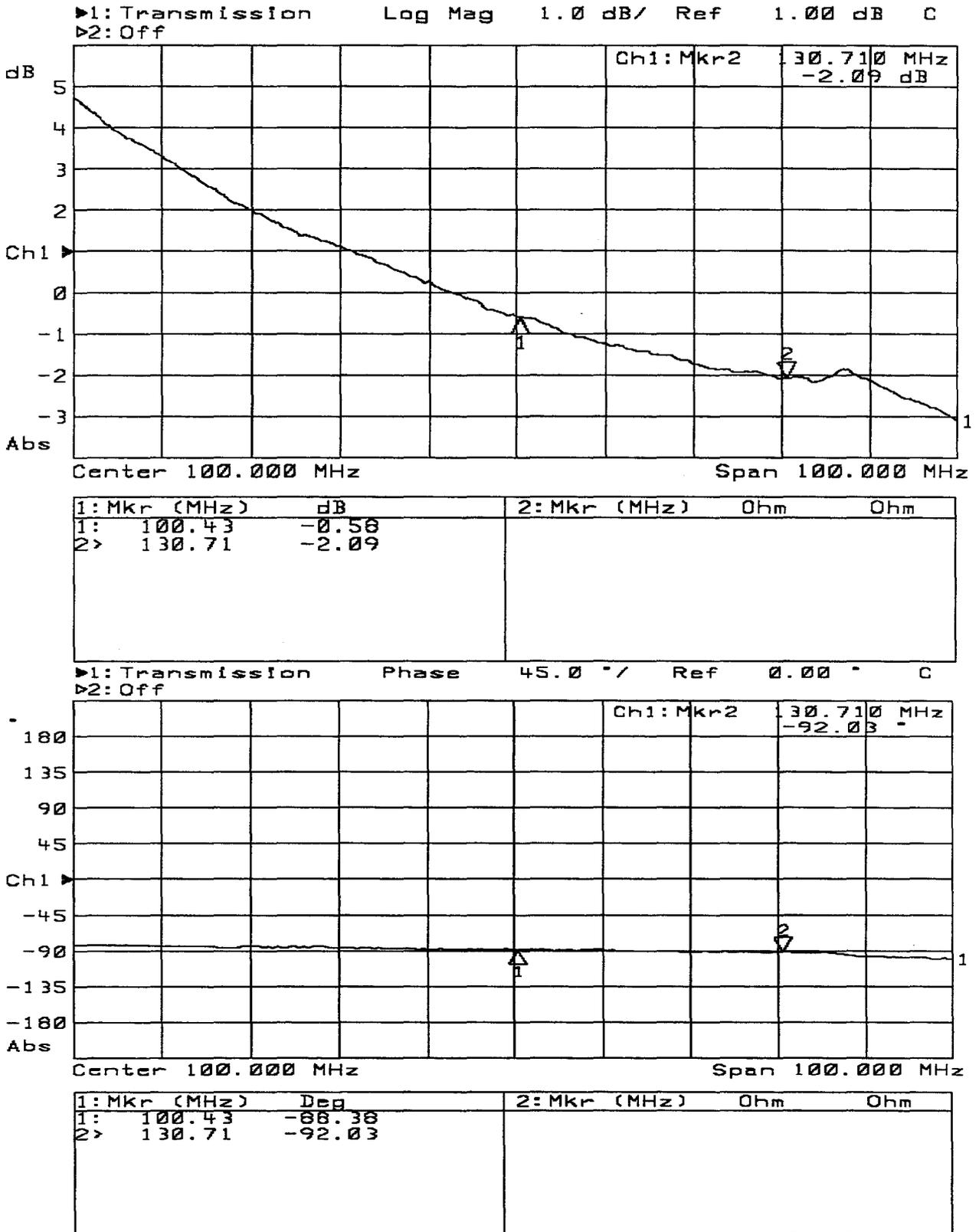


figure 3.4.19 Résultat des mesures pour G_{m23} (1): module et phase

$I_{PILOT} = 42 \mu A$, $I_{PTAT} = 12.5 \mu A$, $V_{dd} = 2.2 V$, aucun bit de trim

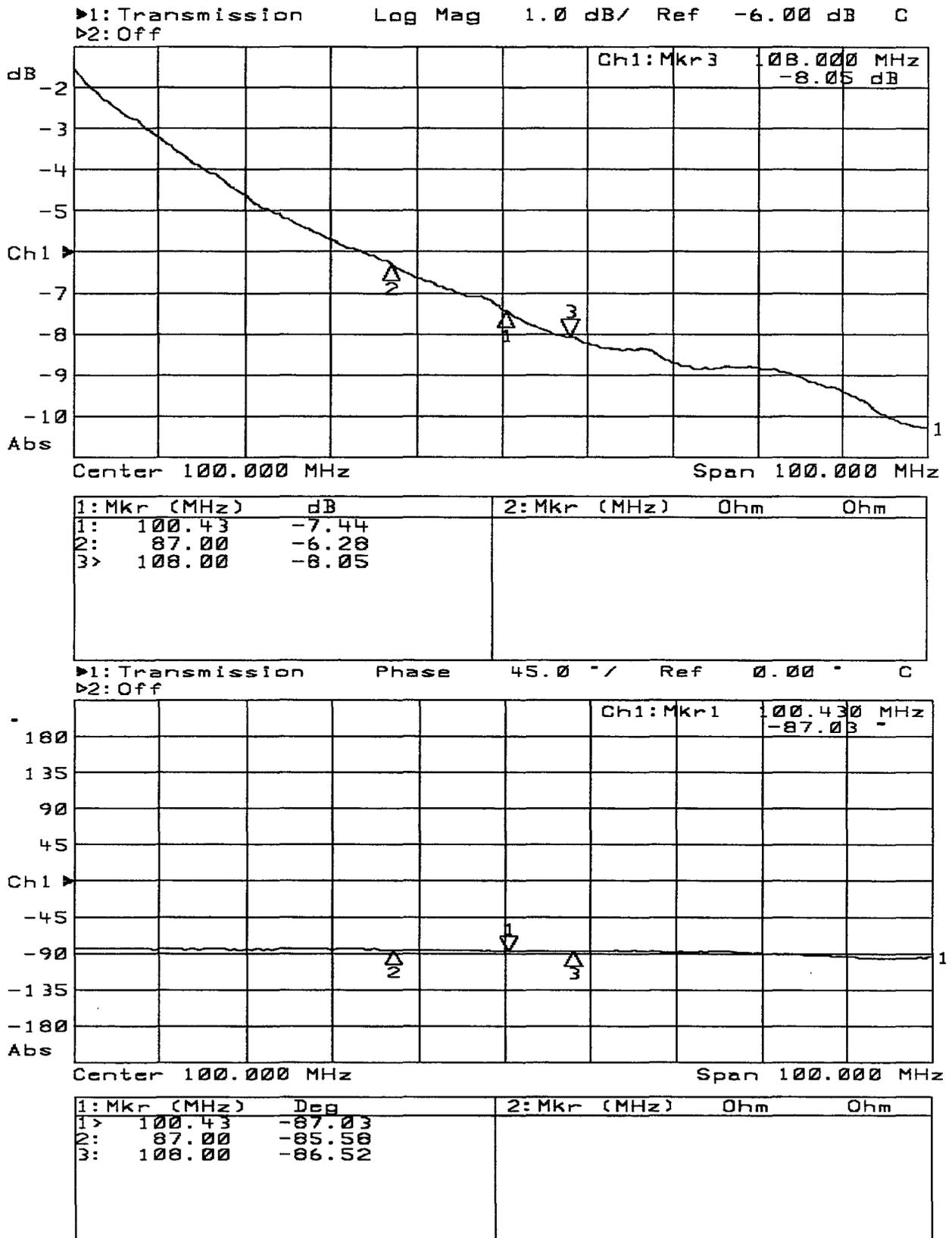
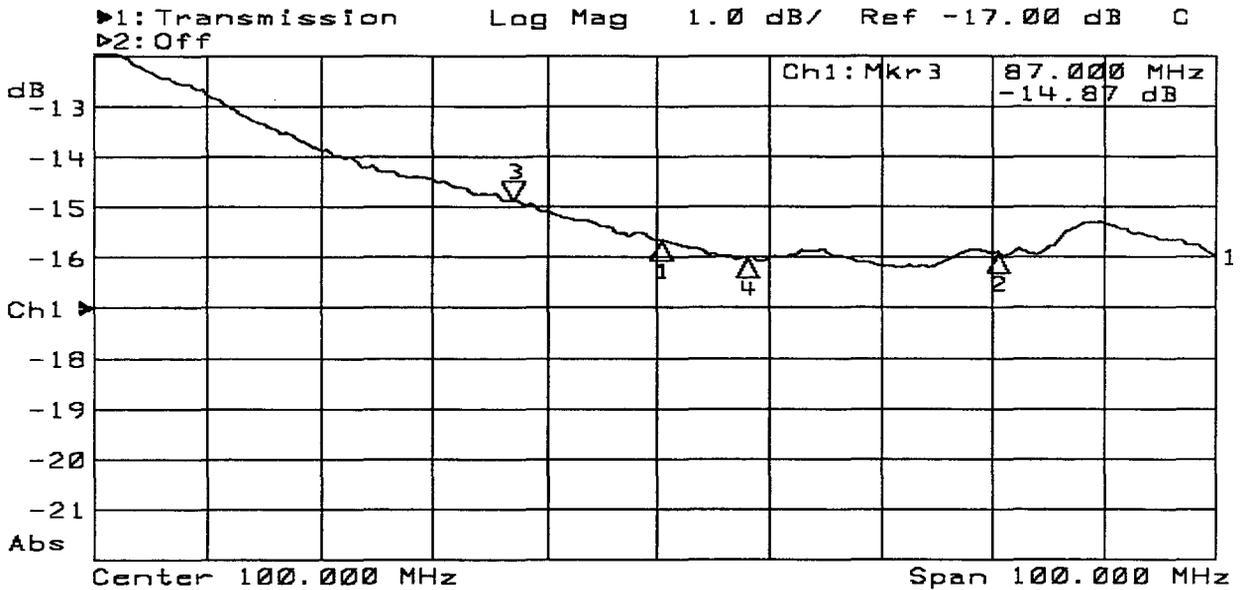
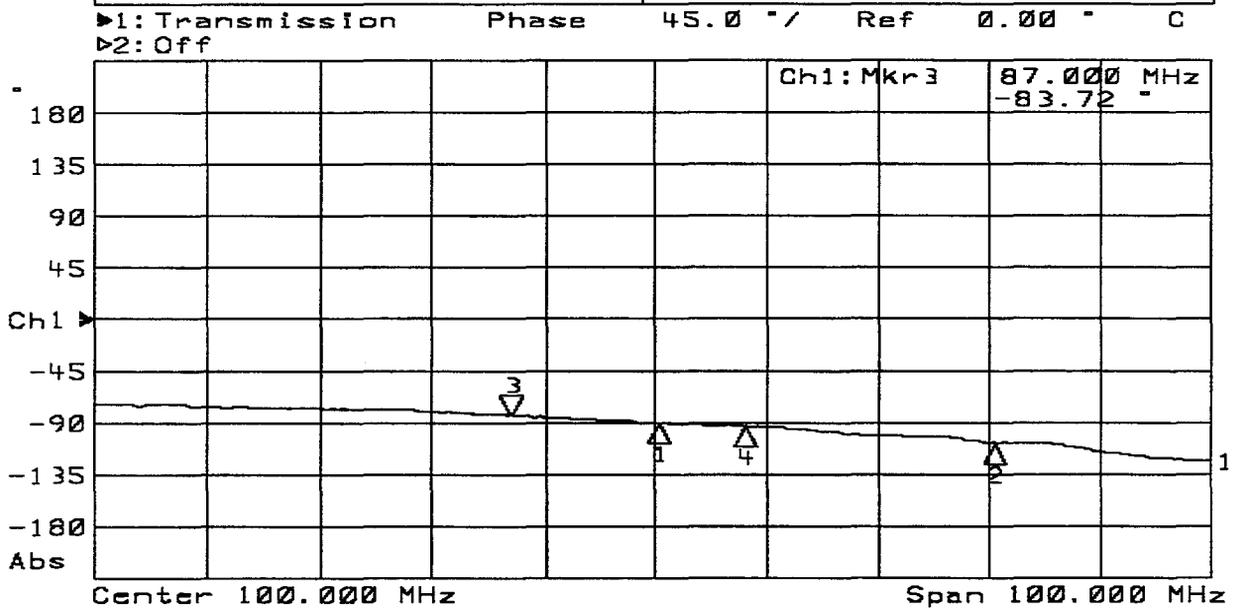


figure 3.4.20 Résultat des mesures pour G_{m1} (0.5): module et phase
 $I_{PILOT} = 53.6 \mu A$, $I_{PTAT} = 12.5 \mu A$, $V_{dd} = 3.5 V$, aucun bit de trim



1: Mkr (MHz)	dB	2: Mkr (MHz)	Ohm	Ohm
1:	100.43	-15.67		
2:	130.71	-15.92		
3>	87.00	-14.87		
4:	108.00	-16.01		



1: Mkr (MHz)	Deg	2: Mkr (MHz)	Ohm	Ohm
1:	100.43	-90.26		
2:	130.71	-107.70		
3>	87.00	-83.72		
4:	108.00	-92.68		

figure 3.4.21 Résultat des mesures pour G_{m4} (0.2): module et phase
 IPILOT = 32 μ A, I_PTAT = 7.54 μ A, Vdd = 3.5 V, bits pf, pF = actifs

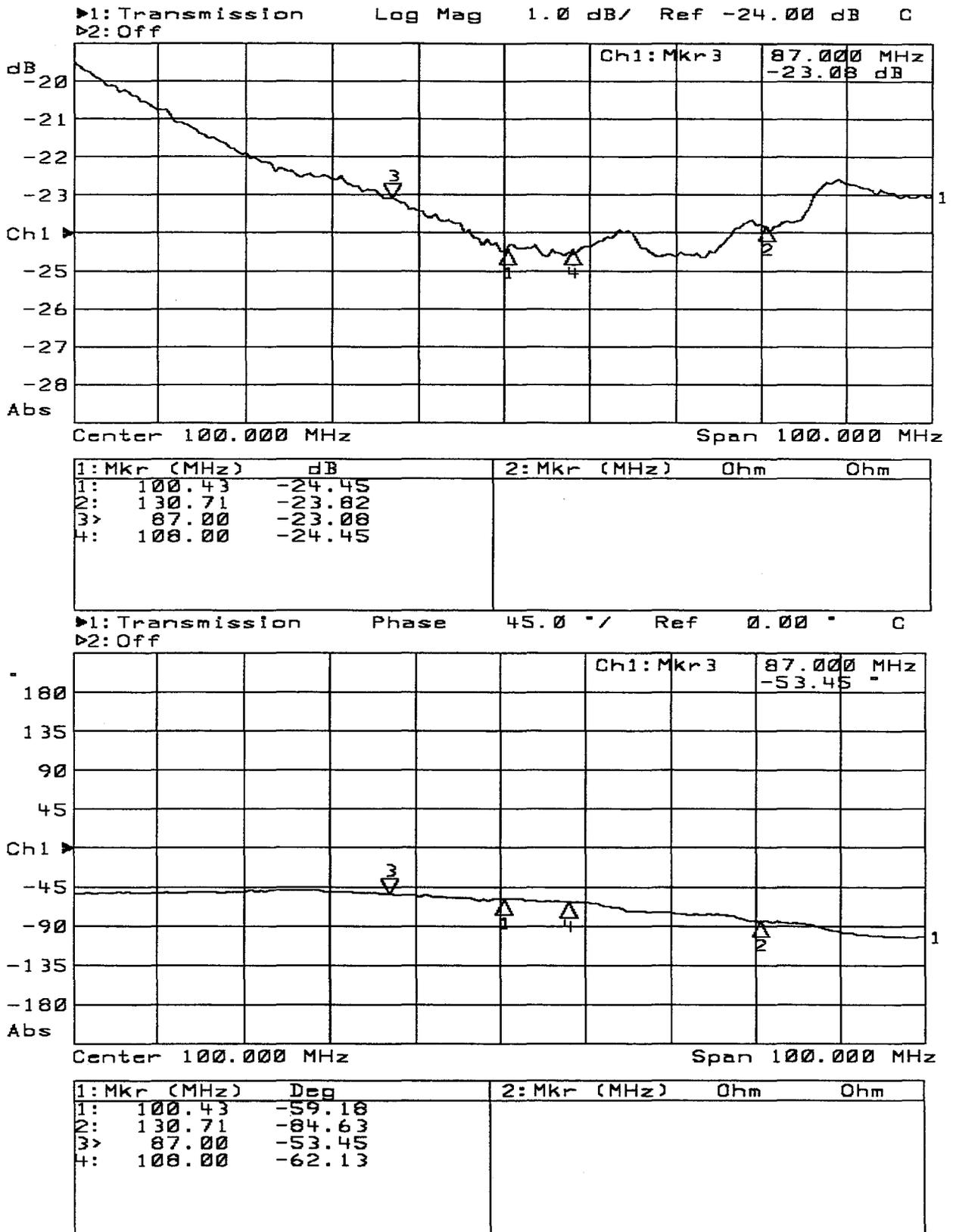


figure 3.4.21 Résultat des mesures pour G_{m5} (0.07): module et phase
 $I_{PILOT} = 13.6 \mu A$, $I_{PTAT} = 12.5 \mu A$, $V_{dd} = 3.5 V$, aucun bit de trim

ANNEXE A.mes1

Le set-up de mesure pour le filtre HF de réjection d'image (1ère version)

Cette puce comprend les éléments suivants:

- **éléments de base:**
 - le LNA;
 - une section biquadratique du filtre, précédée par la cellule d'attaque;
 - le filtre de réjection d'image complet (les trois étages), avec la cellule d'attaque;
 - les blocs de transconductances "trans2" et "trans3", chargés chacun par une paire de capacités d'intégration;
- **éléments auxiliaires:**
 - un bloc de "batteries" de sources de courant;
 - une petite partie logique nécessaire à la gestion des 107 bits de trim utilisés.

Tous les **éléments de base** sont indépendants et ont des entrées séparées. Ils sont interfacés au monde extérieur par des buffers haute-fréquence qui réalisent la transformation single-ended → différentiel et l'inverse et ils sont adaptés (en entrée ou en sortie) sur 50Ω . Nous pouvons ainsi mesurer le comportement de chaque intégrateur (module et phase) en fonction des stimuli externes appliqués et ensuite analyser le comportement du filtre (une section ou alors les trois sections ensemble). Une voie de référence a été évidemment prévue pour la calibration des mesures.

Les courants de polarisation pour les transconductances sont générés comme suit:

- Les courants NMOS sont générés sur la puce par une source de courant PTAT. La valeur de ce courant peut être variée entre 7.5 et 12.5 μA en agissant sur trois bits de trim. La valeur nominale est de 10 μA . Elle est recopiée dans tous les blocs de transconductances, les miroirs de copie ayant un facteur X10.
- Les courants PMOS sont issus d'un courant I_{PILOT} généré à l'extérieur de la puce. Des "batteries" de miroirs de courant permettent, sur la puce, une copie du courant, avec une possibilité de trim sur trois bits pour chaque courant.

Elaboration de la carte de test

Les puces sont montées sur la surface de la carte de test, selon la technique "Chip On Board". Le support de la carte de test est en Epoxy et les pistes sont en cuivre. La face arrière de la carte est métallisée. Les connecteurs sont des prises SMA soudées sur la face arrière de la carte. Des capacités SMA sont soudées sur la carte à la proximité de l'emplacement de la puce, ayant un rôle de découplage pour les différentes tensions statiques.

ANNEXE A.3.5.5

Résultats des simulations concernant les transconductances du filtre à réjection d'image (2^e version)

Les simulations tiennent compte des remarques effectuées au chapitre 3.5.5 du texte principal :

- $V_{DD} = 3.3 \text{ V}$;
- $I_{BIAS} = 50 \mu\text{A}$.

Les simulations ont pour but de valider le comportement en fréquence de l'intégrateur réalisé à partir d'une transconductance de type G_m .

1. variations sur I_{PILOT}

Conditions de simulation :

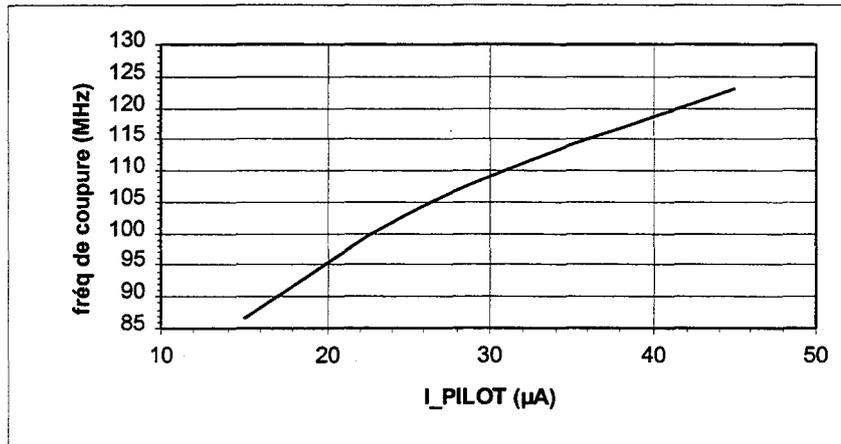
- conditions typique, 25 °C
- $I_{MPHI} = 50 \mu\text{A}$
- Capacité d'intégration totale = 1 pF

On repère la fréquence à laquelle le module du gain de l'intégrateur vaut 14 dB, et , à cette fréquence-là, on note la valeur de la phase. Le tableau suivant présente les résultats des simulations :

$I_{PILOT} (\mu\text{A})$	Fréquence (MHz) @ $G = 14 \text{ dB}$	Phase (deg)
15	86.5	-84.3
20	95.54	-86.8
25	103	-88.8
30	109.1	-90.3
35	114.1	-91.6
40	118.5	-92.6
45	123	-93.7

table A.3.5.1 Simulations sur G_m ; I_{MPHI} fixe, I_{PILOT} variable, $C_{int} = 1 \text{ pF}$

Conclusions : L'intégrateur peut être accordé en fréquence en faisant varier le courant I_{PILOT} . Cependant, en balayant toute la gamme de fréquence nécessaire, la phase de l'intégrateur varie de 10 degrés, dans le cas typique. Un ajustement du facteur de qualité des intégrateurs s'impose. La figure suivante représente la possibilité de tuning en fréquence. La courbe présente, dans sa zone linéaire ($I_{PILOT} > 25 \mu\text{A}$), une pente de 0.988 MHz/ μA .



**figure A.3.5.1 Tuning en fréquence des intégrateurs
(I_{PILOT} varie, I_{MPHI} fixe)**

2. variations sur I_{MPHI}

Conditions de simulation :

- conditions typique, 25 °C
- $I_{PILOT} = 20 \mu A$
- Capacité d'intégration totale = 1 pF

On repère la fréquence à laquelle le module du gain de l'intégrateur vaut 14 dB, et , à cette fréquence-là, on note la valeur de la phase. Le tableau suivant présente les résultats des simulations :

I_{MPHI} (μA)	Fréquence (MHz) @ G = 14 dB	Phase (deg)
15	75.67	-98.5
20	81.72	-95.9
25	85.81	-93.3
30	88.94	-91.8
35	91.22	-90.3
40	92.99	-88.8

table A.3.5.2 Simulations sur G_m ; I_{PILOT} fixe, I_{MPHI} variable, $C_{int} = 1 pF$

Conclusions : L'opération de réglage du facteur de qualité des intégrateurs fonctionne correctement. Le besoin en plage de variation de I_{MPHI} peut être obtenu sans problèmes. La figure suivante présente la courbe de variation de la phase avec le courant I_{MPHI} . Cette variation a une pente de 0.3 deg / μA , dans sa zone linéaire ($I_{MPHI} > 25 \mu A$).

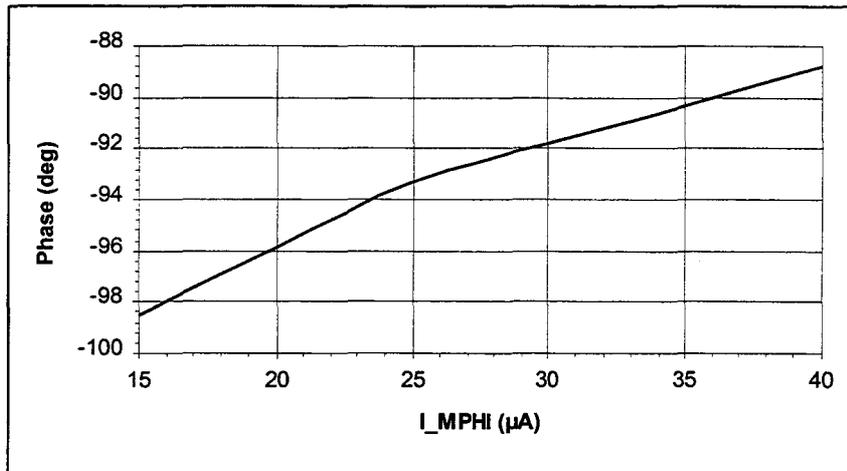


figure A.3.5.2 Réglage du facteur de qualité des intégrateurs (I_{PILOT} fixe, I_{MPHI} varie)

3. variations sur la capacité d'intégration

Conditions de simulation :

- conditions typique, 25 °C
- $I_{MPHI} = 50 \mu A$
- $I_{PILOT} = 22.5 \mu A$

Dans le cadre de ces simulations, la polarisation de la transconductance est fixe et on fait varier la capacité d'intégration. La valeur de la capacité d'intégration donnée dans le tableau suivant correspond à la capacité physique connectée aux nœuds d'intégration. Pour avoir la valeur de la capacité totale, il faut rajouter la valeur de la capacité parasite sur ces nœuds d'intégration (560 fF).

Transconductance	Capacité physique (pf)	Capacité totale d'intégration (pF)	Gain (dB) @ 100 MHz	Phase (deg) @ 100 MHz
G_m	0.44	1	13.95	-87.96
	1.44	2	7.69	-89.44
	4.44	5	-0.3	-90.28
	22.44	23	-13.69	-90.83
G_{m1}	0.44	1	8.38	-88.15
	1.44	2	2.12	-89.64
	4.44	5	-6	-90.6
	22.44	23	-19.25	-90.9

table A.3.5.3 Simulations sur G_m ; I_{MPHI} fixe, I_{PILOT} variable, $C_{int} = 1 pF$

Conclusions : Une large plage de variation de la capacité d'intégration n'entraîne qu'une variation très faible de la phase des intégrateurs (2 deg). Le module du gain varie correctement avec la capacité d'intégration. La figure suivante illustre ces simulations.

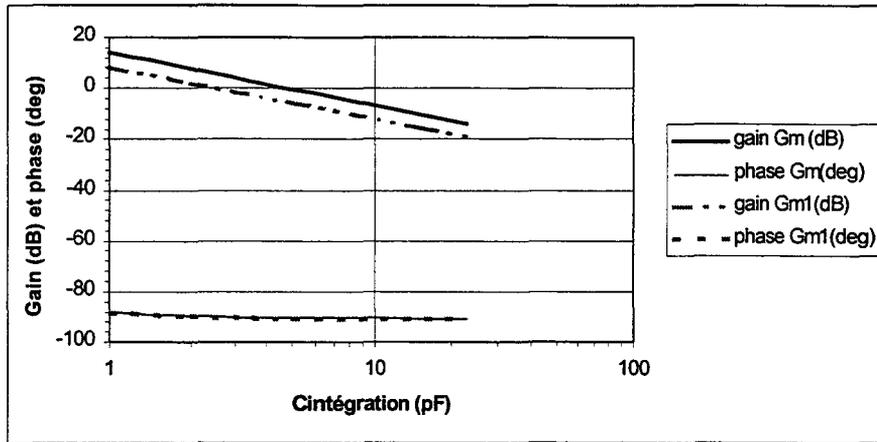


figure A.3.5.3 Variation des paramètres des intégrateurs avec la valeur de la capacité

ANNEXE A.4.3.3

Calculs théoriques pour le filtre de boucle d'une PLL

La figure présentée ci-dessous donne le schéma bloc d'une PLL numérique avec un rang de division N [4.4.12].

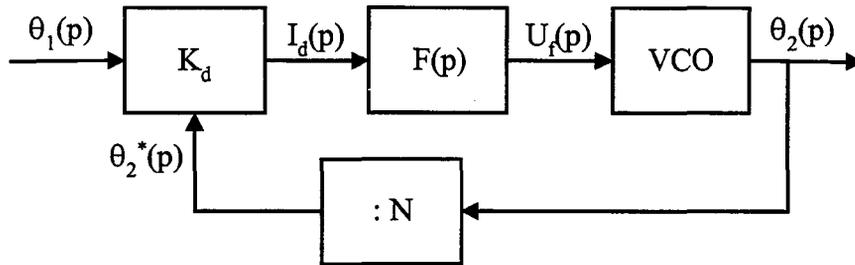


figure A.4.3.1 Le schéma bloc d'une PLL numérique

Les blocs présentés sont les suivants:

- Le comparateur de phase, avec un gain de conversion $K_d = \frac{I_d(p)}{\theta_1(p)}$;
- Le filtre de boucle, ayant une fonction de transfert $F(p)$;
- Le VCO;
- Le bloc de division de la fréquence ($:N$).

La phase du signal de référence de la PLL est $\theta_1(p)$ et elle sera comparée avec celle du signal issu du bloc de division de la fréquence, $\theta_2^*(p)$.

La fonction de transfert de la phase pour la PLL est:

$$H^*(p) = \frac{\theta_2(p)}{\theta_1(p)} = \frac{K_0 \cdot K_d \cdot F(p)}{N \cdot p + K_0 \cdot K_d \cdot F(p)} \quad (\text{A.4.3.1})$$

avec:

K_0 = la pente du VCO [Hz/V];

K_d = le courant de sortie du charge-pump = I_{pump} ;

$F(p)$ = la fonction de transfert du filtre de boucle;

N = le rang de division de la PLL1.

La figure suivante présente le filtre de boucle employé dans les PLL's du circuit Récepteur FM.

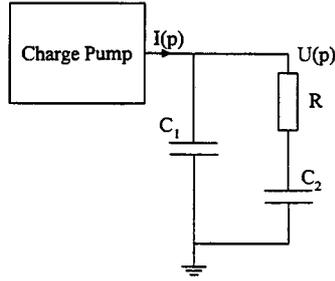


figure A.4.4.2 Le filtre de boucle employé dans les PLL's

La fonction de transfert de ce filtre est la suivante:

$$F(p) = \frac{U(p)}{I(p)} = \frac{1 + p \cdot RC_2}{p \cdot (C_1 + C_2) \cdot \left(1 + p \cdot R \frac{C_1 C_2}{C_1 + C_2}\right)} = \frac{1 + p \cdot \tau_2}{p \cdot (C_1 + C_2) \cdot (1 + p \cdot \tau_1)} \quad (\text{A.4.3.2})$$

avec:

$$\tau_2 = R \cdot C_2;$$

$$\tau_1 = R \cdot \frac{C_1 C_2}{C_1 + C_2}.$$

Si on prend $C_1 = C_2/10$, on obtient que $\tau_2 \gg \tau_1$, et donc la formule précédente peut s'écrire sous la forme suivante:

$$F(p) = \frac{U(p)}{I(p)} = \frac{1 + p \cdot RC_2}{p \cdot C_2} \quad (\text{A.4.3.3})$$

En final, après développement des calculs, on arrive aux équations suivantes donnant la pulsation naturelle et le coefficient d'amortissement de la boucle:

$$\omega_n = \sqrt{\frac{K_0 \cdot I_{pump}}{N \cdot C_2}} \quad (\text{A.4.3.4})$$

$$\xi = \frac{\tau_2}{2} \cdot \sqrt{\frac{K_0 \cdot I_{pump}}{N \cdot C_2}} \quad (\text{A.4.3.5})$$

avec:

- $\tau_2 = R \cdot C_2$;
- K_0 = la pente du VCO [Hz/V];
- I_{pump} = le courant de sortie du charge-pump;
- N = le rang de division de la PLL1.

En général, le coefficient d'amortissement est fixé à une valeur: $\xi = 0.707$.

