

Systèmes électroniques embarquées dans la C6



Partie A : Etude du bus CAN

Questions

Q1 Donner la taille du champ identificateur du standard CAN 2.A.

La version standard CAN2.A (champ identificateur) est sur **11 bits**.

[Annexe BUS CAN S1.]

- Version **standard CAN 2.A** (champ identificateur sur **11 bits**)
- Version **étendu CAN 2.B** (champ identificateur sur **29 bits**)

Q2 Calculer le nombre d'identificateurs distincts que permet de coder le standard CAN 2.

Avec 11 bits on peut avoir **2¹¹** identificateurs distincts, soit **2048** valeurs différentes.

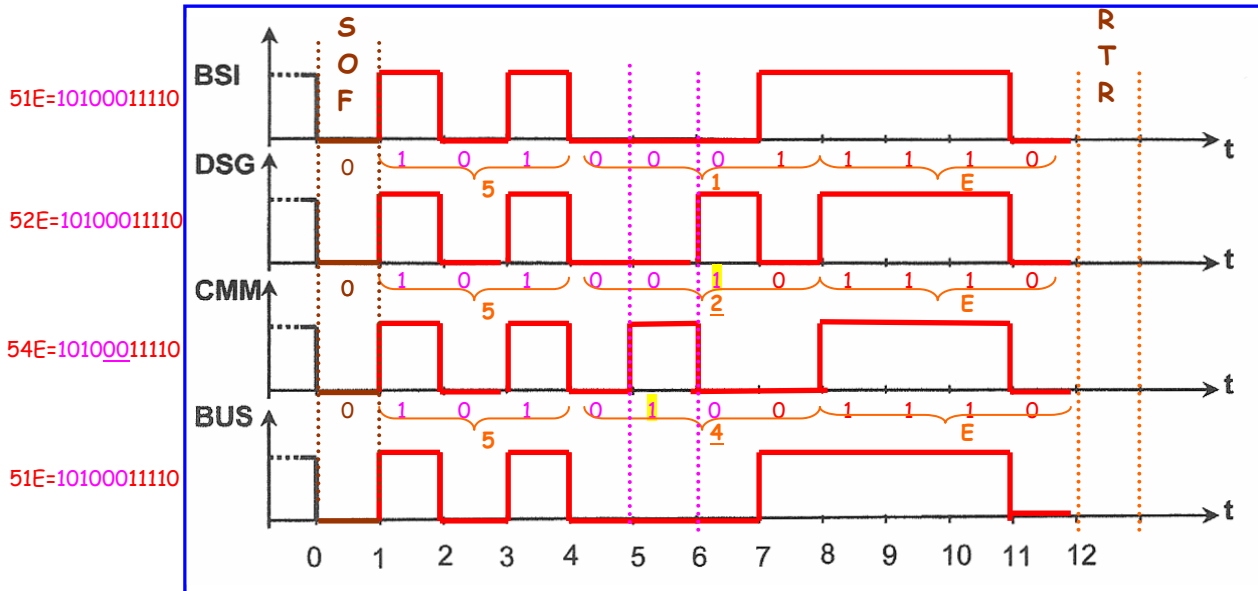
A un instant donné, 3 calculateurs (BSI, DSG et le CMM) souhaitent émettre leurs messages d'identificateurs respectifs 0x51E, 0x52E et 0x54E.

Q3 Identifier le calculateur qui transmettra en premier son message. Justifier la réponse.

L'arbitrage du bus CAN se fait sur le dernier bit dominant (bit à 0) en commençant par le MSB. Donc sur l'identificateur de plus petite valeur (S2.) : 51E=101 0001 1110 ; 52E=101 0010 1110 et 54E =101 010 0 1110

L'identificateur le plus petit est 0x51E soit le **BSI**.

Q4 Compléter les chronogrammes du processus d'arbitrage.



Q5 Relever les noms des calculateurs et le numéro des instants à partir duquel ils se mettent en position récepteurs (perte de bus).

Le premier calculateur à perdre le bus est le **CMM** à l'instant **5** (bit à 1 : récessif).

Le deuxième calculateur à perdre le bus est le **DSG** à l'instant **6** (bit à 1 : récessif).

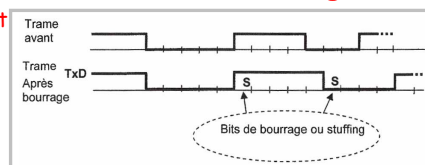
Pour éviter de longues suites de bits dominants ou récessifs, chaque contrôleur CAN d'un calculateur (voir annexe CAN) introduit volontairement dans la trame à transmettre des bits de bourrage (Stuffing).

Le calculateur BSI envoie un message d'identificateur 0x7C1. = 111 1100 0001

Q6 Remplir les champs identificateurs du tableau et entourer le ou les bits de bourrage.

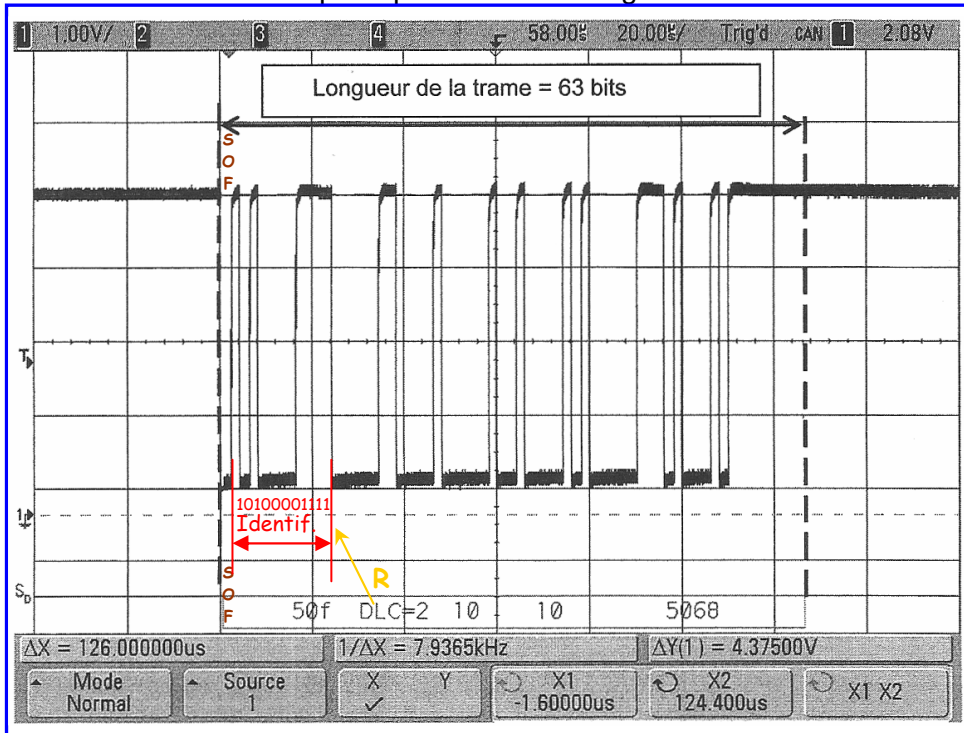
	S O F	Champs identificateur (0x7C1)													
Trame sans bourrage	0	1	1	1	1	1	0	0	0	0	0	0	1		
Trame avec bourrage	0	1	1	1	1	1	0	1	0	0	0	0	1	0	1

Introduction après 5 bits identiques, d'un bit supplémentaire de niveau logique opposé [S3.]



Le chronogramme suivant est relevé sur un oscilloscope et permet le décodage d'une trame CAN.

Ce signal est prélevé sur l'entrée TxD de l'interface bus CAN. La durée de la trame complète est de 126 µs et comporte au total 63 bits.



Q7 Relever la valeur et délimiter sur ce chronogramme l'identificateur de la trame CAN.

SOF = 126 µs / 63 = 2 µs
 1 div = 20 µs
 Identificateur = 2 µs x 11 = 22 µs
 Identificateur = 1,1 div = % 101 0000 1111 = \$ 5 0 F

Q8 Repérer par une flèche sur ce chronogramme le bit RTR en inscrivant la lettre "R" et justifier son état. L'état du bit RTR est dominant (donc à "0"), car il s'agit d'une trame de données qui est en cours de transmission (émission du signal car prélevé sur une entrée d'interface).

Q9 Déterminer le débit de transmission et en déduire le type de réseaux (CAN LS ou HS) qui véhicule cette trame.

1 div = 20 µs ; la trame de 63 bts dure 6,3 div soit 126 µs ⇒ 1 bit = 2 µs soit un débit de 1/2 µ = 500 kbps
 Ce qui correspond (§1) à la version **CAN High Speed** (ou **CAN HS**) qui a un débit entre 125k et 1 Mbps.

- **CAN Low Speed** (noté CAN LS), dont le débit peut atteindre 125 Kbits/s.
- **CAN High Speed** (noté CAN HS), avec un débit de 125 Kbits/s à 1 Mbits/s.

Les calculateurs utilisant le même réseau CAN ne doivent pas traiter les messages dont ils ne sont pas destinataires. Ainsi, le gestionnaire du bus CAN, associé à chaque calculateur, est doté d'un système de filtrage composé d'un masque et d'un sélecteur. Le masque spécifie les bits de l'identificateur qui doivent être contrôlés.

Lorsqu'un message est reçu, son champ identificateur est comparé bit à bit avec les valeurs du sélecteur. En cas de correspondance, le message accepté est transféré dans le buffer de réception pour être traité par le calculateur, sinon le message sera rejeté. Le tableau ci-contre résume la règle utilisée (x signifie valeur indifférente).

Bit de rang n du masque	Bit de rang n du sélecteur	Bit de rang n de l'identificateur	Bit de rang n du résultat
0	x	x	accepté
1	0	0	accepté
1	0	1	rejeté
1	1	0	rejeté
1	1	1	accepté

On souhaite que le calculateur DSG n'accepte que les messages dont les identificateurs sont : 0x304, 0x305, 0x306 et 0x307.

Q10 Compléter le tableau suivant.

Les 9 premiers bits sont communs, seuls les 2 bits de poids faibles divergent.

0x304	0	1	1	0	0	0	0	0	0	1	0	0
0x305	0	1	1	0	0	0	0	0	0	1	0	1
0x306	0	1	1	0	0	0	0	0	0	1	1	0
0x307	0	1	1	0	0	0	0	0	0	1	1	1
sélecteur	0	1	1	0	0	0	0	0	0	1	x	x
masque	1	1	1	1	1	1	1	1	1	1	0	0

Pour que le message soit accepté, il faut :
Sélecteur : valeur identique aux valeurs communes (9 premiers bits), si non x
Masque : à 1 pour les bits communs (9 premiers bits), si non à 0.

Partie B : MER (Module Emetteur de Roue)

Lorsque le contact est mis, les modules MER associés aux roues avant sont réveillés par le signal LF émis par le calculateur DSG. Ce signal LF est capté par une antenne intégrée dans le module. Une fois réveillés, les modules transmettent par liaison HF les informations (pression, température, accélération et niveau de pile) au calculateur DSG. Les caractéristiques partielles du module émetteur de roue sont :

Signal LF : ⇒ Modulant : code NRZ, débit de transmission $D = 2400$ bits/s

⇒ Modulation : ASK, porteuse LF ; $F_c = 125$ kHz $\pm 3,75$ kHz

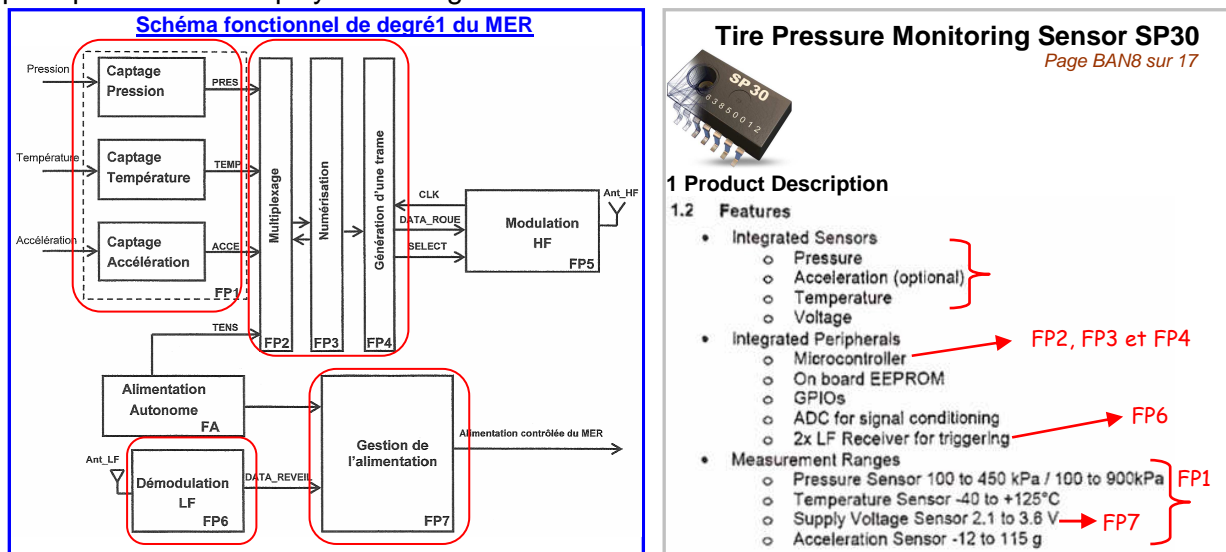
Signal HF : ⇒ Modulant : code Manchester non différentiel ; débit de transmission : $D = 9600$ bits/s.

⇒ Modulation : FSK, porteuse $F_0 = 433,92$ Mhz à ± 15 kHz ; excursion en fréquence : $\Delta F = \pm 45$ kHz.

Questions

Analyse fonctionnelle et structurelle

Q11 En exploitant la documentation technique du composant ASIC SP30, indiquer les fonctions principales du MER qui y sont intégrées.



Le circuit SP30 est un ASIC (Application Specific Integrated Circuits).

Q12 Définir ce qu'est un ASIC, citer un avantage et un inconvénient de cette technologie.

Un ASIC (Application-Specific Integrated Circuit) est un circuit intégré spécialisé. En général, il regroupe un grand nombre de fonctionnalités uniques et/ou sur mesure pour le client.

On qualifie les gros ASICs de SoC (System-on-Chip), lorsqu'ils intègrent processeur(s), interfaces, mémoires, etc., totalisant plusieurs millions de portes logiques, et qu'ils assurent la quasi-totalité des fonctions de la carte.

Avantages :

- Réduction du nombre de composants sur une carte et donc aussi de la surface ;
- Grande densité d'intégration et de vitesse de fonctionnement ;
- Fiabilité accrue ;
- Protection industrielle
- Réduction des coûts si on a de grandes quantités (>100 000 pièces par an),

Inconvénients :

- Prix unitaire élevé à cause du coût de développement ;
- Délai de développement de plusieurs mois.
- Pas de seconde source ;
- Evolution difficile et coûteuse ;

Q13 Pour chaque grandeur physique mesurée par ce circuit (accélération, pression, tension et température), préciser la plage de mesure et la résolution.

Tire Pressure Monitoring Sensor SP30

- Measurement Ranges
 - Pressure Sensor 100 to 450 kPa / 100 to 900kPa
 - Temperature Sensor -40 to +125°C
 - Supply Voltage Sensor 2.1 to 3.6 V
 - Acceleration Sensor -12 to 115

Page BAN8 sur 17

- Accélération : -12 à 115 g ; résolution : 12 bits
- Pression : 100 à 450 kPa ; résolution : 11 bits
- Tension : 2,1 à 3,6 V ; résolution : 9 bits
- Température : -40 à 125°C ; résolution : 10 bits.

Tire Pressure Monitoring Sensor SP30
Page BAN8 sur 17

2 Product Characteristics

2.1 Measurement performance

2.1.1 Pressure measurement
The presented performance reflects the use of 11-bit measurement of pressure signal

2.1.2 Acceleration measurement
The presented performance reflects the use of 12-bit measurement of acceleration signal

2.1.3 Temperature measurement
The presented performance reflects the use of 10-bit measurement of temperature.

2.1.4 Supply voltage measurement
The presented performance reflects the use of 9-bit measurement of supply voltage.

Page BAN9 sur 17

FP6 : Démodulateur LF (Schéma page BAN1)

Le circuit parallèle d'accord de l'antenne LF est composé :

- de l'inductance L1,
- d'un condensateur d'accord C constitué du condensateur C1 mis en parallèle avec le condensateur d'entrée du circuit SP30,
- d'une résistance de charge R constituée de la résistance R1 mise en parallèle avec la résistance d'entrée du circuit SP30.

L'antenne est accordée quand $L_1 C \omega_a^2 = 1$, ω_a étant la pulsation d'accord.

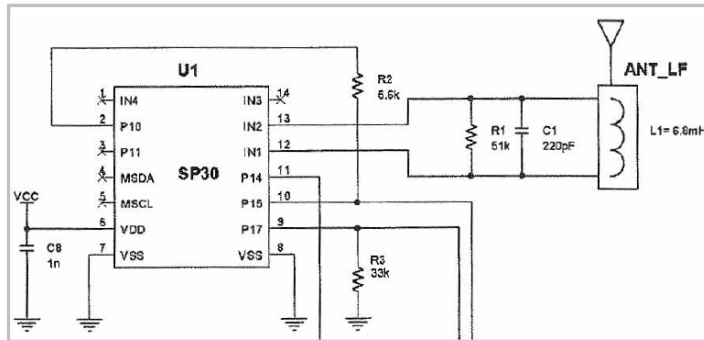
On rappelle les paramètres qui caractérisent un **circuit parallèle** accordé :

$Q = R / L\omega_a$ et $B = F_a / Q$ avec Q : le coefficient de qualité, B : la bande passante à -3dB.

Q14 Donner la valeur optimale de la fréquence d'accord de l'antenne Ant_LF.

En **télécommunications** hertzienne, le **signal** transportant une information passe par un moyen de transmission entre un émetteur et un récepteur. La **modulation** est le processus par lequel le signal est transformé de sa forme originale en une forme adaptée au canal de transmission. En modulation d'amplitude (ASK), l'amplitude est commutée entre plusieurs valeurs discrètes, Le signal LF est modulé ASK avec une porteuse LF ; $F_c = 125 \text{ kHz} \pm 3,75 \text{ kHz}$ [sujet MER page1]
 L'accord optimal de l'antenne doit être centré sur la fréquence $F_a = 125 \text{ kHz}$.

Q15 Définir les éléments du modèle équivalent de l'entrée, vue des broches 12 et 13, du circuit SP30 (page BAN9). En déduire les valeurs des composants du circuit équivalent L1, C et R.



2.6 LF input Page BAN8 sur 17

Table 14 LF telegram

PARAMETER	SPECIFICATION			Unit	AMBIENT CONDITIONS		COMMENTS
	Min	Typ	Max		TEMP [°C]	VDD [V]	
Modulation		ASK			-40 to 125	2.1 to 3.6	
Carrier frequency	121.25	125	128.75	kHz	-40 to 125	2.1 to 3.6	
Preamble period	4			ms	-40 to 125	2.1 to 3.6	
Data rate	3.84	3.9	3.96	kHz	-40 to 125	2.1 to 3.6	
Settling time			2	ms	-40 to 125	2.1 to 3.6	Time from LF interface is turned on by RISC to the LF interface is active
Detection threshold			5	mVp-p	-40 to 125	2.1 to 3.6	
Input capacitance		10	12	pF	-40 to 125	2.1 to 3.6	
Input resistance	500			kΩ	-40 to 125	2.1 to 3.6	
Other	The input signals from the enabled LF channels are rectified and real time summed						

Broches 12 et 13 : Récepteur LF, canal 1

Résistance d'entrée : $R_{e_{min}} = 500 \text{ k}\Omega$

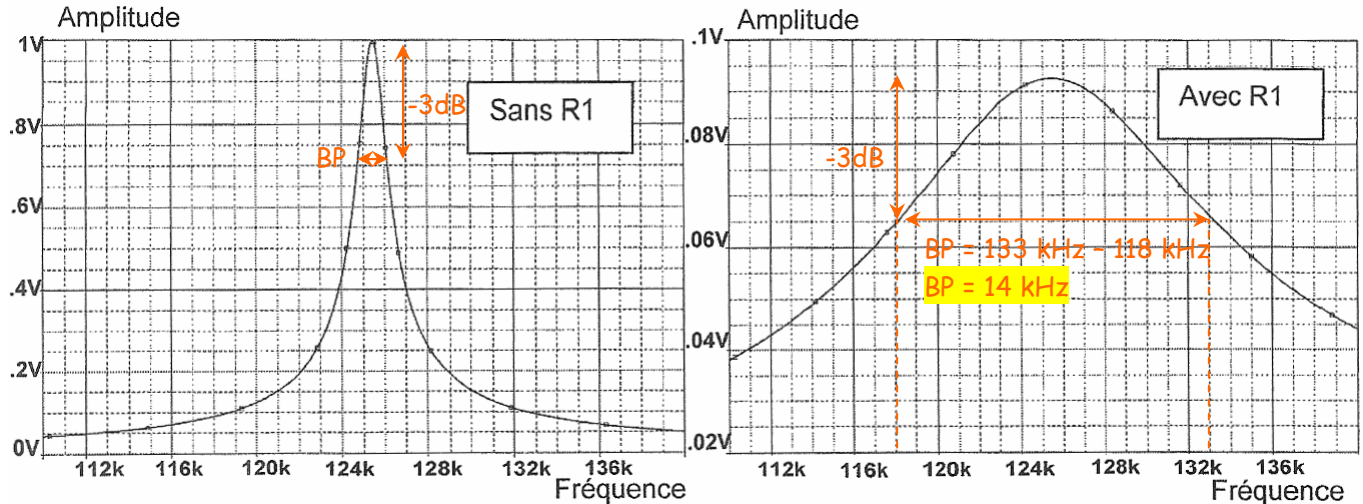
Condensateur : $C_e = 10 \text{ pF}$ à 12 pF

$R_{eq} = R_e // R1 = 46 \text{ k}\Omega$

$C_{eq} = C_e // C1 = C_e + 220\text{p} = 230 \text{ pF}$ à 232 pF

D'après le schéma $L1 = 6,8 \text{ nH}$

L'évolution de la tension aux bornes de l'antenne accordée constituée par la mise en parallèle de L_1 , C_1 , R_1 et l'impédance vue des broches 12 et 13 du circuit SP30 est :



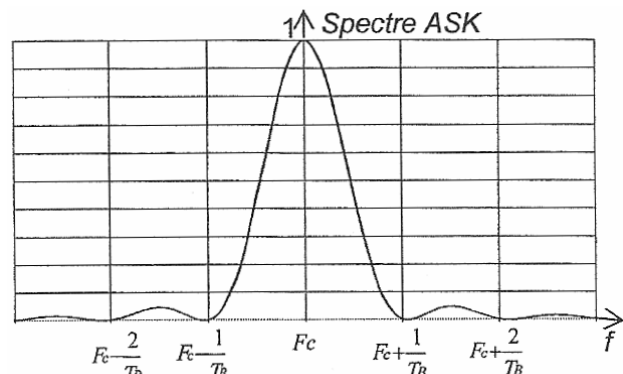
Q16 Déterminer les paramètres du circuit accordé sur lesquels agit la résistance R_1 .

R_1 agit sur le coefficient de qualité du filtre et donc sur sa bande passante $BP = F_0 / Q$ et aussi sur l'atténuation du signal reçu et donc sur son amplitude.

Plus R_1 est grand et plus le circuit d'antenne est sélectif et l'amplitude optimale.

Le spectre du signal LF, modulé ASK, qui doit être capté par l'antenne est donné par la figure ci-contre. T_B étant la durée du bit du code NRZ.

On peut considérer que ce spectre occupe une bande passante de $2/T_B$,



Q17 Dans le cas où la valeur de la porteuse LF est : $F_C = 125 \text{ kHz}$; estimer la bande passante nominale du circuit accordée pour recevoir le signal LF modulé ASK.

On sait que $BP = 2 / T_B$; or la vitesse de transmission est $D = 2400 \text{ bits/s}$ [sujet MER page 1]

\Rightarrow la durée de T_B est : $T_B = 1 / 2400 \Rightarrow BP = 2 / T_B = 2 \times 2400 = 4,8 \text{ kHz}$

Q18 La valeur F_C de la porteuse LF est donnée avec une tolérance de $\pm 3,75 \text{ kHz}$, estimer la bande passante du circuit accordée pour recevoir le signal LF modulé ASK.

La bande passante devrait être de 4,8 kHz, mais il faut tenir compte de la tolérance de la porteuse de $\pm 3,75 \text{ kHz} = 7,5 \text{ kHz}$.

Finalement la bande passante doit être de $BP = 4,8 \text{ kHz} + 7,5 \text{ kHz} = 12,3 \text{ kHz}$

Q19 Justifier la valeur de R_1 à partir des valeurs trouvées question Q15 ou en utilisant les courbes ci-dessus.

- Sur la courbe ci-dessus, on a avec R_1 une bande passante à -3dB (de $V_{max} = 0,93\text{V}$ à $V_{max}/0,707 = 0,66\text{V}$) de l'ordre de 14 kHz (133kHz-118kHz) ce qui est conforme.
- On sait que : $Q = R / L\omega_a$ et $B = F_0 / Q$

Pour notre filtre d'accord on a : $Q = R_{eq} / L\omega_a = 46 \text{ k} / (6,8 \text{ m} \times 2 \pi 125 \text{ k}) = 8,6$

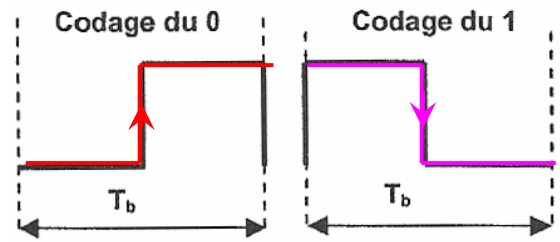
$\Rightarrow BP = 125 \text{ k} / 8,6 = 14,5 \text{ kHz}$ soit pratiquement la même valeur que graphiquement.

La valeur de R_1 implique une largeur de bande passante du filtre d'environ 14 kHz compatible avec l'excursion nécessaire pour le signal reçu : 12,3 kHz.

FP4 : Générateur d'une trame

Les données relatives à l'état des roues sont incorporées dans une trame de format spécifique et transmises à une vitesse de 9600 bits/s. L'opération de transcodage implantée dans le circuit ASIC permet de générer le code Manchester à partir d'une horloge H (dérivée de l'horloge du microcontrôleur) qui définit :

- la période T_b du rythme de transmission,
- les données utilisant le codage NRZ.



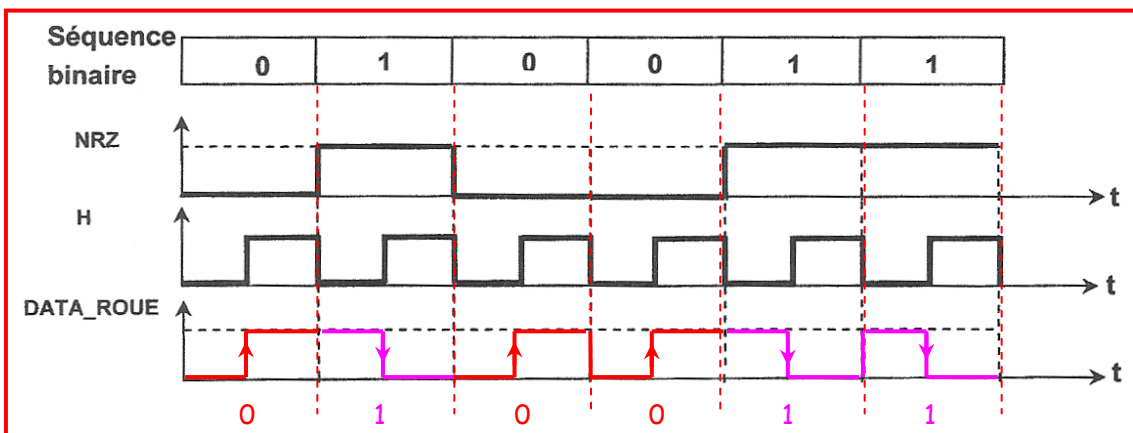
La représentation ci-dessus montre le codage des bits 1 et 0 en code Manchester.

Q20 Compléter les chronogrammes ci-dessous. En déduire l'équation logique de DATA_ROUE en fonction de H et NRZ. Déterminer l'opérateur logique qui réalise cette fonction.

Dans le NRZ (Non Return to Zero), le bit 1 est représenté par un état significatif (par exemple, une tension positive +Vcc), et le bit 0 par un autre état significatif (par exemple, une tension négative -Vcc). Il n'existe pas d'état intermédiaire.

Le codage Manchester est un codage asynchrone. Il est utilisé dans les systèmes numériques pour injecter sur le support physique (couche 1 du modèle OSI) les valeurs logiques correspondant au flux d'entrée.

- "0" : transition du niveau bas vers le niveau haut
- "1" : transition du niveau haut vers le niveau bas



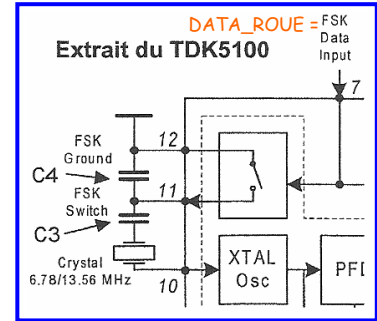
DATA_ROUE = ?

NRZ	H	DATA_ROUE
0	0	0
0	1	1
1	0	1
1	1	0

DATA_ROUE = NRZ / H + /NRZ H ⇒ OU Exclusif

FP5 : Modulateur

Le signal numérique DATA_ROUE commande un Switch interne au circuit (extrait du document page BAN1). Selon l'état ouvert (OFF) ou fermé (ON) du Switch, la capacité équivalente (en série avec le quartz) se trouve modifiée et par conséquent, la fréquence de l'oscillateur aussi. De cette communication, il en résulte 2 fréquences (F_{ON} ou F_{OFF}) qui vont constituer la modulation FSK.



Q21 En exploitant la documentation du TDK5100, compléter le tableau ci-dessous en inscrivant en correspondance avec l'état haut et l'état bas de DATA_ROUE, l'état du Switch (ouvert ou fermé) et préciser l'expression de la capacité équivalente C_{eq} en série avec le quartz. La fréquence de sortie d'un oscillateur à quartz augmente lorsqu'on le met en série avec un condensateur.

TDK5100 - ASK/FSK Transmitter 868/433 MHz - Infineon Technologies AG

FSKDATA (pin7)	FSK Switch
Low ¹⁾	CLOSED
Open ²⁾ , High ³⁾	OPEN

[Page BAN12 sur 17]

DATA_ROUE [pin 7]	Etat du Switch	Capacité équivalente C_{eq}
Etat haut	Ouvert (Open : OFF)	$C_{eq} = C4 // C3 = 6,8p // 10p = 4 pF$
Etat bas	Fermé (Closed : ON)	$C_{eq} = C3 = 10 pF$

Q22 Préciser laquelle des 2 fréquences (F_{ON} ou F_{OFF}) est supérieure à l'autre. Justifier la réponse.

La fréquence d'un oscillateur à quartz augmente avec un condensateur en série (si on ajoute un condensateur en série globalement $C_{eq} \uparrow$ or $F=1/2\pi(LC_{eq})^{1/2}$: si en série avec le quartz $C \uparrow$ alors $F \uparrow$)

On a : $C_{eq}(ON) > C_{eq}(OFF)$ donc $F_{ON} > F_{OFF}$

Q23 Déterminer le câblage de la broche 15 (FSEL) du circuit TDK5100 pour avoir un fonctionnement qui répond aux spécifications du modulateur.

Modulation : FSK, porteuse $F_0 = 433,92$ Mhz [page 1]

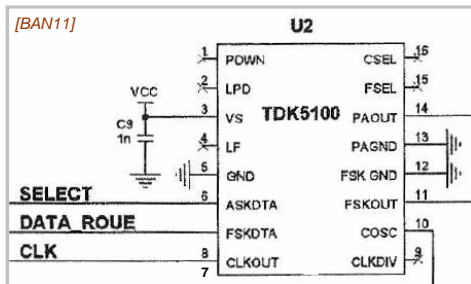
FSEL doit être au niveau bas pour avoir 433 MHz

FSEL (pin 15)	Radiated Frequency Band
Low ¹⁾	433 MHz
Open ²⁾	868 MHz

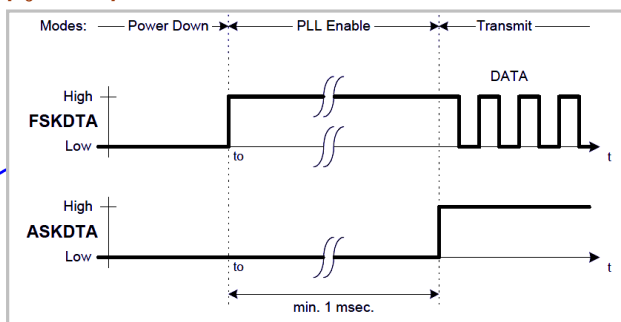
[Page BAN12 sur 17]

La trame générée par le circuit SP30 qui contient les données relatives à l'état du pneu est représentée par le signal DATA_ROUE.

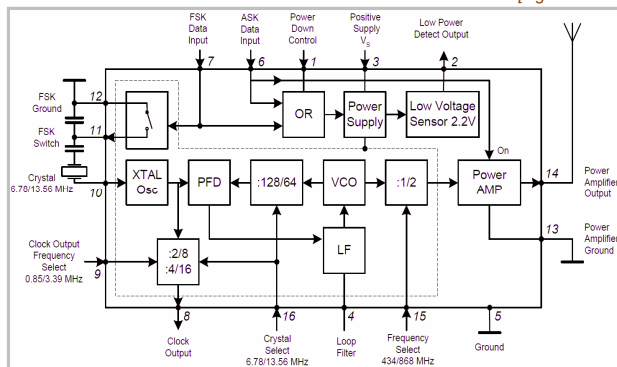
Q24 En exploitant le schéma structurel du MER et la documentation technique du circuit TDK5100, compléter les chronogrammes ci-dessous : modulation FSK pour transmettre la séquence binaire 0000. Pour le chronogramme de la broche 14, on inscrira, à l'endroit prévu, la fréquence F_{ON} ou F_{OFF} .



[Fig2.7 BAN13]



[Fig2.2 BAN11]

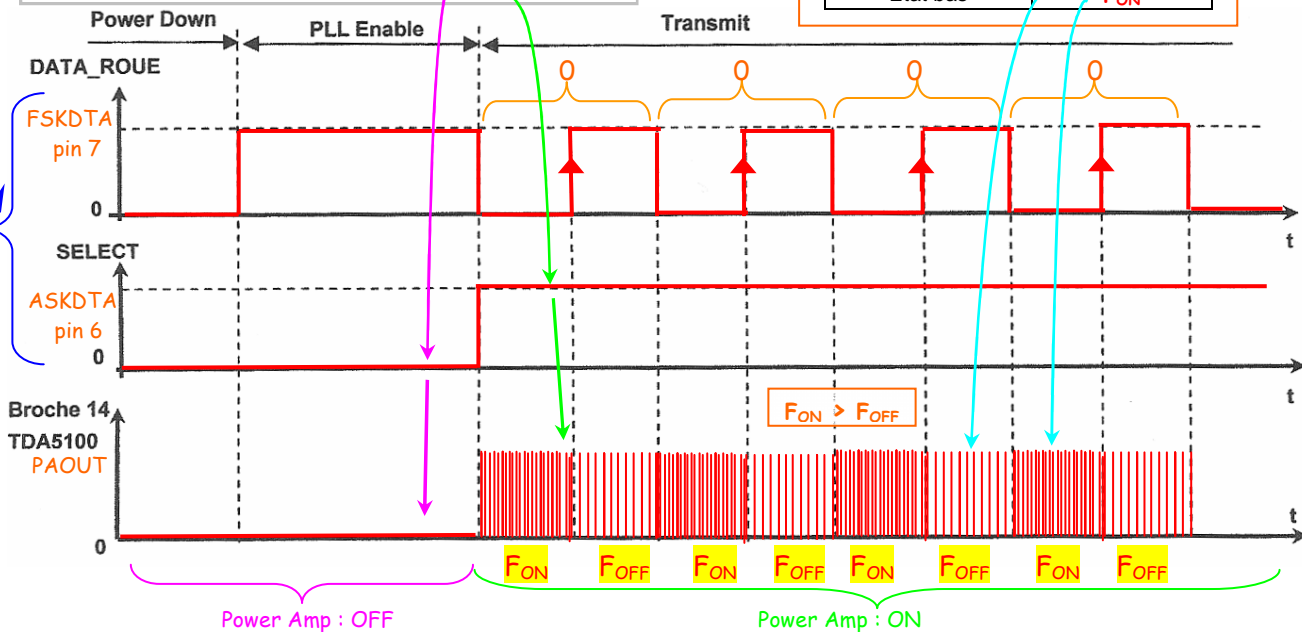


[BAN12]

ASKDATA (pin 6)	Power Amplifier
Low ¹⁾	OFF
Open ²⁾ , High ³⁾	ON

D'après Q21 :

DATA_ROUE	F OUT
Etat haut	F_{OFF}
Etat bas	F_{ON}



Q25 Déterminer la fréquence du signal CLK du TDK5100 et indiquer son rôle.

- La fréquence du signal CLK (br n° 8 : CLKOUT) dépend du niveau logique CLKDIV sur la broche n°9 (/4 ou /12). CLKDIV est NC (open) $\Rightarrow F_{CLK} = 847,5 \text{ kHz}$
- Le signal CLK constitue l'horloge du microcontrôleur intégré dans l'ASIC U1 (SP30).

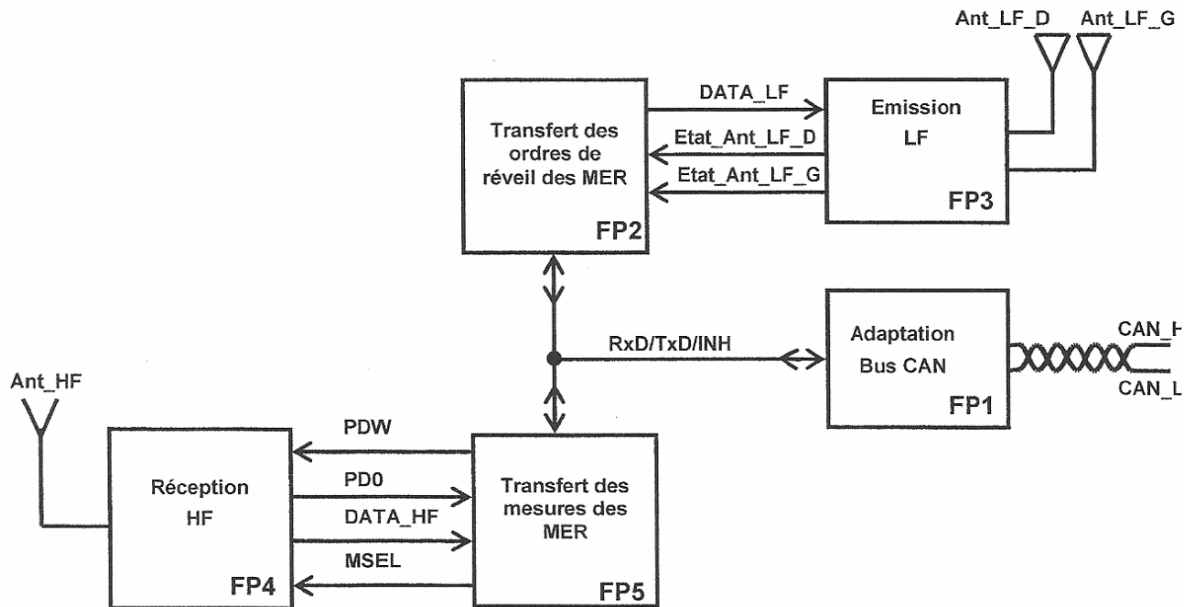
CLKDIV (pin 9)	CLKOUT Frequency
Low ¹⁾	3.39 MHz
Open ²⁾	847.5 kHz

Partie C : Calculateur DSG (Détection de Sous Gonflage)

Le rôle du DSG est de :

- surveiller la pression des pneumatiques à l'arrêt et en roulage,
- détecter toute fuite de pression ou crevaison des pneumatiques du véhicule,
- alerter le conducteur (de façon sonore et/ou visuelle) de toute variation de pression par rapport à la pression suggérée par le constructeur en transmettant les informations au BSI (calculateur central) qui les relaye au calculateur Combiné (tableau de bord).
- réveiller les MER (Module Emetteur de Roue) quand le BSI en donne l'ordre.

Schéma fonctionnel de degré du DSG



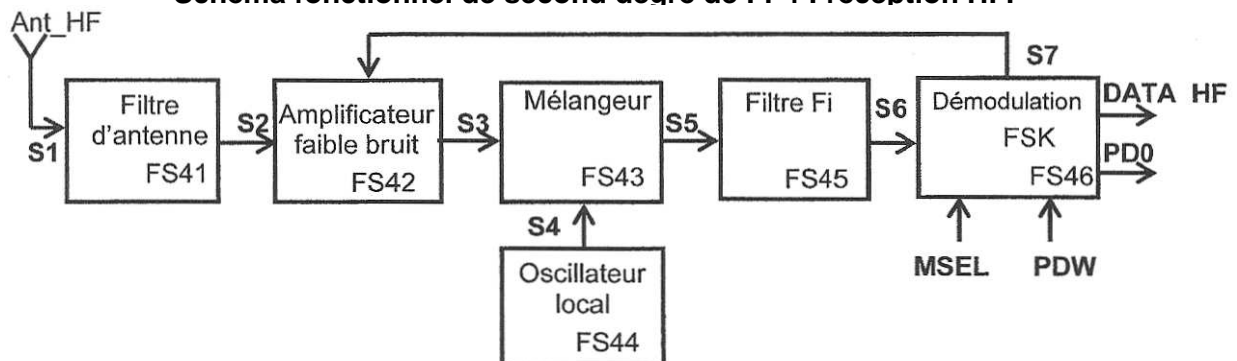
Questions

Q26 Délimiter sur le schéma structurel du DSG (fourni en annexe) les fonctions principales : FP1, FP2, FP3, FP4 et FP5. On peut utiliser le repérage des signaux (entrées-sorties) pour repérer les fonctions sur le schéma structurel (voir en dernière page).

FP4 : Récepteur HF

L'onde électromagnétique, support de l'information envoyée par les MER, est captée par une antenne HF, d'impédance caractéristique 50Ω qui fournit un signal électrique. Ce signal va subir un traitement par des structures analogiques. Après démodulation et mise en forme, les données numériques **DATA_HF** sont transmises au microcontrôleur du calculateur DSG et par la suite mises sur le bus CAN pour être exploitées par le calculateur BSI.

Schéma fonctionnel de second degré de FP4 : réception HF.



Q27 Donner le nom communément utilisée pour désigner un récepteur basé sur le changement de fréquence.

Récepteur **Hétérodyne** (1 seul changement de fréquence) ou **superhétérodyne** (2 changements de fréquences).

Un récepteur hétérodyne est conçu sur le principe du mélange de fréquences, pour convertir le signal reçu en une fréquence intermédiaire plus basse qu'il est plus facile d'utiliser que la fréquence reçue en direct. Pratiquement tous les récepteurs de radio et de télévision modernes fonctionnent sur ce principe.

On considère que le mélangeur se comporte comme un multiplieur. Avec les notations suivantes :

F_{inc} : fréquences incidentes captées par l'antenne,

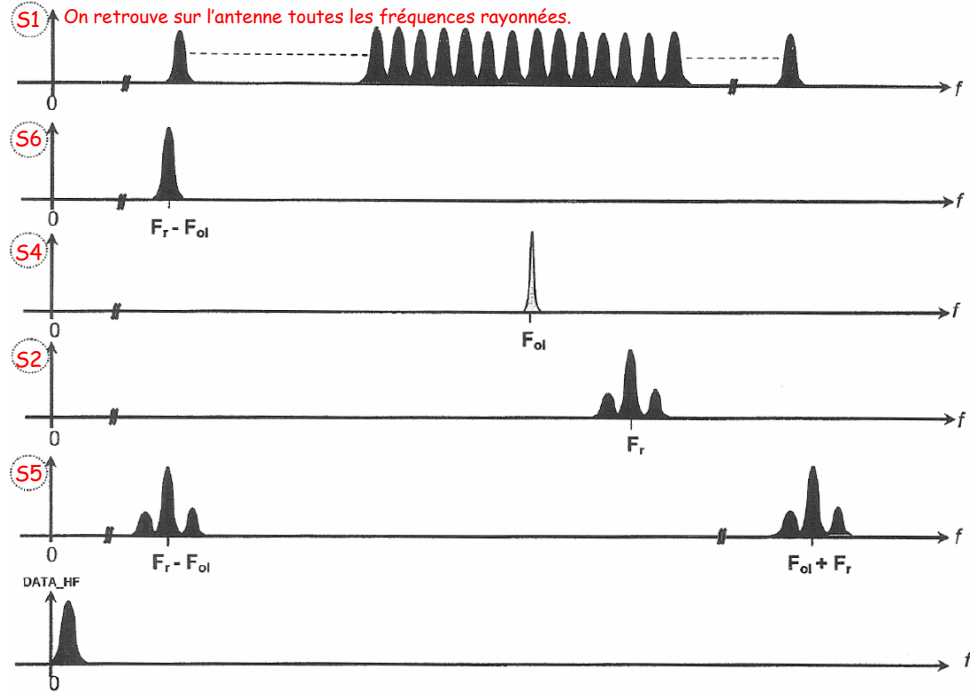
F_r : fréquences reçue appartenant à la bande de fréquences sélectionnées par le filtre d'antenne,

F_{ol} : fréquence de l'oscillateur local,

F_t : fréquences transposées (sortie du mélangeur).

La figure 5 (page BR3) présente des spectres (leur forme est arbitraire) en différents points entre les fonctions secondaires de la fonction FP4.

Q28 Compléter le document réponse en associant à chaque spectre le nom du point (S1, S2, S4, S5 et S6) où il a été prélevé.



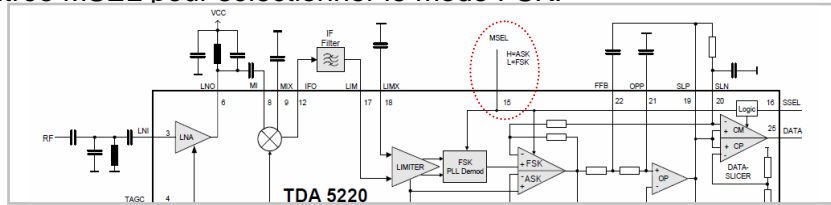
Démodulation

L'étage de démodulation peut démoduler des signaux de types ASK ou FSK selon l'état de l'entrée MSEL. Pour ce qui nous concerne, c'est le démodulateur FSK qui doit être sélectionné.

Q29 Déterminer l'état de l'entrée MSEL pour sélectionner le mode FSK.

[Doc TDA 5220 p15]

Pour sélectionner le mode FSK, la broche MSEL (n°15) doit être au niveau bas :



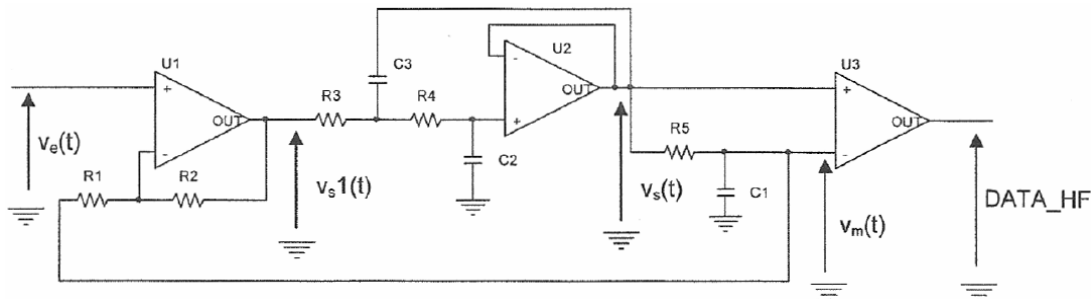
Le démodulateur FSK utilise une PLL. La sensibilité de ce modulateur est de $200\mu\text{V}/\text{kHz}$. Le signal analogique obtenu comporte une tension d'offset comprise entre 1,5V et 2,5V. Pour être exploité par le microcontrôleur, il doit être mis en forme (amplification, filtrage et décision).

Q30 Le signal FSK à démoduler est caractérisé par une excursion $\Delta F = \pm 45 \text{ kHz}$. Déterminer l'amplitude crête à crête du signal démodulé.

L'excursion $\Delta F = \pm 45 \text{ kHz}$, soit une variation de 90kHz

La sensibilité du modulateur est de $200 \mu\text{V}$ pour 1kHz, pour une variation de 90kHz on a donc une variation du signal de : $200 \mu\text{V} \times 90 = 18\text{mV}$.

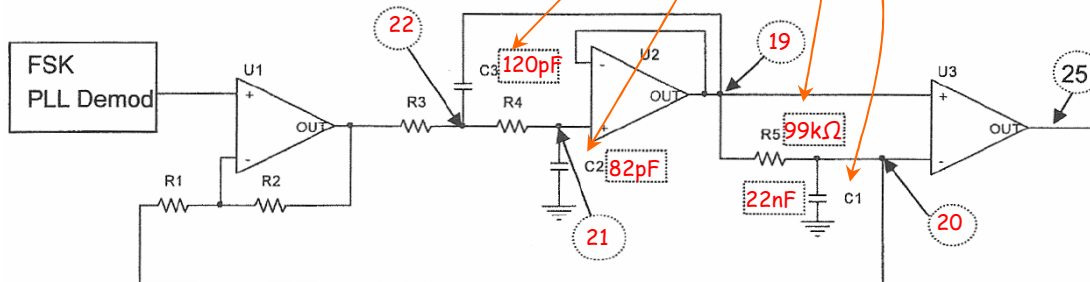
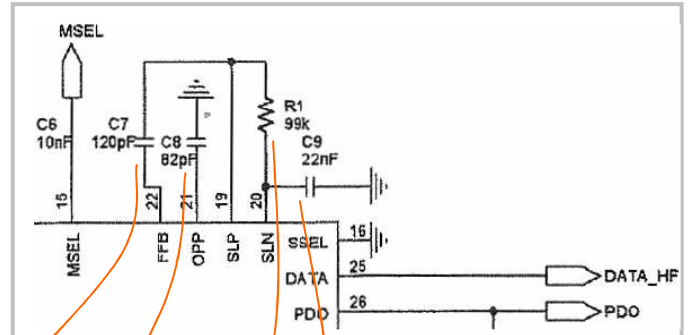
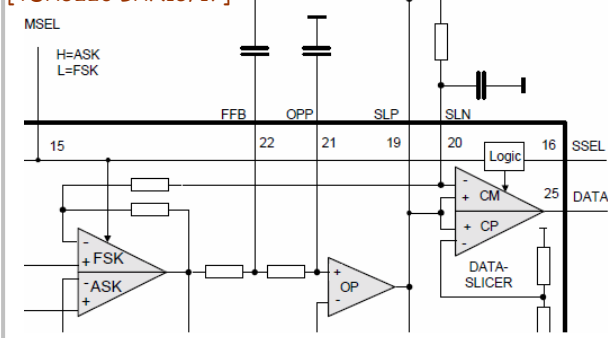
Le schéma structurel correspondant à la sélection du mode FSK avec la chaîne de traitement qui lui est associé est le suivant (extrait de la documentation du TDA5220) :



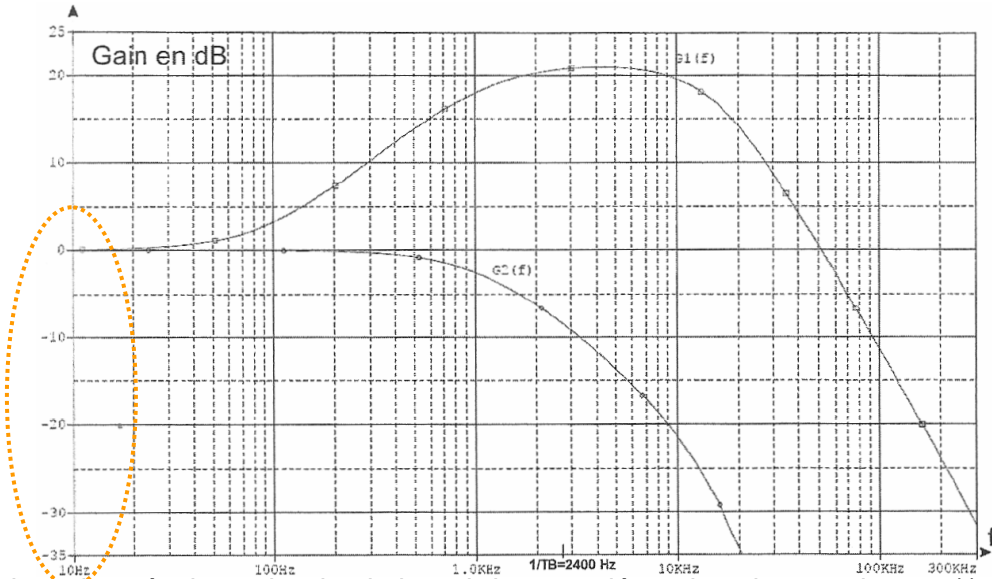
$V_e(t)$ représente le signal analogique à la sortie du bloc FSK PLL Demod.

Q31 Reporter, à l'emplacement prévu ci-dessous, les numéros de broches du circuit TDA5220 (cercles) ainsi que les valeurs des composants (rectangles) à l'aide du schéma structurel (page BAN2).

[TDA5220 BAN15/17]



On donne le résultat de simulation de la structure précédente où $G_1(f)$ représente le gain de la fonction de transfert entre $V_s(f)$ et $V_e(f)$, et $G_2(f)$ représente le gain de la fonction de transfert $V_m(f)$ et $V_e(f)$.



Q32 En exploitant les résultats de simulation ci-dessus, déterminer les tensions $v_s(t)$, $v_m(t)$ et $v_s1(t)$ lorsque $v_e(t)$ est une composante continue de 1V.

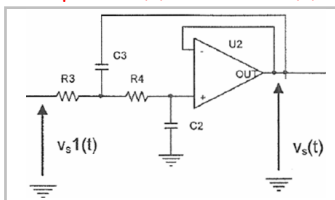
Pour une tension continue, la fréquence est de 0Hz.

Pour le continu on a alors $G_1(f) = 0\text{dB}$ or $G_1(f) = 20 \text{ Log}[V_s(f)/V_e(f)]$

$\Rightarrow V_s(f)/V_e(f) = 1 \Rightarrow$ si $V_e = 1\text{V}$ alors $V_s = 1\text{V}$

Idem pour $G_2(f) = 0\text{dB}$ or $G_2(f) = 20 \text{ Log}[V_m(f)/V_e(f)]$

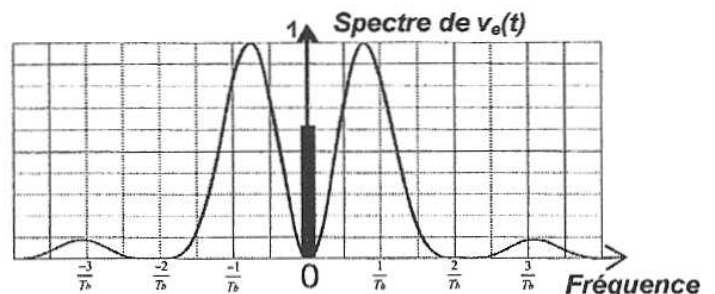
$\Rightarrow V_m(f)/V_e(f) = 1 \Rightarrow$ si $V_e = 1\text{V}$ alors $V_m = 1\text{V}$



Pour le continu les condensateurs sont équivalents à un circuit ouvert, le montage ci-contre revient à avoir un montage suiveur (AO en linéaire) : $V_s(t) = V(-) = V(+) = V_s1(t)$

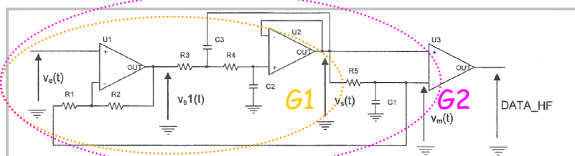
Sachant que $V_s = 1\text{V}$ on a $V_s1(t) = 1\text{V}$.

Le spectre du signal $v_e(t)$ codé Manchester est donné par la figure ci-contre. Presque 88% de l'énergie est contenue dans le lobe principal. Remarque : la raie correspond à la composante continue V_{offset} .



$1/T_b$: Débit de transmission à 9600 bits/s.

Q33 Exprimer l'effet de $G_1(f)$ et $G_2(f)$ sur les deux composantes spectrales (raie et lobes) de $v_e(t)$.



$G_1(f)$ laisse passer le continu et n'amplifie que le spectre utile (lobes), on rejette les autres fréquences grâce au filtre de Rauch (autour de U2).

Le circuit R5-C1 constitue un filtre passe-bas, il réalise la fonction de moyennage, G_2 permet de récupérer la composante continue (raie) fournie par G_1 .

Le signal $v_m(t)$ élaboré correspond à la valeur moyenne (ajustable automatiquement) du signal $v_s(t)$. Ce signal $v_m(t)$ est utilisé comme seuil de décision pour la structure autour du circuit U3.

Q34 Donner le nom de la fonction réalisée par le circuit U3.

Le circuit U3 fonctionne en **comparateur**, on compare le signal $V_s(t)$ qui est sur l'entrée $V(+)$ avec la valeur moyenne de celui-ci sur l'entrée $V(-)$.

Q35 Préciser l'intérêt d'utiliser un seuil ajustable automatiquement par rapport à un seuil fixe dans un circuit de décision.

L'amplitude du signal reçu va dépendre des conditions de réception et des données transmises, ainsi il y aura un **auto-ajustement**. Un comparateur à seuil fixe pourrait conduire à des résultats faux et donc des décisions erronées.

FP3 : Emission LF

Le signal de réveil des MER est une porteuse modulée ASK (signal DATA_LF). Dans cette étude, on ne s'intéresse qu'à la génération de la porteuse (signal carré de fréquence 125 kHz) générée par le timer0 du PIC18F2580. On utilise des fonctions déjà écrites (bibliothèque du compilateur C utilisée) : **set_timer0(x)** et **output_bit(x,y)**.

- Le timer0 est configuré en mode 8 bits (comptage de 0 à 255).
- La période d'incrémentatation T_{CLK} du timer0 est de **100ns**.
- Les interruptions, suite au débordement du timer0 (time out), sont autorisées.
- La fonction **set_timer0(N)** permet d'initialiser le timer0 à la valeur N ($0 \leq N \leq 255$).
- La fonction **output_bit(PIN_C3, val)** positionne la broche 3 du port C du PIC18F2580 à l'état haut ou bas selon que val est égal à 1 ou 0 respectivement.

Le sous-programme d'interruption TIMER0_isr() suivant permet de générer la porteuse 125kHz.

TIMER_isr()

```
{
    set_timer0(N);           // réinitialisation du timer0 à la valeur N
    if(val==1) val=0;       // test de la valeur courante de val pour avoir l'état complément
    else val=1;
    output_bit(PIN_C3, val); // mise à 1 ou à 0 de la broche PIN_C3 selon la valeur de val
}
```

Remarque : en langage C les lignes commençant par // sont les lignes de commentaire.

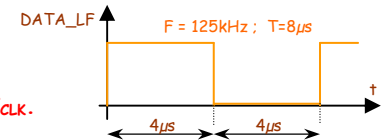
Le signal Horloge du chronogramme ci-dessous illustre les instants d'incrémentatation du timer0. Le déroulement du timer0 génère une interruption si celle-ci a été autorisée. Les instants où les interruptions sont produites correspondent aux fronts montants et descendants du signal à générer (on néglige le temps correspondant à la prise en compte des interruptions par le microcontrôleur PIC).

Q36 Déterminer le nombre de périodes d'horloge d'incrémentatation du timer0 contenu dans chaque demi-période de la porteuse **125kHz**. En déduire la valeur N qu'il faut charger dans le timer0 pour générer des interruptions toutes les 4 μ s.

DATA_LF : Une fréquence de 125kHz correspond à une période de 8 μ s ($T=1/F$).

Une demi-période dure 4 μ s.

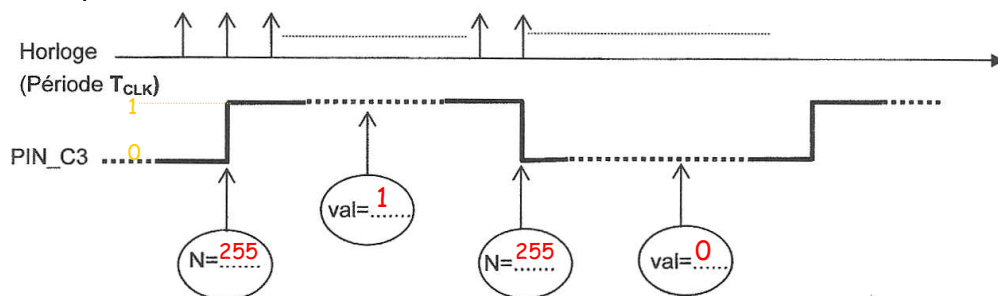
L'horloge T_{CLK} utilisée par le timer0 est de 100ns, pour 4 μ s, il faut donc **40 périodes** de T_{CLK} .



Chaque débordement du timer0 (après incrémentatation de la valeur 255) génère une interruption, qui fait basculer l'état de la sortie.

Sachant que le timer0 doit compter 40 périodes, il doit donc démarrer à (255 - 40) soit à 215 \Rightarrow **N = 215**

Q37 En correspondance avec l'exécution de l'interruption TIMER0_isr(), compléter le chronogramme suivant : génération porteuse 125kHz.

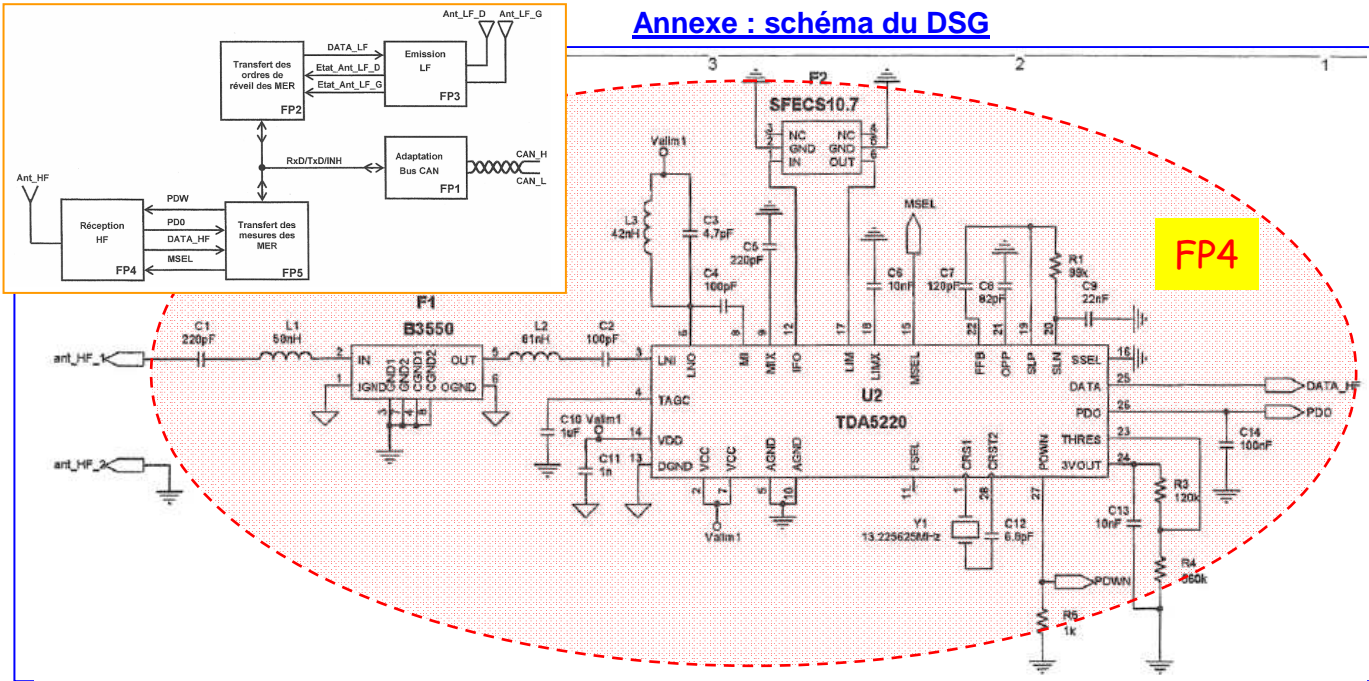


En langage C, l'expression "if ... else" permet d'exécuter une autre instruction en cas de non-réalisation de la condition.

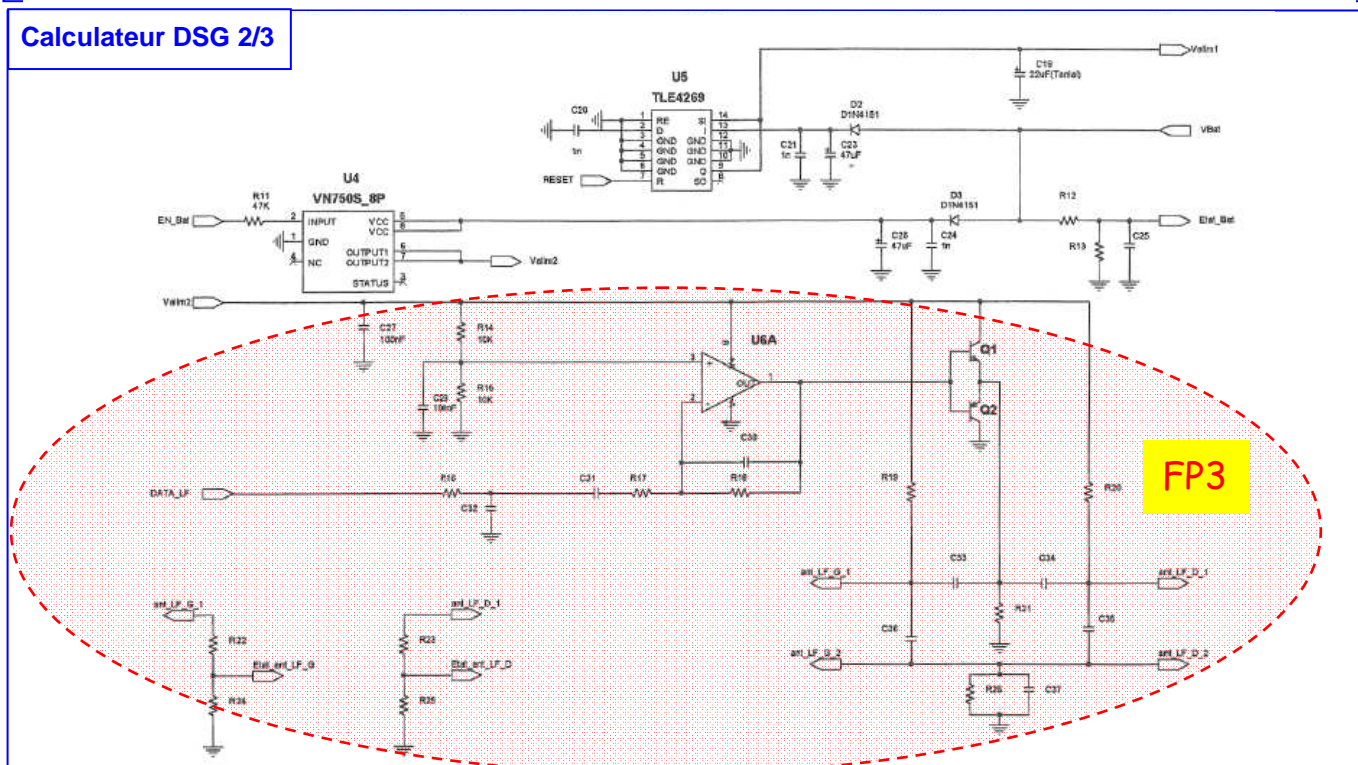
- val==1 : est un test de la valeur de la variable val
- val=0 : force la variable val à la valeur indiquée

```
TIMER_isr()
{
    set_timer0(N);           // réinitialisation du timer0 à la valeur N
    if(val==1) val=0;       // test si val est égal à 1, si oui alors on met val à 0
    else val=1;             // si non on met val à 1 ; on a ainsi inversé la valeur de val
    output_bit(PIN_C3, val); // on met la valeur de val (0 ou 1) sur la broche PIN_C3 du circuit PIC
}
```

Annexe : schéma du DSG



Calculateur DSG 2/3



Calculateur DSG 3/3

