

# Architecture des systèmes informatiques

## Chapitre 9 - Communications

Idir AIT SADOUNE

CentraleSupélec - Département Informatique  
3, rue Joliot-Curie, 91192 Gif-sur-Yvette cedex  
<idir.aitsadoune@centralesupelec.fr>

Année scolaire 2015-2016, Séquence 5



CentraleSupélec

# Outline

Caractéristiques

Liaison série/parallèle

Les bus

Arbitrage

9 -

Communications

I. Ait Sadoune

Caractéristiques

Liaison  
série/parallèle

Les bus

Arbitrage

- ▶ Types de topologies :
  - ▶ point à point
  - ▶ bus

- ▶ Types de topologies :
  - ▶ point à point
  - ▶ bus
- ▶ Types de transfert :
  - ▶ liaison parallèle
  - ▶ liaison série

- ▶ Types de topologies :
  - ▶ point à point
  - ▶ bus
- ▶ Types de transfert :
  - ▶ liaison parallèle
  - ▶ liaison série
- ▶ Transmission d'horloge ?
  - ▶ synchrone
  - ▶ asynchrone

- ▶ Types de topologies :
  - ▶ point à point
  - ▶ bus
- ▶ Types de transfert :
  - ▶ liaison parallèle
  - ▶ liaison série
- ▶ Transmission d'horloge ?
  - ▶ synchrone
  - ▶ asynchrone
- ▶ Caractéristiques de la liaison :
  - ▶ longueur variable
  - ▶ débit variable

# Topologies

9 -

Communications

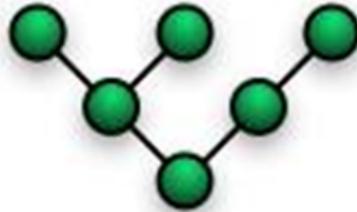
I. Ait Sadoune

Caractéristiques

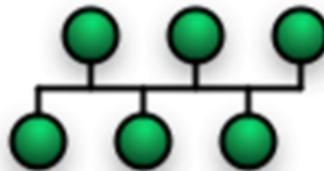
Liaison  
série/parallèle

Les bus

Arbitrage



point à point



bus

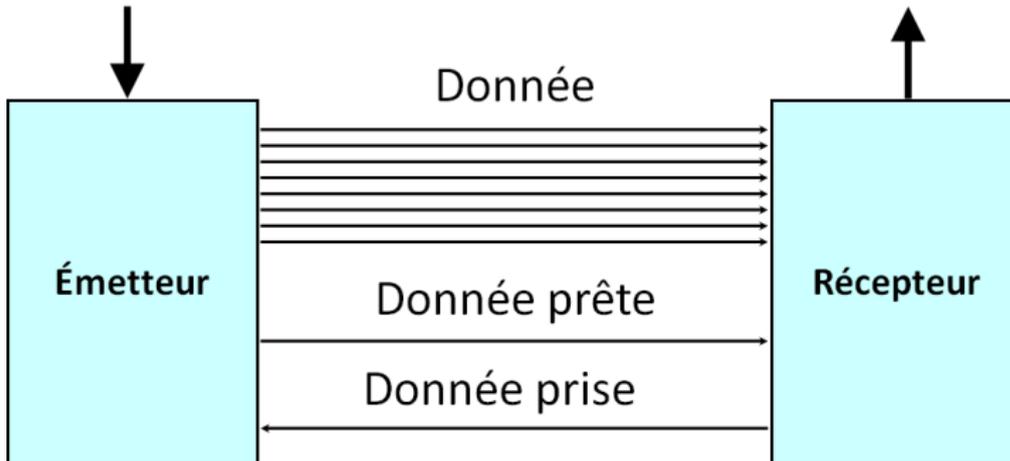
# Liaison parallèle

Caractéristiques

Liaison  
série/parallèle

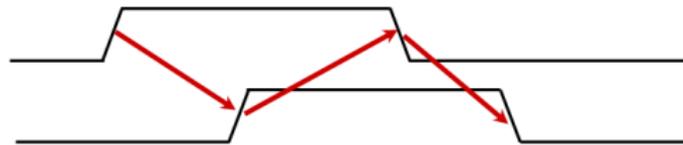
Les bus

Arbitrage



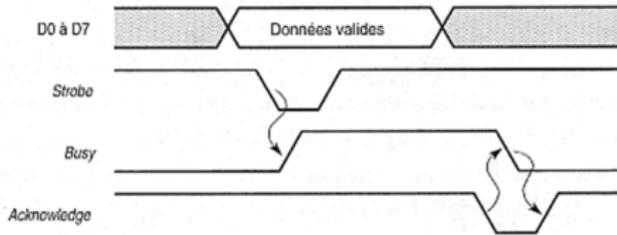
Donnée prête

Donnée prise

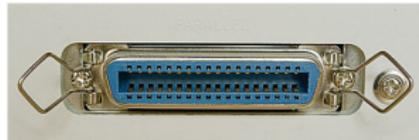


# Exemple de liaison parallèle

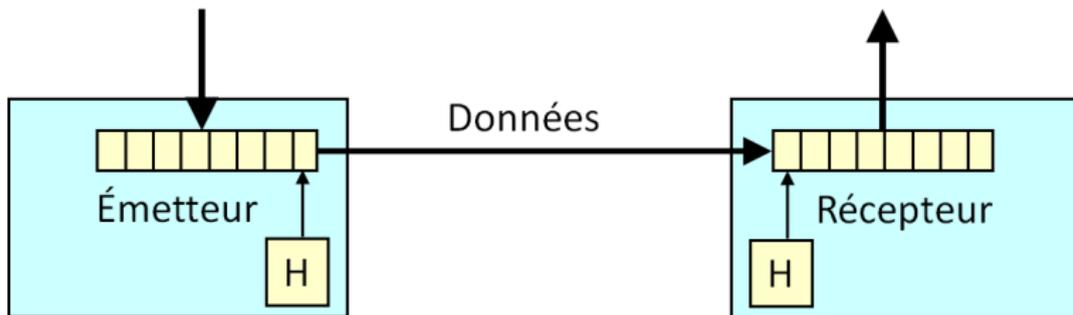
Interface Centronics /  
IEEE 1284  
(imprimantes → ~2000)



Connecteur DB25



Connecteur Micro Ribbon



Synchronisation des horloges ?

# Liaison série asynchrone

- ▶ Horloges distinctes réglées sur la même fréquence

# Liaison série asynchrone

- ▶ Horloges distinctes réglées sur la même fréquence
- ▶ Un « *start bit* » pour indiquer le début de la transmission d'un octet

- ▶ Horloges distinctes réglées sur la même fréquence
- ▶ Un « *start bit* » pour indiquer le début de la transmission d'un octet
- ▶ Un ou deux « *stop bit* » après la transmission de l'octet pour permettre la détection du « *start bit* » suivant

- ▶ Horloges distinctes réglées sur la même fréquence
- ▶ Un « *start bit* » pour indiquer le début de la transmission d'un octet
- ▶ Un ou deux « *stop bit* » après la transmission de l'octet pour permettre la détection du « *start bit* » suivant
- ▶ Éventuellement, un bit de parité

# Transmission du caractère S

Caractéristiques

Liaison  
série/parallèle

Les bus

Arbitrage

Codage ASCII

0	1	0	1	0	0	1	1
---	---	---	---	---	---	---	---

Horloge

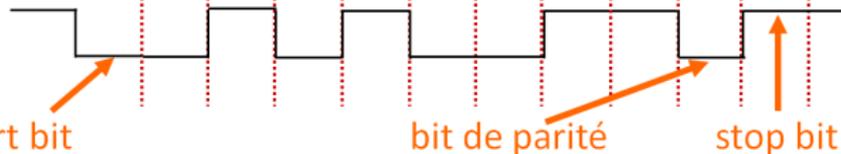


Signal

start bit

bit de parité

stop bit



- ▶ Présence de files d'attente (émission et réception)

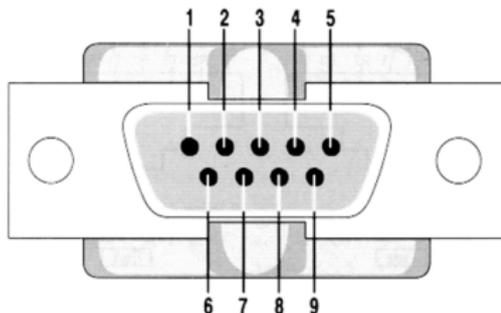
- ▶ Présence de files d'attente (émission et réception)
- ▶ Solution 1 :
  - ▶ utilisation de signaux dédiés
  - ▶ → out of band

- ▶ Présence de files d'attente (émission et réception)
- ▶ Solution 1 :
  - ▶ utilisation de signaux dédiés
  - ▶ → out of band
- ▶ Solution 2
  - ▶ Utilisation de caractères spéciaux (XON et XOFF)
  - ▶ → in band

# Exemple de liaison série : RS232



DB9



Pin	Signal	Pin	Signal
1	Data Carrier Detect	6	Data Set Ready
2	Received Data	7	Request to Send
3	Transmitted Data	8	Clear to Send
4	Data Terminal Ready	9	Ring Indicator
5	Signal Ground		

# Liaison série synchrone

- ▶ L'horloge est transmise en même temps que les données

# Liaison série synchrone

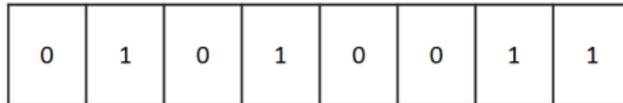
- ▶ L'horloge est transmise en même temps que les données
- ▶ Les octets sont assemblés en trame (taille variable avec un maximum)

- ▶ L'horloge est transmise en même temps que les données
- ▶ Les octets sont assemblés en trame (taille variable avec un maximum)
- ▶ La trame est précédée d'un fanion pour permettre au récepteur de se synchroniser

# Exemple de codage : Manchester

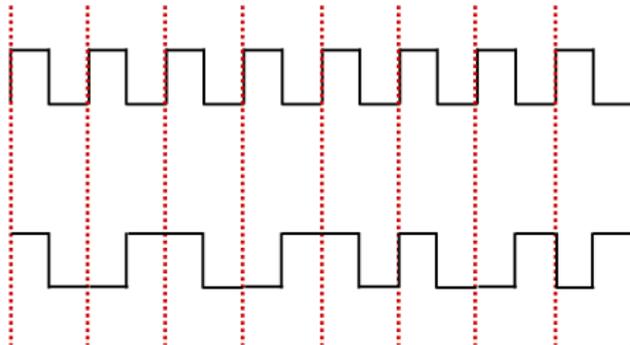
Exemple : Ethernet

Octet à transmettre



Horloge

Signal (XOR)



Préambule (synchro horloges) : 101010 ... 1010**11**  
64 bits

# Exemples de liaisons

- ▶ Parallèle : Centronics, ATA (IDE), SCSI, PCI

# Exemples de liaisons

- ▶ Parallèle : Centronics, ATA (IDE), SCSI, PCI
- ▶ Série : RS232, Ethernet, USB, FireWire, S-ATA, Serial-attached SCSI, PCI-Express

# Exemples de liaisons

- ▶ Parallèle : Centronics, ATA (IDE), SCSI, PCI
- ▶ Série : RS232, Ethernet, USB, FireWire, S-ATA, Serial-attached SCSI, PCI-Express
- ▶ Disparition progressive des liaisons parallèles :
  - ▶ encombrement important
  - ▶ interférences gênantes entre de nombreux conducteurs

- ▶ Parallèle : Centronics, ATA (IDE), SCSI, PCI
- ▶ Série : RS232, Ethernet, USB, FireWire, S-ATA, Serial-attached SCSI, PCI-Express
- ▶ Disparition progressive des liaisons parallèles :
  - ▶ encombrement important
  - ▶ interférences gênantes entre de nombreux conducteurs
- ▶ Utilisation de codes détecteurs/correcteurs d'erreurs

## Définition

- ▶ Ensemble de signaux
- ▶ Support de communication partagé par plusieurs composants (par opposition à une liaison point à point)
- ▶ Un bus est soit série, soit parallèle
- ▶ Bus système, bus externe...

## Définition

- ▶ Ensemble de signaux
- ▶ Support de communication partagé par plusieurs composants (par opposition à une liaison point à point)
- ▶ Un bus est soit série, soit parallèle
- ▶ Bus système, bus externe...

## Problèmes à résoudre

- ▶ Gestion du partage du support de communication : **arbitrage**
- ▶ Sélection du destinataire : **adressage**
- ▶ Synchronisation des signaux entre le maître et l'esclave :  
**synchronisation microscopique**
- ▶ Gestion des échanges (association requête ? réponse) : **synchronisation macroscopique**

## Informations circulant sur un bus

- ▶ Les **adresses** (identification du destinataire)
- ▶ Les **données** (du maître vers l'esclave, ou l'inverse)
- ▶ Les signaux de **commande et de contrôle** (lecture/écriture, arbitrage, demande d'interruption ...)

## Informations circulant sur un bus

- ▶ Les **adresses** (identification du destinataire)
- ▶ Les **données** (du maître vers l'esclave, ou l'inverse)
- ▶ Les signaux de **commande et de contrôle** (lecture/écriture, arbitrage, demande d'interruption ...)

## Caractéristiques des bus

- ▶ Signaux dédiés ou banalisés (multiplexage temporel)
- ▶ Arbitrage centralisé ou décentralisé
- ▶ Synchronisation via une horloge commune ou pas
- ▶ Largeur du bus (8, 16, 32 ...)
- ▶ Types de transferts (un ou plusieurs mots, lecture/écriture combinées)

## Types d'arbitrage

- ▶ Arbitrage **centralisé** : un arbitre (composant) est responsable de l'attribution de l'utilisation du bus
- ▶ Arbitrage **décentralisé** : La logique d'arbitrage est répartie sur les différents composants

## Types d'arbitrage

- ▶ Arbitrage **centralisé** : un arbitre (composant) est responsable de l'attribution de l'utilisation du bus
- ▶ Arbitrage **décentralisé** : La logique d'arbitrage est répartie sur les différents composants

## Propriétés nécessaires

- ▶ **Sûreté** : au plus un seul maître du bus à un moment donné
- ▶ **Vivacité** : un composant obtient rapidement l'accès à un bus disponible au bout d'un temps fini

## Types d'arbitrage

- ▶ Arbitrage **centralisé** : un arbitre (composant) est responsable de l'attribution de l'utilisation du bus
- ▶ Arbitrage **décentralisé** : La logique d'arbitrage est répartie sur les différents composants

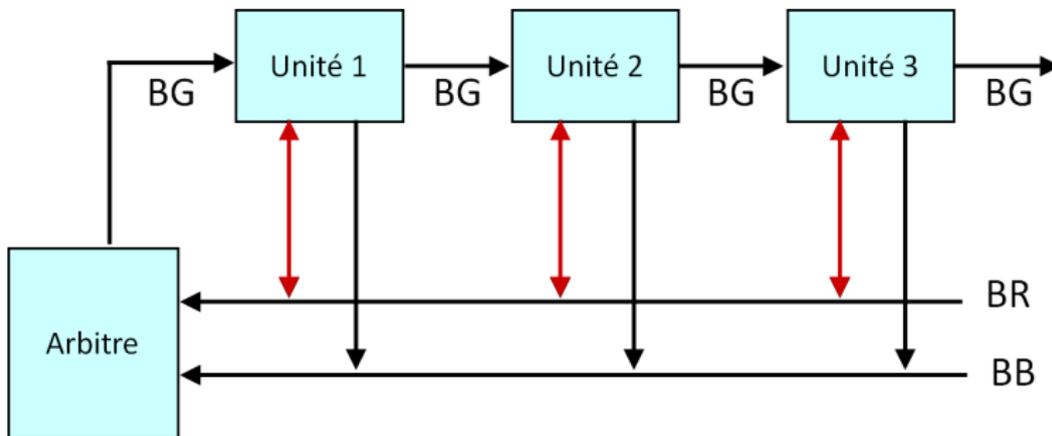
## Propriétés nécessaires

- ▶ **Sûreté** : au plus un seul maître du bus à un moment donné
- ▶ **Vivacité** : un composant obtient rapidement l'accès à un bus disponible au bout d'un temps fini

## Signaux d'arbitrage

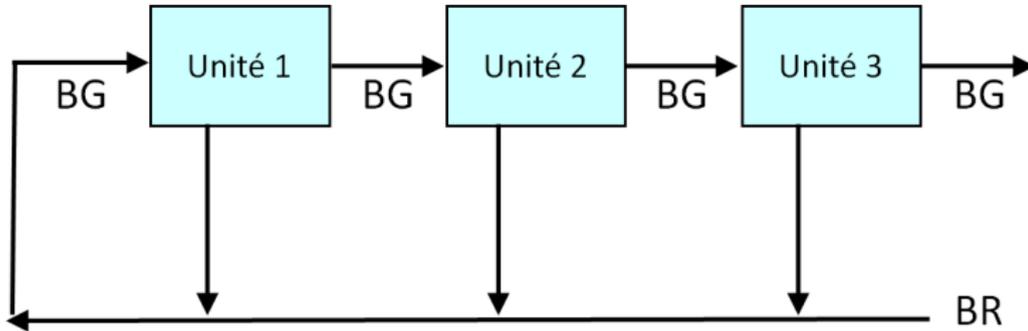
- ▶ **Bus Request** : un composant demande d'utilisation du bus
- ▶ **Bus Grant** : la logique d'arbitrage autorise le composant à utiliser le bus
- ▶ **Bus Busy** : un composant indique qu'il utilise le bus

# Arbitrage par passage de jeton (daisy-chain)



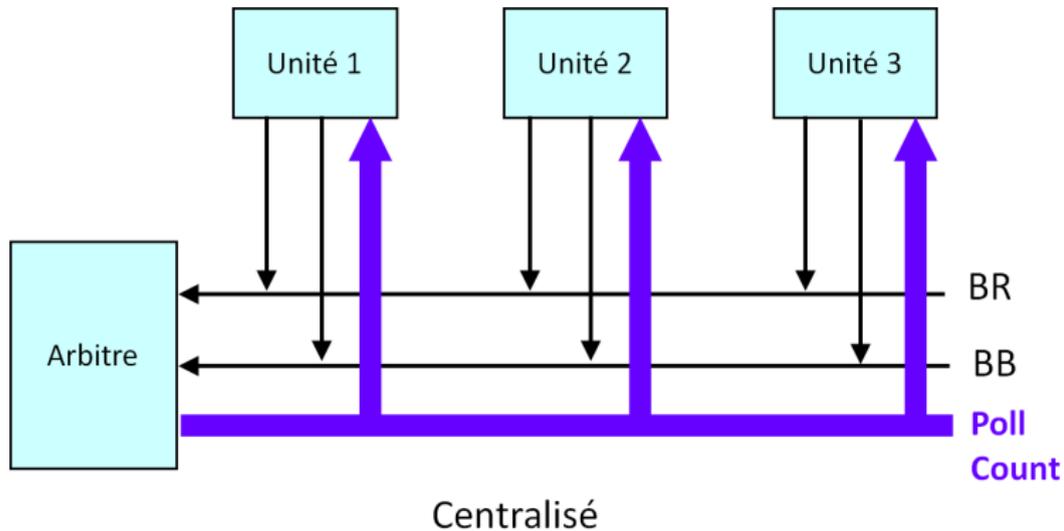
Centralisé

# Arbitrage par passage de jeton (daisy-chain)



Décentralisé

# Arbitrage par scrutation (polling)





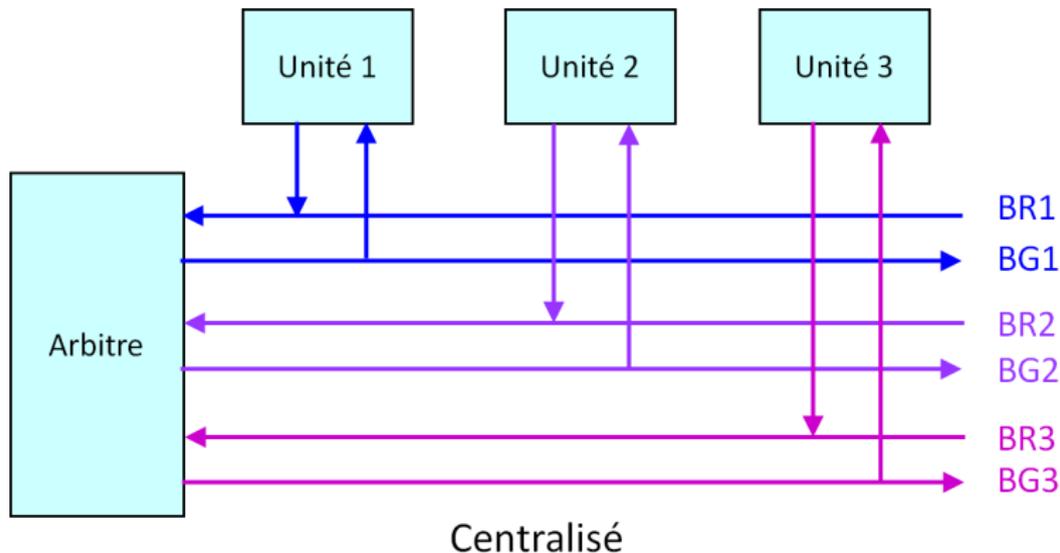
# Arbitrage par demandes indépendantes

Caractéristiques

Liaison  
série/parallèle

Les bus

Arbitrage







# Adressage : sélection du destinataire

- ▶ Une partie des signaux est utilisée pour indiquer le destinataire (bus parallèle)
  - ▶ bus système : lignes d'adresses, espaces d'adresses
  - ▶ SCSI : numéro d'identification

# Adressage : sélection du destinataire

- ▶ Une partie des signaux est utilisée pour indiquer le destinataire (bus parallèle)
  - ▶ bus système : lignes d'adresses, espaces d'adresses
  - ▶ SCSI : numéro d'identification
- ▶ Le message contient l'identification du destinataire (bus série)
  - ▶ Ethernet : adresse MAC
  - ▶ USB : adresse du périphérique (entre 1 et 127)

## Synchronisation macroscopique

- ▶ La requête et la réponse font partie de la même transaction (Le bus ne peut pas être utilisé entre les deux)
- ▶ La requête et la réponse se font en deux transactions distinctes (Inversion des rôles maître-esclave lors de la réponse)

## Synchronisation macroscopique

- ▶ La requête et la réponse font partie de la même transaction (Le bus ne peut pas être utilisé entre les deux)
- ▶ La requête et la réponse se font en deux transactions distinctes (Inversion des rôles maître-esclave lors de la réponse)

## Synchronisation microscopique

- ▶ Bus synchrone (Un signal d'horloge rythme les échanges)
- ▶ Bus asynchrone (Des signaux supplémentaires avertissent de la prise en compte des informations)

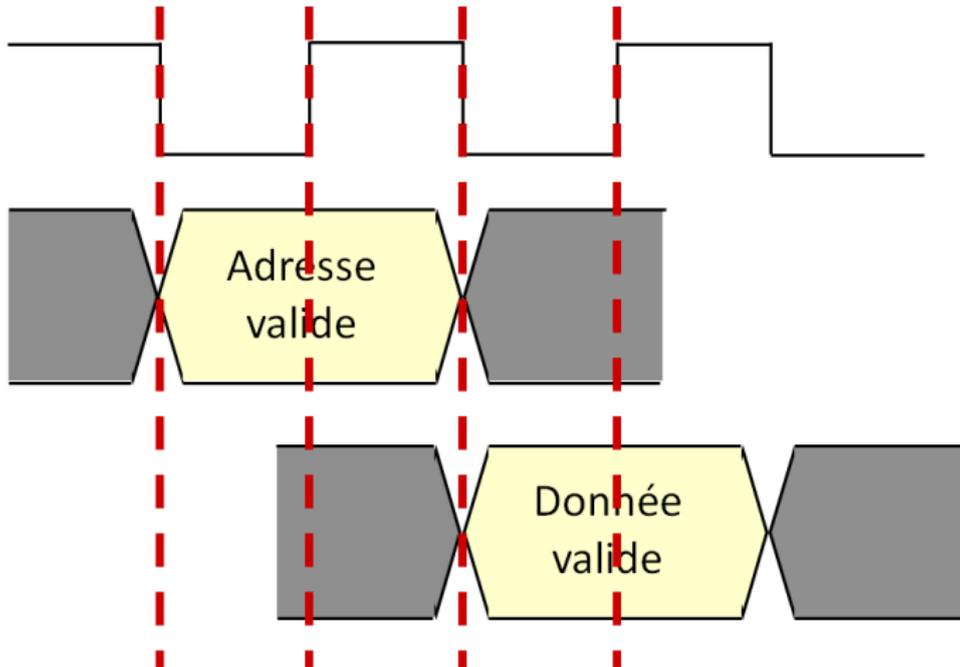
# Synchronisation sur bus synchrone

Caractéristiques

Liaison  
série/parallèle

Les bus

Arbitrage



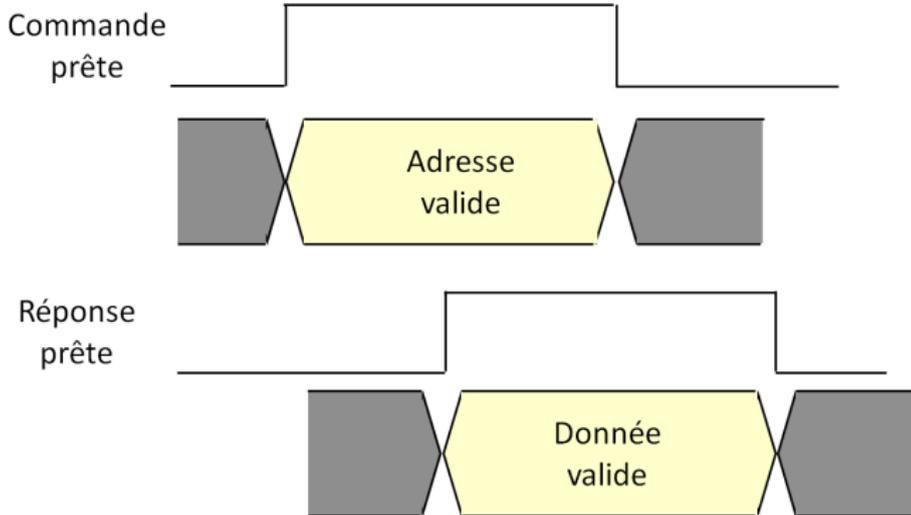
# Synchronisations sur bus asynchrone

Caractéristiques

Liaison  
série/parallèle

Les bus

Arbitrage



## Exemple de bus : PCI

- ▶ Bus parallèle 32 bits (extension à 64 bits) avec multiplexage des adresses et des données, 49 signaux obligatoires
- ▶ Arbitrage centralisé par demandes indépendantes
- ▶ Bus semi-synchrone (33 Mhz, extension à 66 Mhz)

## Exemple de bus : PCI

- ▶ Bus parallèle 32 bits (extension à 64 bits) avec multiplexage des adresses et des données, 49 signaux obligatoires
- ▶ Arbitrage centralisé par demandes indépendantes
- ▶ Bus semi-synchrone (33 Mhz, extension à 66 Mhz)

## Liaison PCI Express

- ▶ Ensemble de liaisons point à point
- ▶ Plusieurs couples de périphériques peuvent communiquer simultanément
- ▶ Commutateur pour établir les circuits (crossbar switch)

## Exemple de bus : PCI

- ▶ Bus parallèle 32 bits (extension à 64 bits) avec multiplexage des adresses et des données, 49 signaux obligatoires
- ▶ Arbitrage centralisé par demandes indépendantes
- ▶ Bus semi-synchrone (33 Mhz, extension à 66 Mhz)

## Liaison PCI Express

- ▶ Ensemble de liaisons point à point
- ▶ Plusieurs couples de périphériques peuvent communiquer simultanément
- ▶ Commutateur pour établir les circuits (crossbar switch)

## Exemple de bus : USB

- ▶ Bus série (4 fils : D+, D-, VBUS, GND)
- ▶ Arbitrage centralisé par scrutation (un seul maître)
- ▶ Adresses (sur 7 bits) attribuées dynamiquement (plug-and-play)





## Exemple de bus : VMEbus

- ▶ Adressage centralisé par passage de jeton (daisy-chain)
- ▶ 4 niveaux de priorités
  - ▶ pour chaque niveau, un bus request et un bus grant
    1. l'arbitre détermine le niveau qui gagne l'arbitrage (priorités fixées ou en round-robin)
    2. l'arbitre envoie un jeton sur le bus grant correspondant

## Exemple de bus : VMEbus

- ▶ Adressage centralisé par passage de jeton (daisy-chain)
- ▶ 4 niveaux de priorités
  - ▶ pour chaque niveau, un bus request et un bus grant
    1. l'arbitre détermine le niveau qui gagne l'arbitrage (priorités fixées ou en round-robin)
    2. l'arbitre envoie un jeton sur le bus grant correspondant

## Liaison ATA (AT-Attachment)

- ▶ PATA (Parallel ATA)
  - ▶ parallèle
  - ▶ 2 unités sur un câble
  - ▶ device 0, device 1 (informellement : maître, esclave)
  - ▶ "Arbitrage centralisé par scrutation"
- ▶ SATA (Serial ATA)
  - ▶ série
  - ▶ point à point