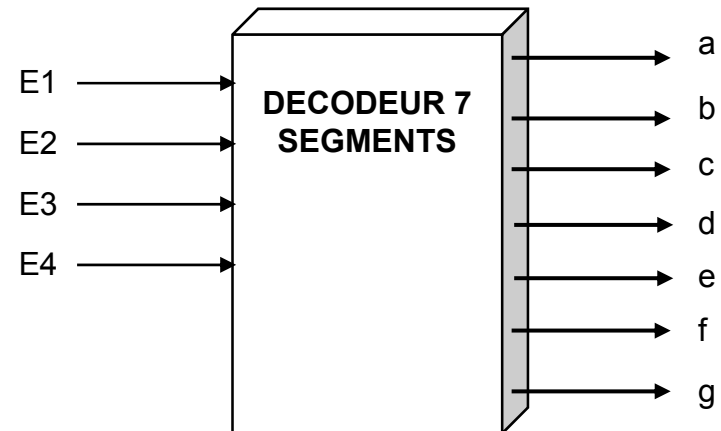
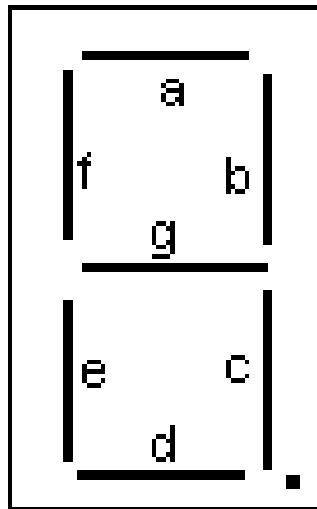
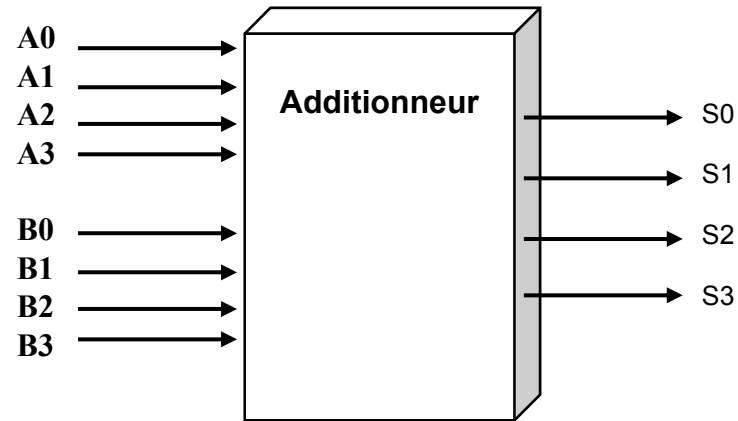


Circuits séquentiels élémentaires

Ecole Polytechnique Universitaire de Montpellier
Université Montpellier II
Place Eugène Bataillon, 34095 Montpellier cedex 05, FRANCE

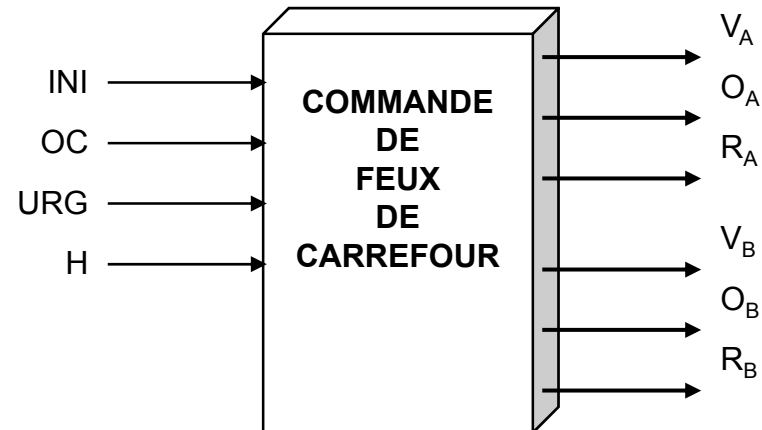
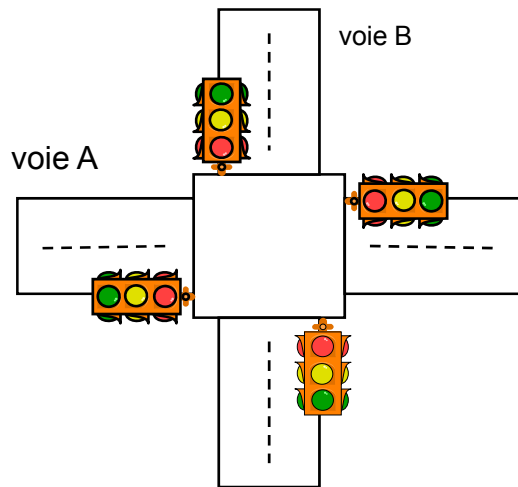
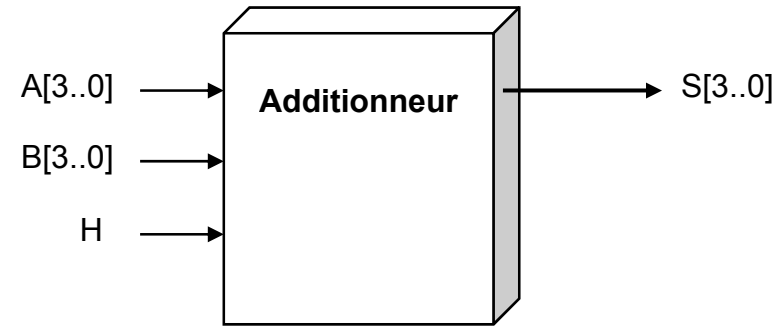
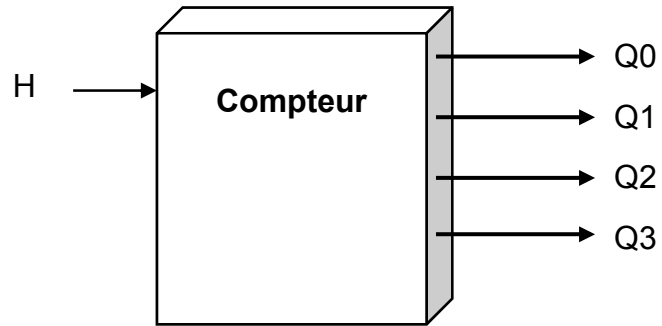
Laboratoire d'Informatique, de Robotique et de Microélectronique de Montpellier
UMR 5506 Université Montpellier II / CNRS
161 rue Ada, 34392 Montpellier cedex 05, FRANCE

Combinatoire / Séquentiel

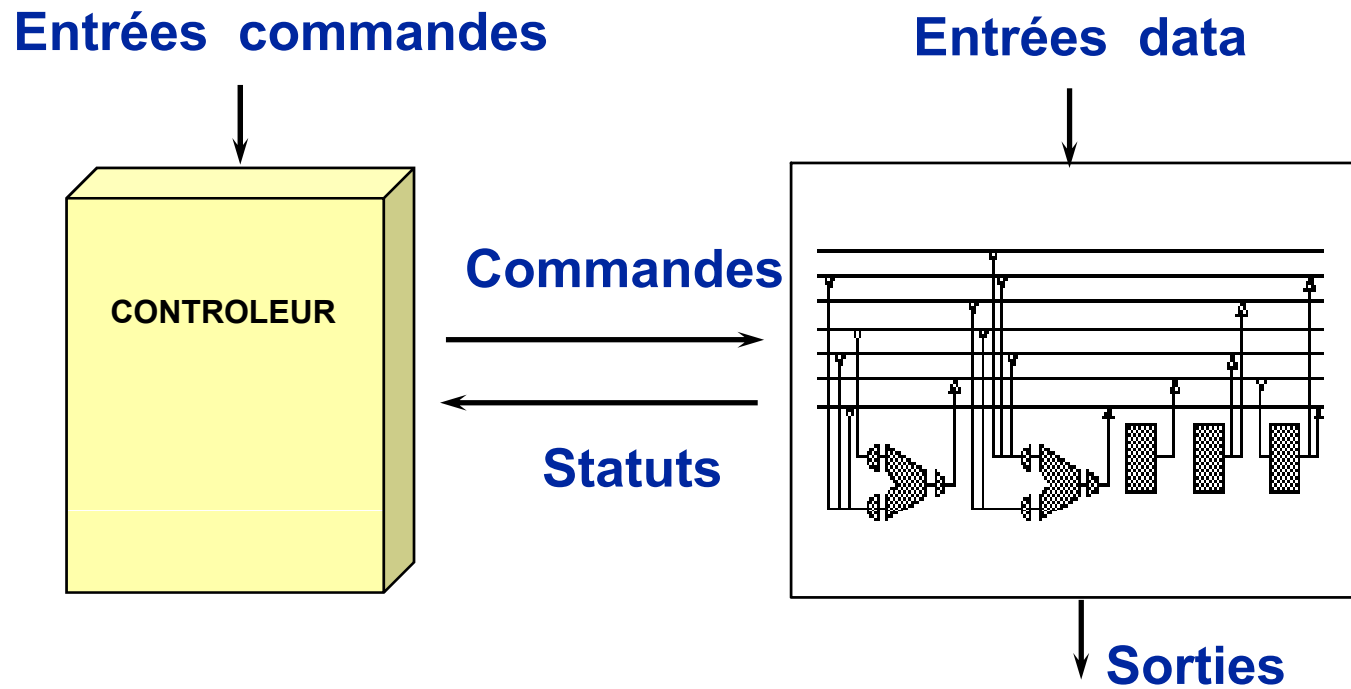


afficheur 7 segments

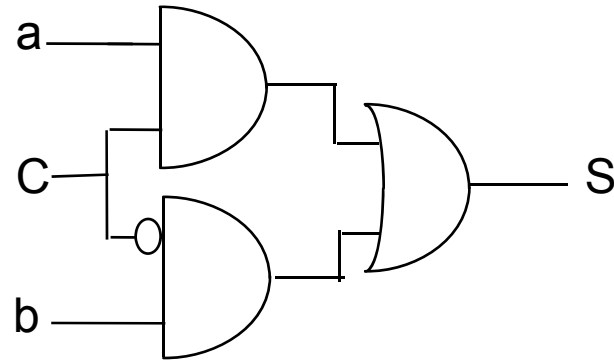
Combinatoire / Séquentiel



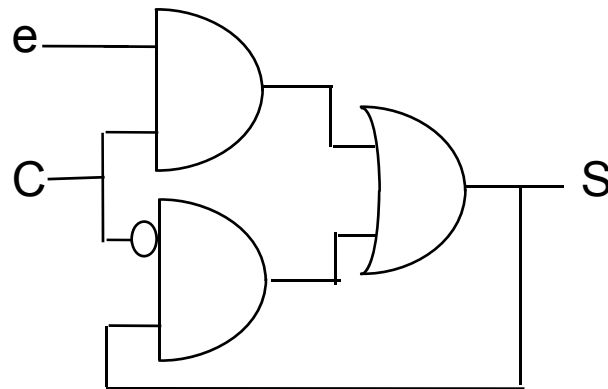
Combinatoire / Séquentiel



Combinatoire / Séquentiel



$$S = C.a + C'.b$$

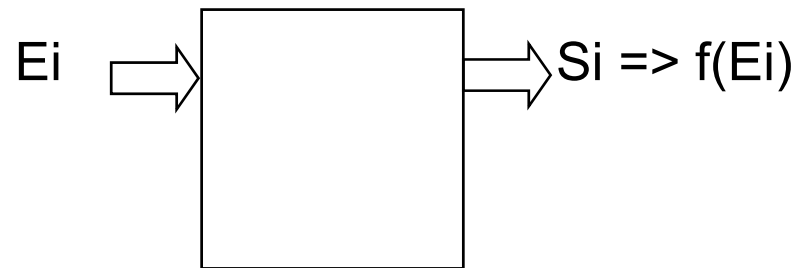


C	e	S
0	0	S
0	1	S
1	0	0
1	1	1

Combinatoire / Séquentiel

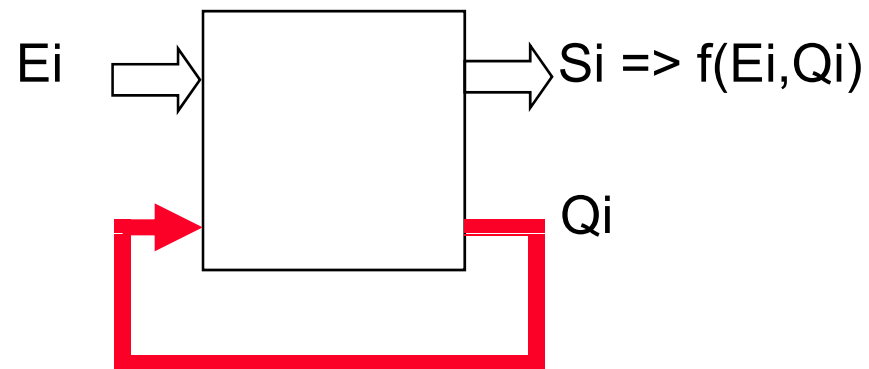
Combinatoire :

- Lorsque les données d'entrée sont disponibles au même instant (mots en //)
- Les sorties dépendent uniquement de la fonction et des données d'entrées

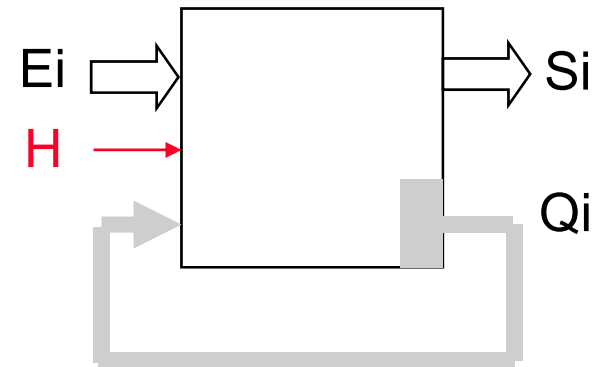
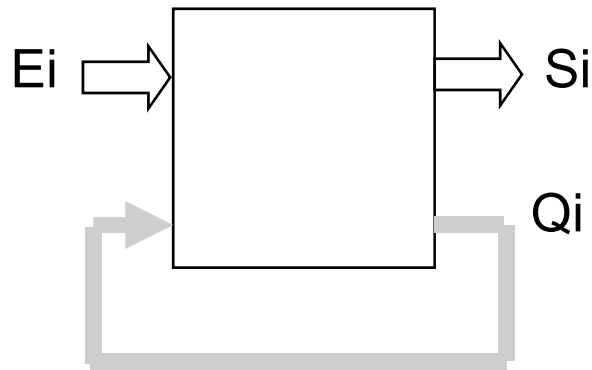


Séquentiel :

- Lorsque les données d'entrée sont réparties dans le temps (mots en série ou séquences)
- Mémorisation de données
- Les sorties dépendent de la fonction, des données d'entrées et des données mémorisées



Synchrone / Asynchrone

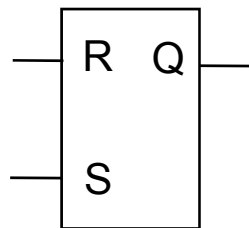


- ❑ Définition: Un système séquentiel est *asynchrone* si à partir de l'instant où on applique un vecteur d'entrée, son évolution est incontrôlable de l'extérieur.
- ❑ Définition: Un système séquentiel est *synchrone* si son évolution est contrôlable de l'extérieur par un signal d'horloge

Bascule RS

La bascule RS est un dispositif à deux entrées R et S et une sortie Q présentant la propriété suivante:

- une apparition (même fugitive) de S entraîne durablement $Q=1$
- une apparition (même fugitive) de R entraîne durablement $Q=0$.



Q_n	S	R	Q_{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	X
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	X

		SR			
		00	01	11	10
Q_n	0	0	0	X	1
	1	1	0	X	1

Q_{n+1}

- L'énoncé du problème est incomplet: les combinaisons (3) et (7) ne sont pas définies. Elles correspondent à des ordres d'enclenchement (SET) et de déclenchement (RESET) simultanés. En laissant le problème incomplètement spécifié, on peut obtenir plusieurs équations de la bascule

Bascule RS

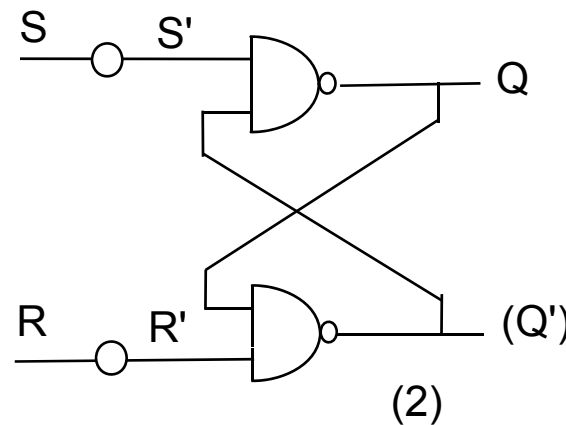
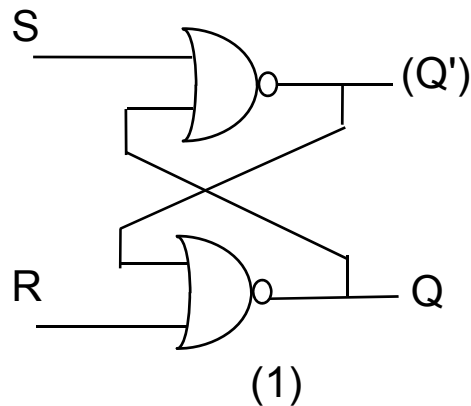
$$Q_{n+1} = S.R' + Q_n.R' = (S + Q_n) R' = ((S + Q_n)' + R)'$$
 (1)

$$Q_{n+1} = S + Q_n.R' = (S' . (Q_n.R))'$$
 (2)

		SR			
		00	01	11	10
Qn	0	0	0	X	1
	1	1	0	X	1

Qn+1

S	R	Qn+1
0	0	Qn
0	1	0
1	0	1
1	1	Interdit



- (R,S)=(1,1) introduit une indétermination.
 - En effet, le passage de la combinaison (R,S)=(1,1) à (R,S)=(0,0) entraîne deux valeurs possibles sur Q selon que R ou S commute en premier.
- Si l'on interdit la combinaison (R,S)=(1,1) on remarque que sur les deux structures, la connexion symétrique de la sortie Q porte la valeur Q'.

Bascule RS

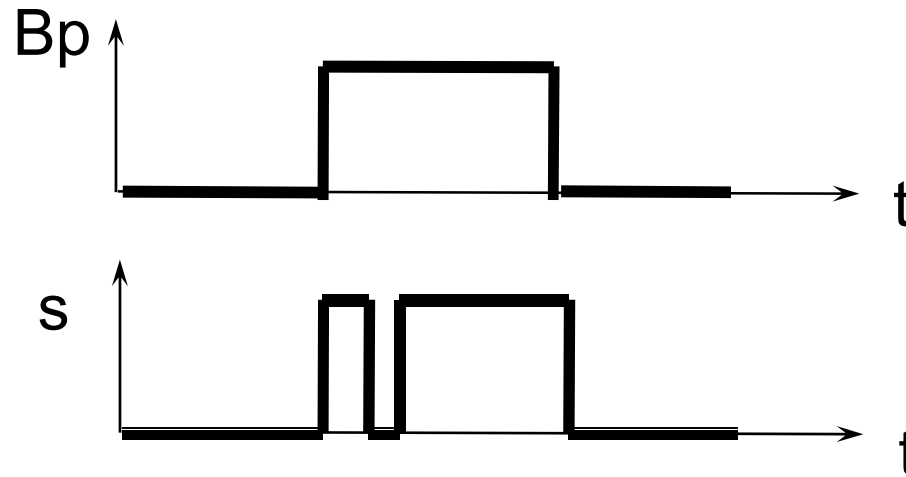
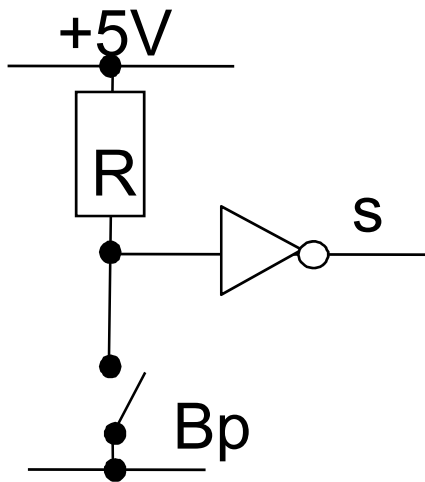
□ Avantages:

- Simplicité

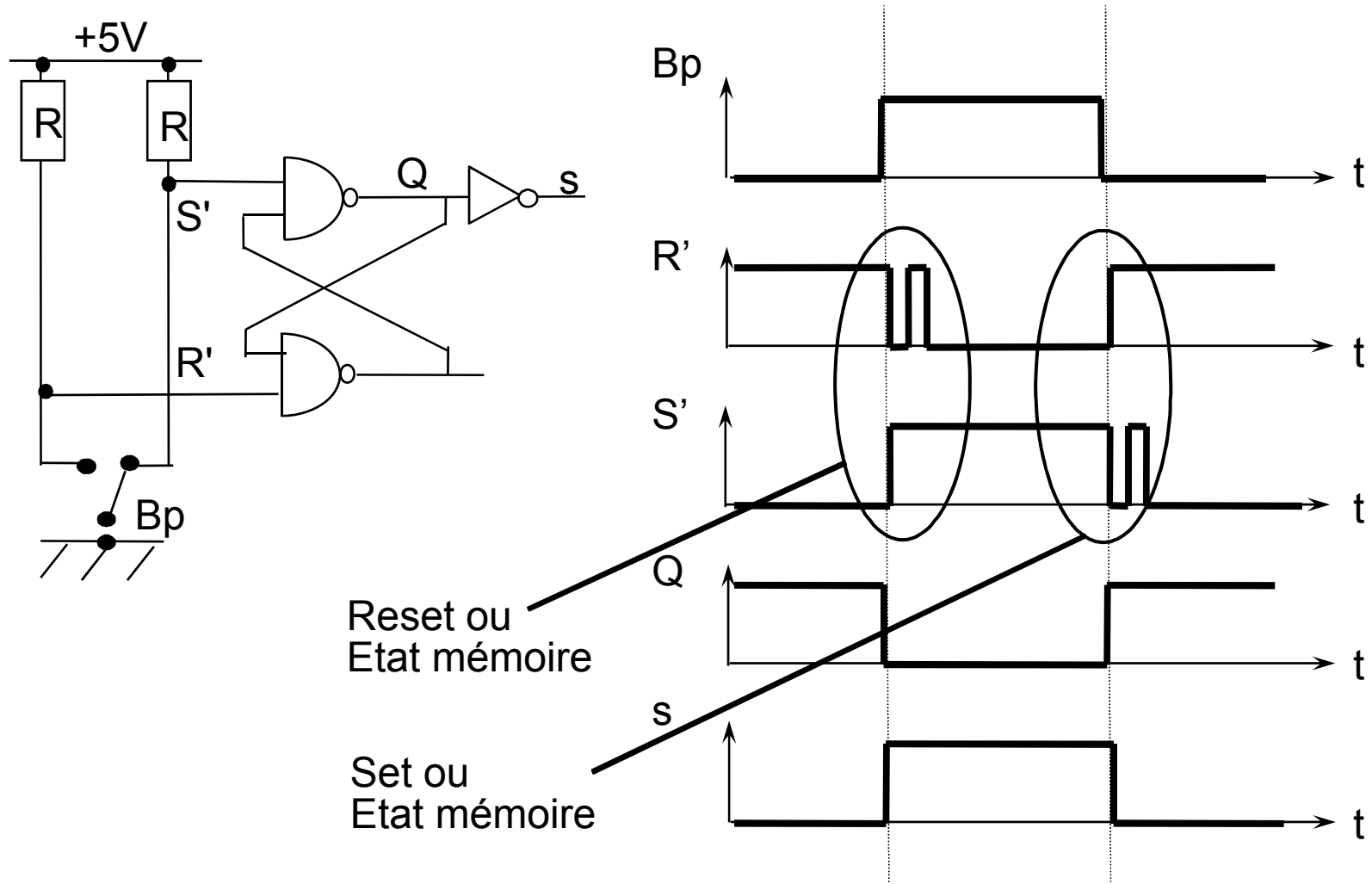
□ Inconvénients

- Dispositif asynchrone
- Etat interdit
- Sensibilité aux parasites (transitoires)

Phénomènes de rebonds

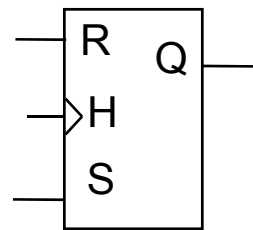


Dispositif anti-rebonds



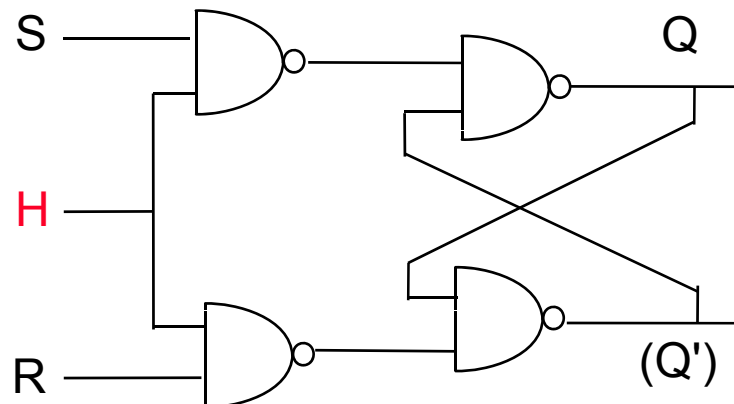
Bascule RSH

La bascule RSH est une bascule RS synchronisée par un signal d'horloge H. Lorsque H=0, la bascule est dans l'état mémoire. Lorsque H=1, la bascule fonctionne comme une bascule RS. Cette bascule a toujours un état interdit et fonctionne sur les niveaux d'horloge.



S	R	Q _{n+1}
0	0	Q _n
0	1	0
1	0	1
1	1	Interdit

H = 1



Bascule RSH

□ Fonctionnement sur niveau de l'horloge (H=1)

□ Avantages:

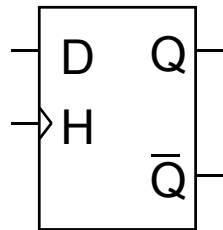
- Insensibilité aux parasites (H=0)

□ Inconvénients

- Etat interdit
- Sensibilité aux parasites (H=1)

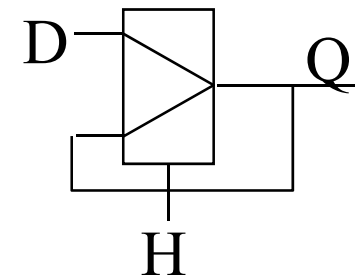
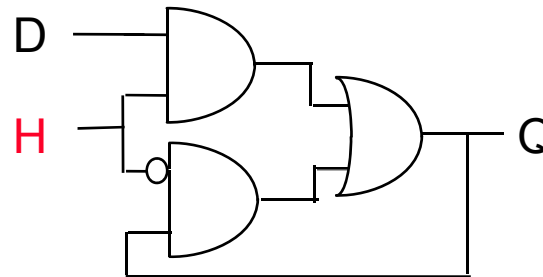
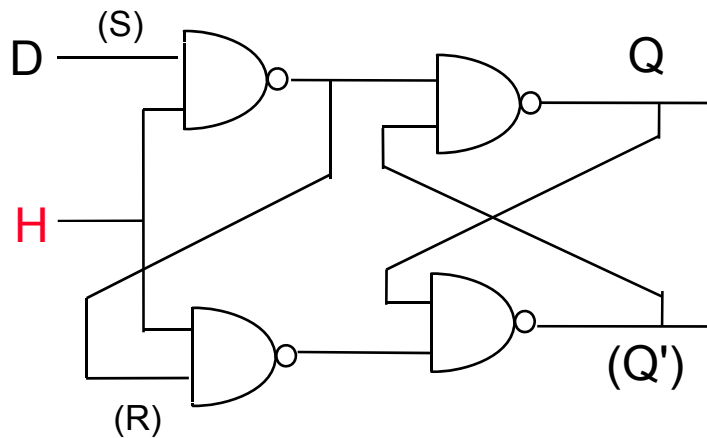
Bascule D-latch

La bascule D-Latch est une bascule conçue sur le même principe que la RSH. Elle est obtenue à partir d'une bascule RSH en ne considérant que les deux combinaisons (R,S) = (0,1) et (1,0).



D	Q(n+1)
0	0
1	1

$Q_{n+1} = D_n$
H = 1



Bascule D-latch

□ Fonctionnement sur niveau de l'horloge (H=1)

□ Avantages:

- Pas d'état interdit
- Insensibilité aux parasites (H=0)

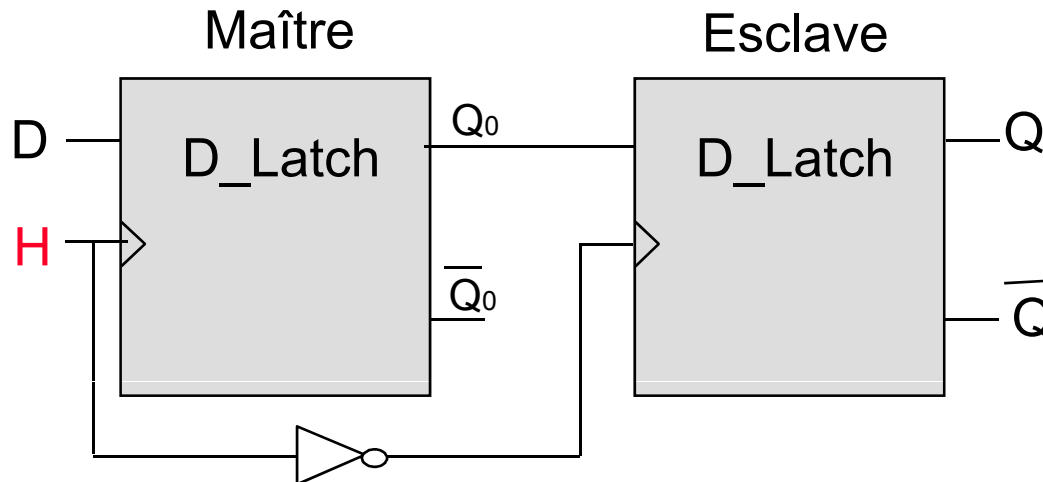
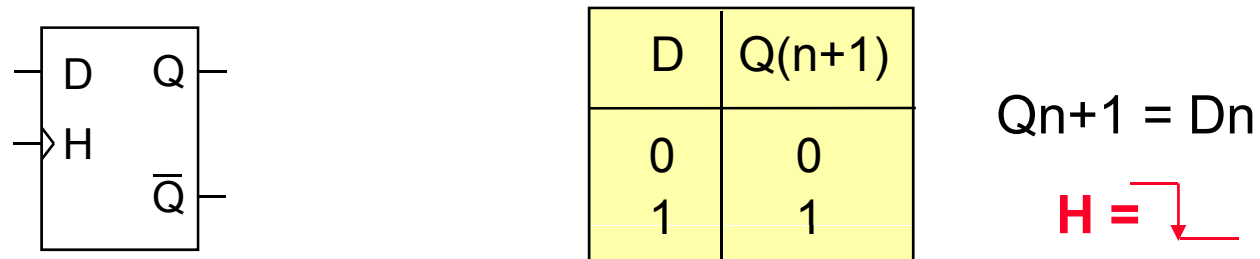
□ Inconvénients

- Sensibilité aux parasites (H=1)

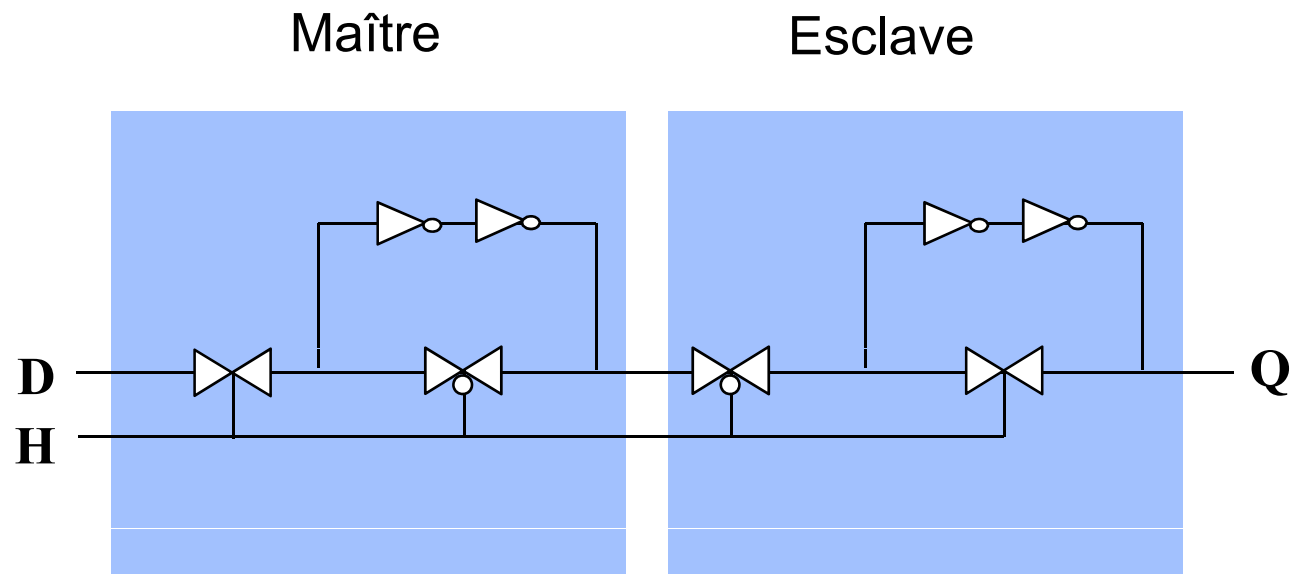
Bascule D (Maître-Esclave)

Les bascules maître-esclave permettent de diminuer la sensibilité aux parasites en minimisant la période de transparence. Elles fonctionnent sur le front d'horloge.

La bascule D maître-esclave est constituée de 2 D-Latch en cascade.



Bascule D – Réalisation en CMOS



Bascule D (Maître-Esclave)

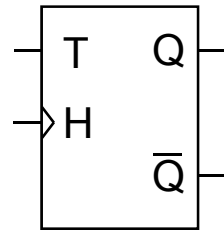
- Fonctionnement sur fronts d'horloge

- Mémorisation (transfert) de données

- Avantages:
 - Dispositif synchrone
 - Pas d'état interdit
 - Insensibilité aux parasites

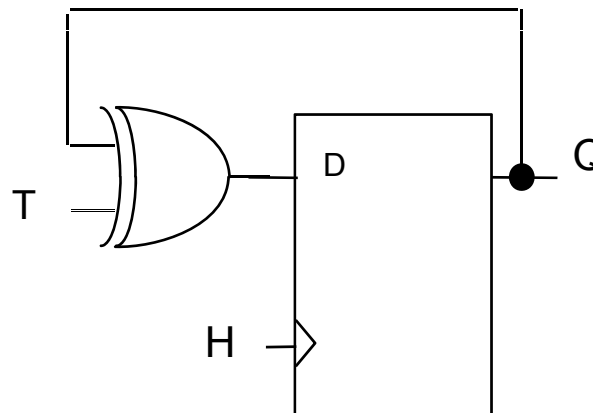
Bascule T (Toggle)

Comme la bascule D, la bascule T fonctionne sur front d'horloge. Elle permet de conserver la valeur de sortie précédente ou de l'inverser. Ce type de bascule est particulièrement intéressant pour la réalisation de compteurs. La bascule T peut être réalisée à partir d'une bascule D.



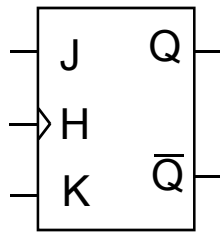
T	Q(n+1)
0	Q(n)
1	Q'(n)

H =



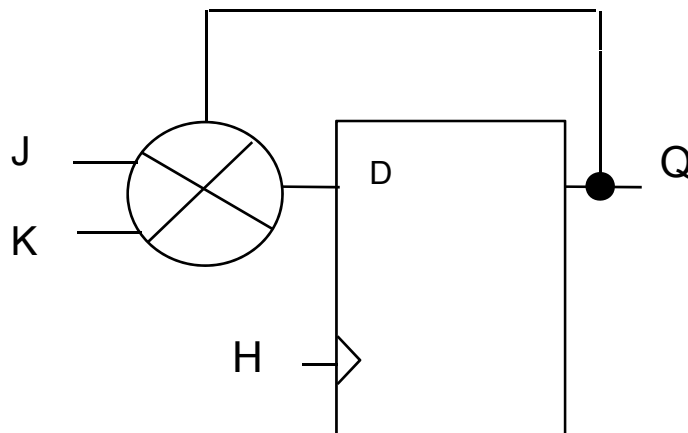
Bascule JK

Comme la bascule D, la bascule JK est une bascule fonctionnant sur front. Elle dispose par contre de 2 entrées J et K. La bascule JK peut être réalisée à partir d'une bascule D.



JK	Q(n+1)
00	Qn
01	0
10	1
11	Qn'

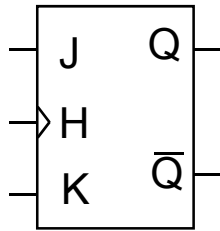
H =



$$\begin{aligned} \text{Avec } D &= J'K'Q + JK' + JKQ' \\ &= J \cdot Qn' + K' \cdot Qn \end{aligned}$$

Bascule JK (autre réalisation)

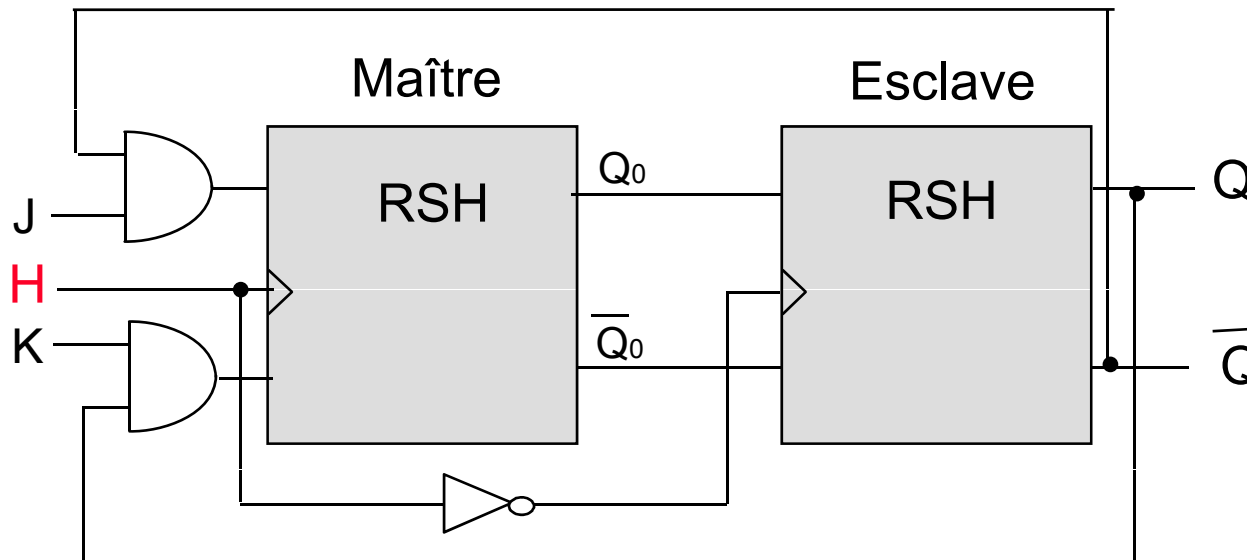
La bascule JK peut également être réalisée à partir de de 2 RSH en cascade et d'un rebouclage permettant d'éliminer l'état interdit de la RSH.



JK	Q(n+1)
00	Qn
01	0
10	1
11	Qn'

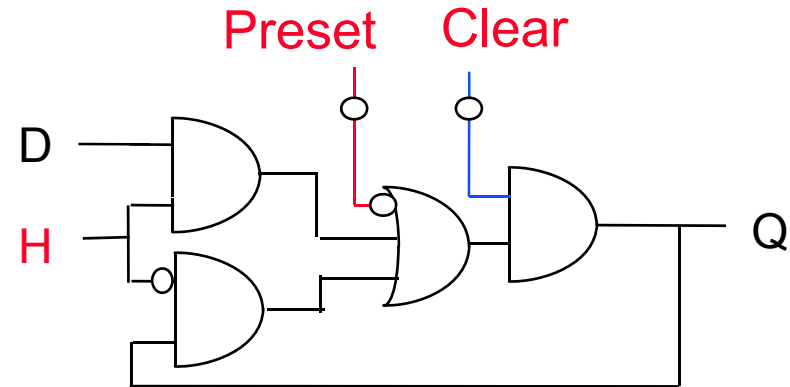
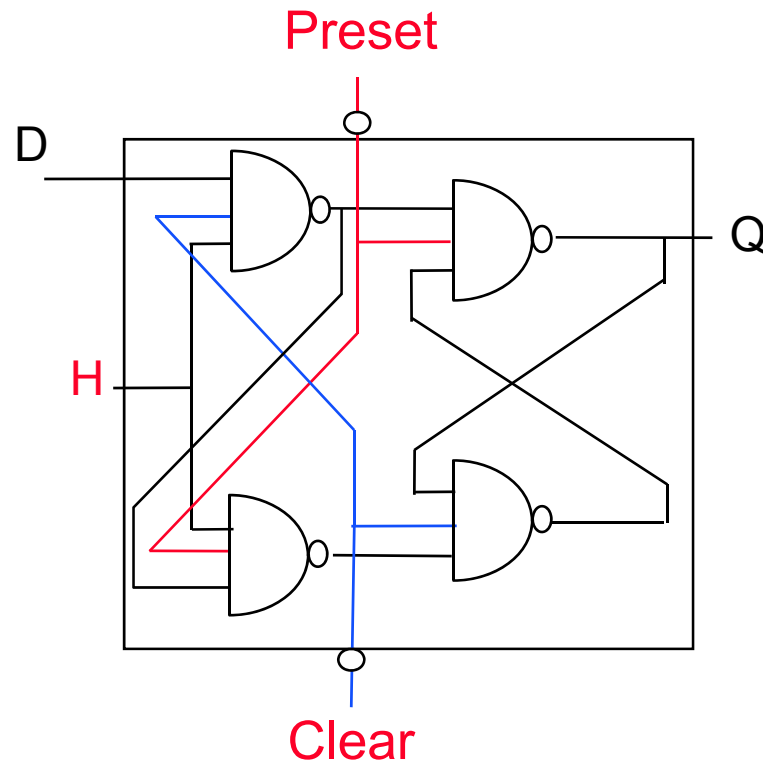
$$Q_{n+1} = J \cdot Q_n' + K' \cdot Q_n$$

$$H = \downarrow$$



Initialisation des bascules

Initialisation asynchrone par signaux de Preset (RAU) et Clear (RAZ).

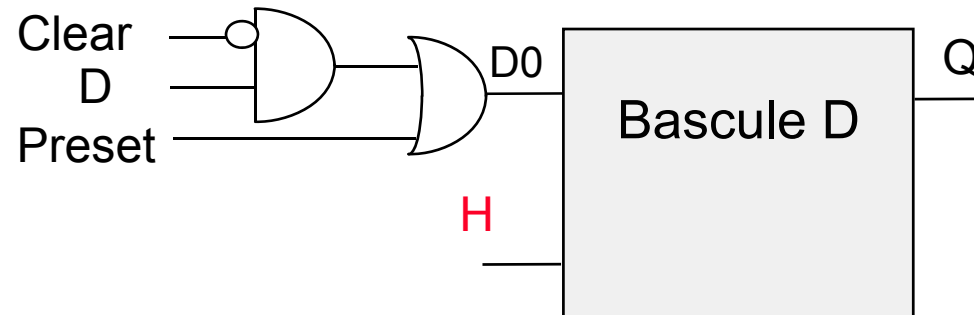


Structure à reporter sur les 2 étages (Maître et Esclave) de la bascule D.

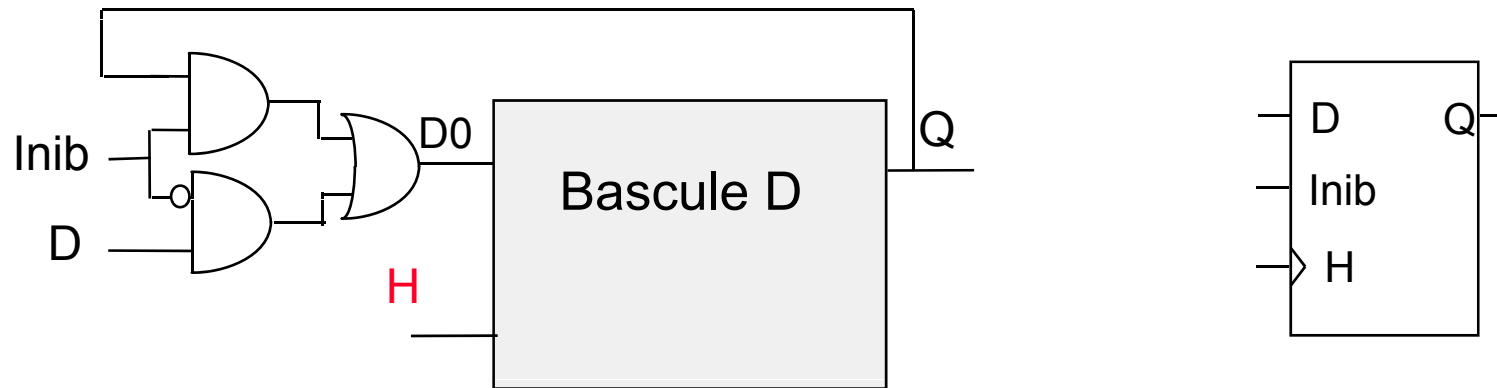
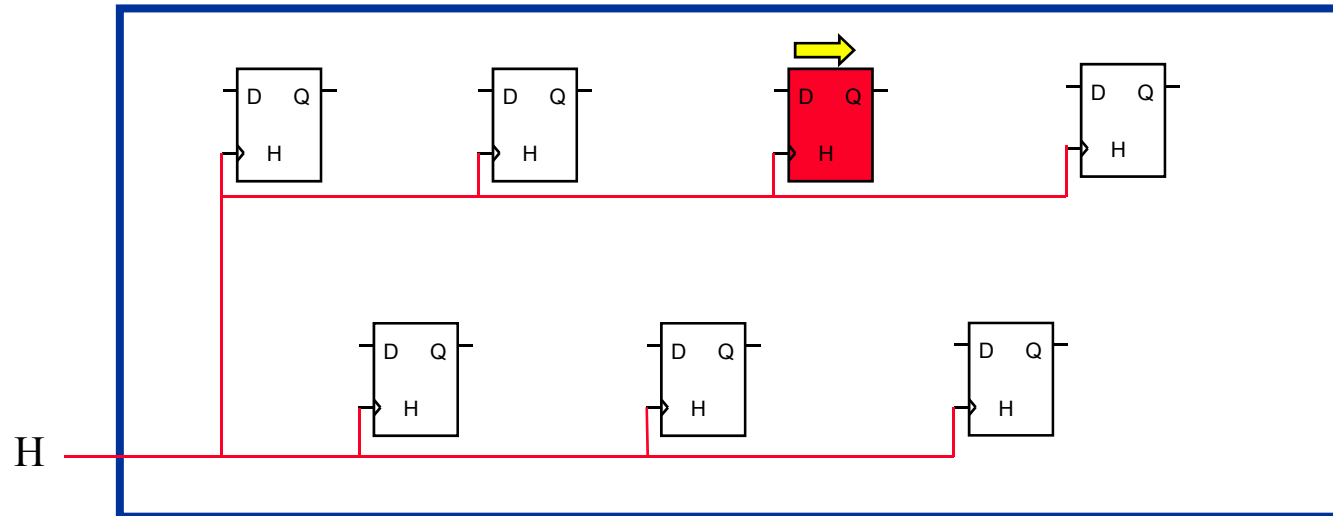
Initialisation des bascules

Initialisation synchrone par signaux de Preset (RAU) et Clear (RAZ).

$$D0 = \overline{\text{Clear}} \cdot \overline{\text{Preset}} \cdot D + \text{Clear} \cdot 0 + \text{Preset} \cdot 1 \quad (\text{Preset Prioritaire})$$
$$= \text{Clear} \cdot D + \text{Preset}$$

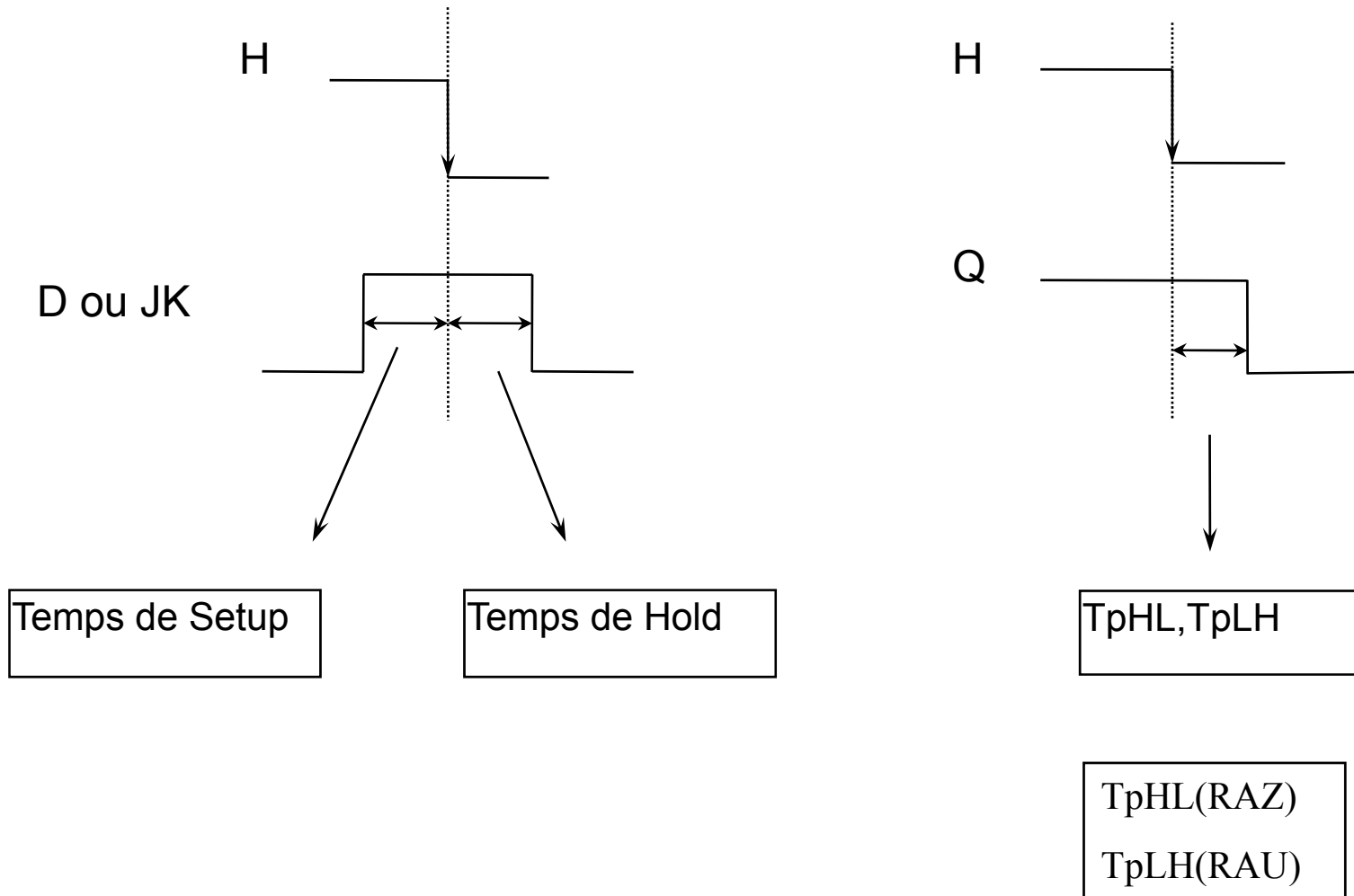


Inhibition des bascules



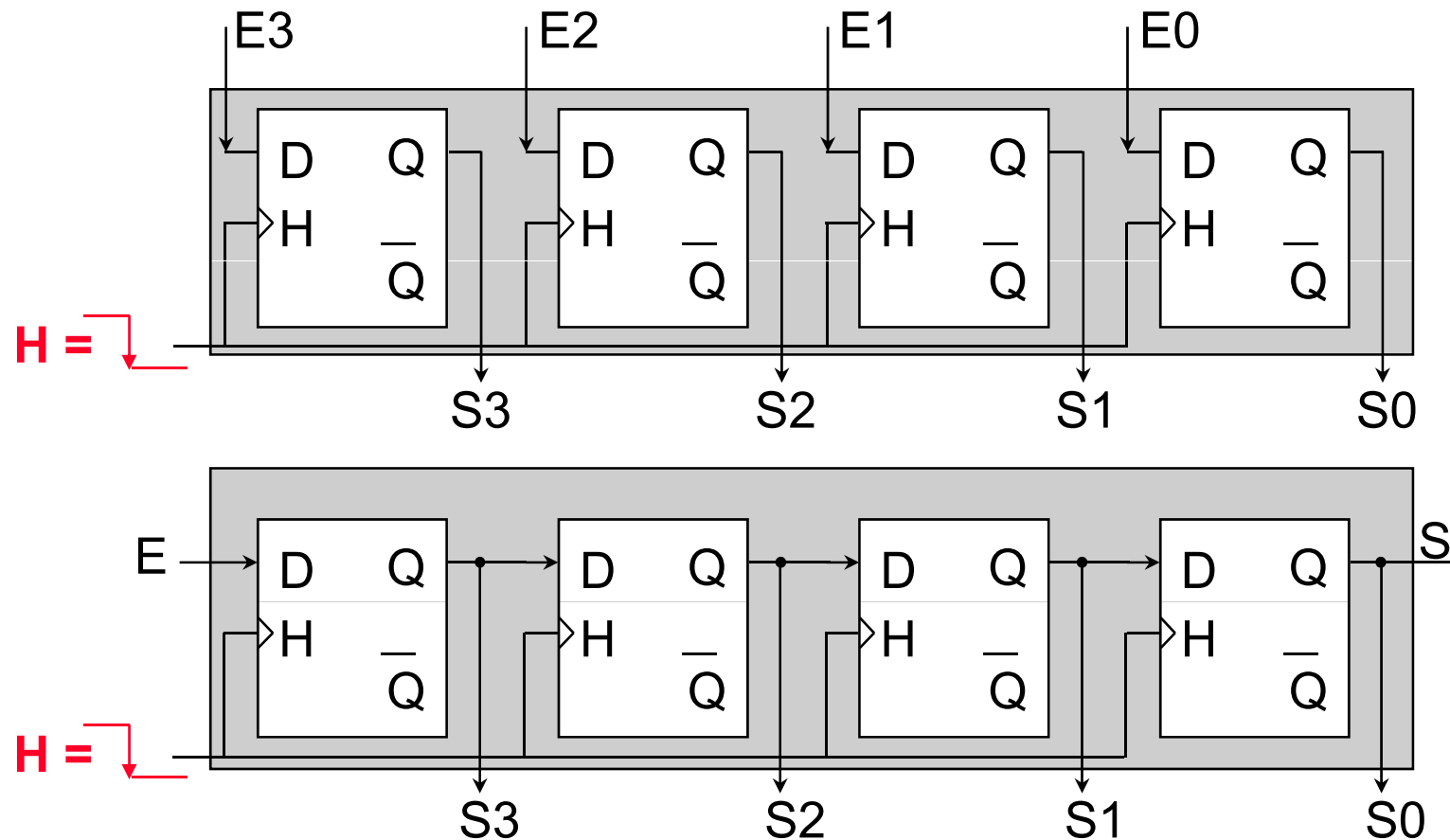
$$D0 = \overline{\text{Inib}} \cdot D + \text{Inib} \cdot Q$$

Paramètres temporels des bascules



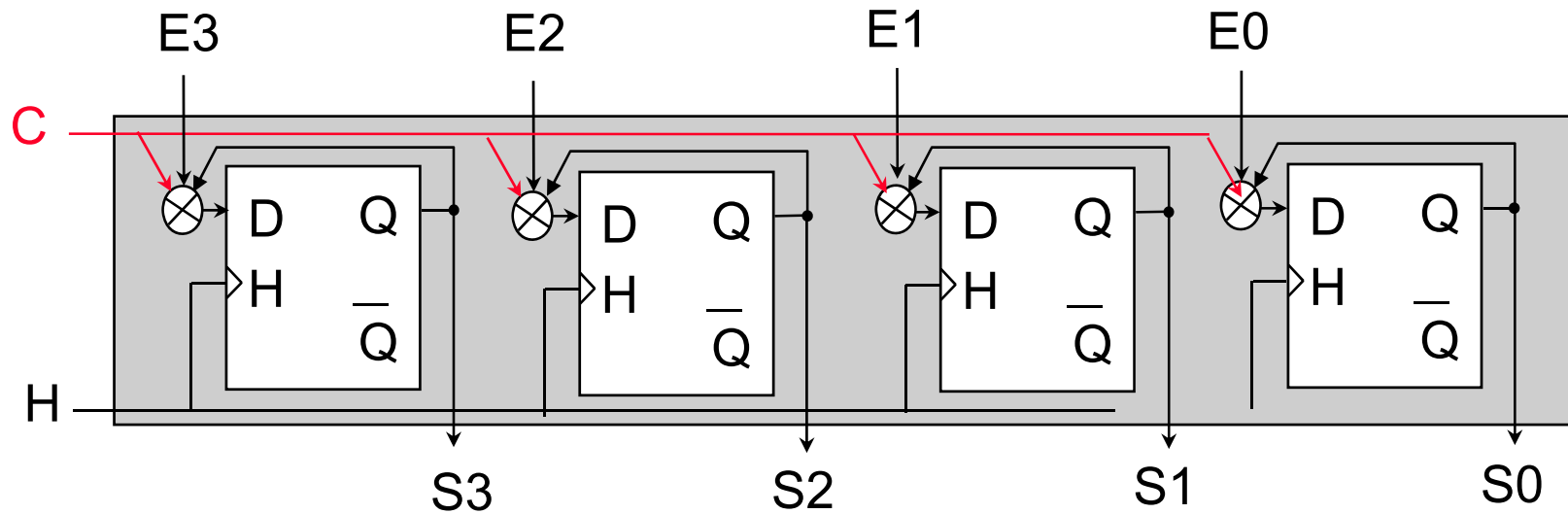
Registres

Les registres sont des associations de bascules permettant de mémoriser et de réaliser certaines opérations sur des mots logiques



Registres

Chargement // (C=1) et Inhibition (C=0)

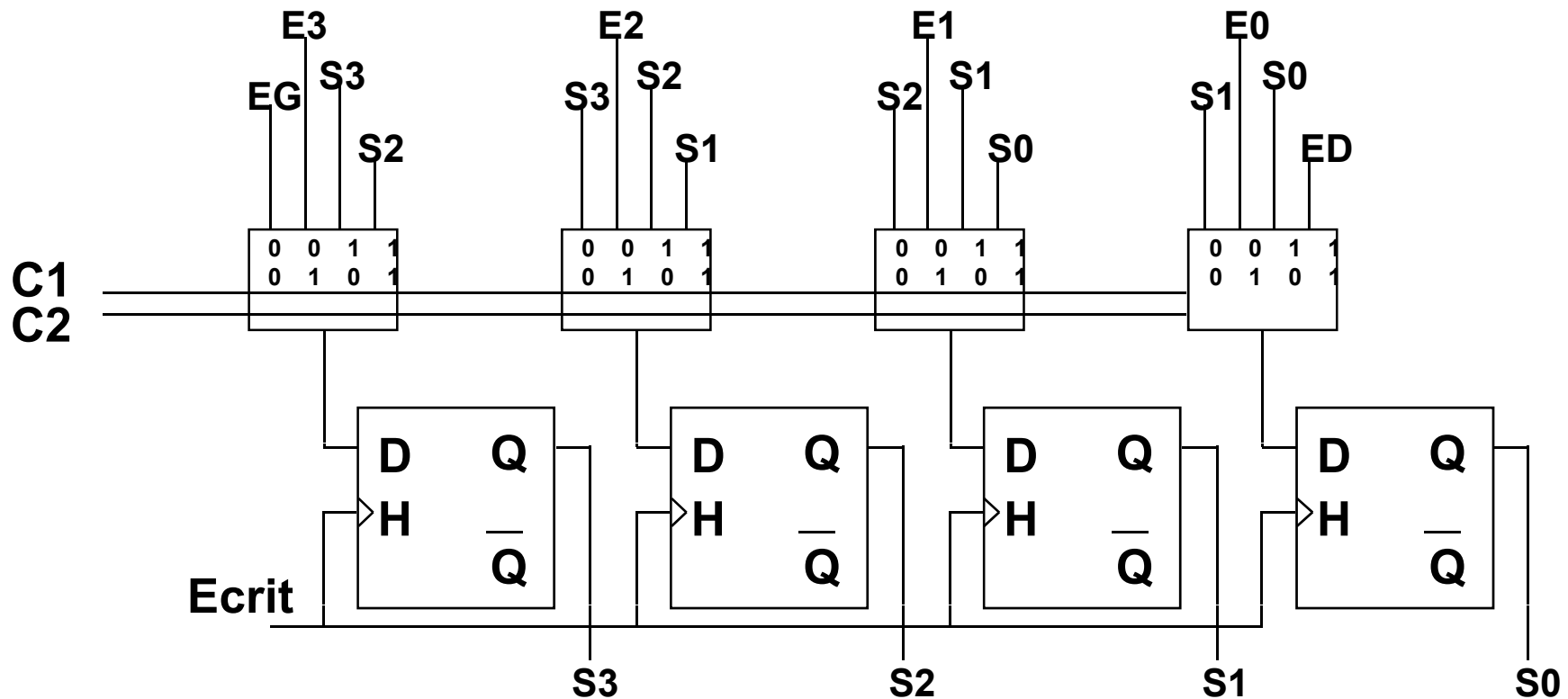


$$D_i = C \cdot E_i + C' \cdot S_i$$

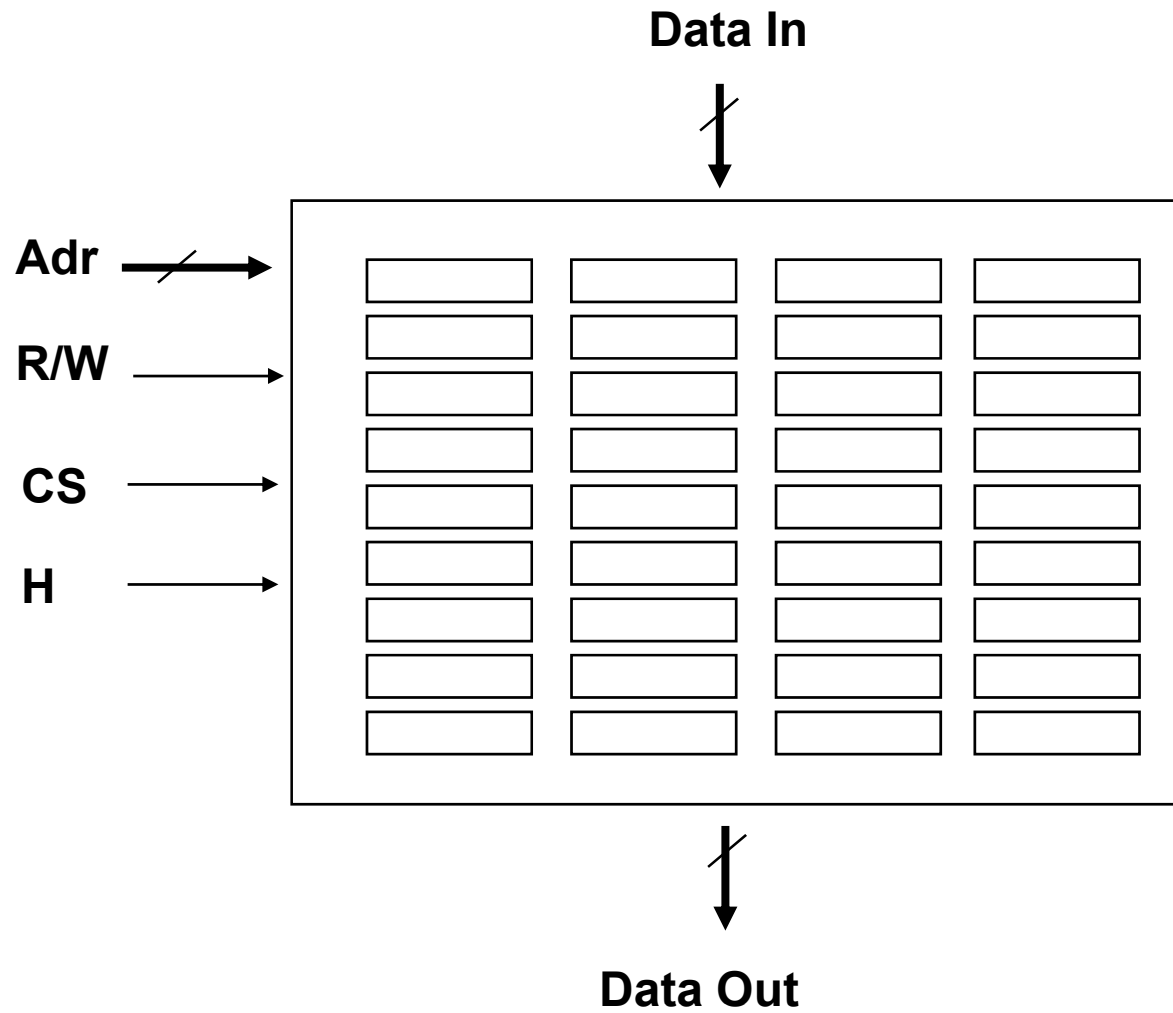
Registre universel

- C1C2 = 00 Chargement parallèle
- C1C2 = 01 Décalage à droite
- C1C2 = 10 Décalage à gauche
- C1C2 = 11 Inhibition de l'horloge.

$$D_i = C1'.C2' .e_i + C1'.C2.S_{i-1} + C1.C2'.S_{i+1} + C1.C2.S_i$$

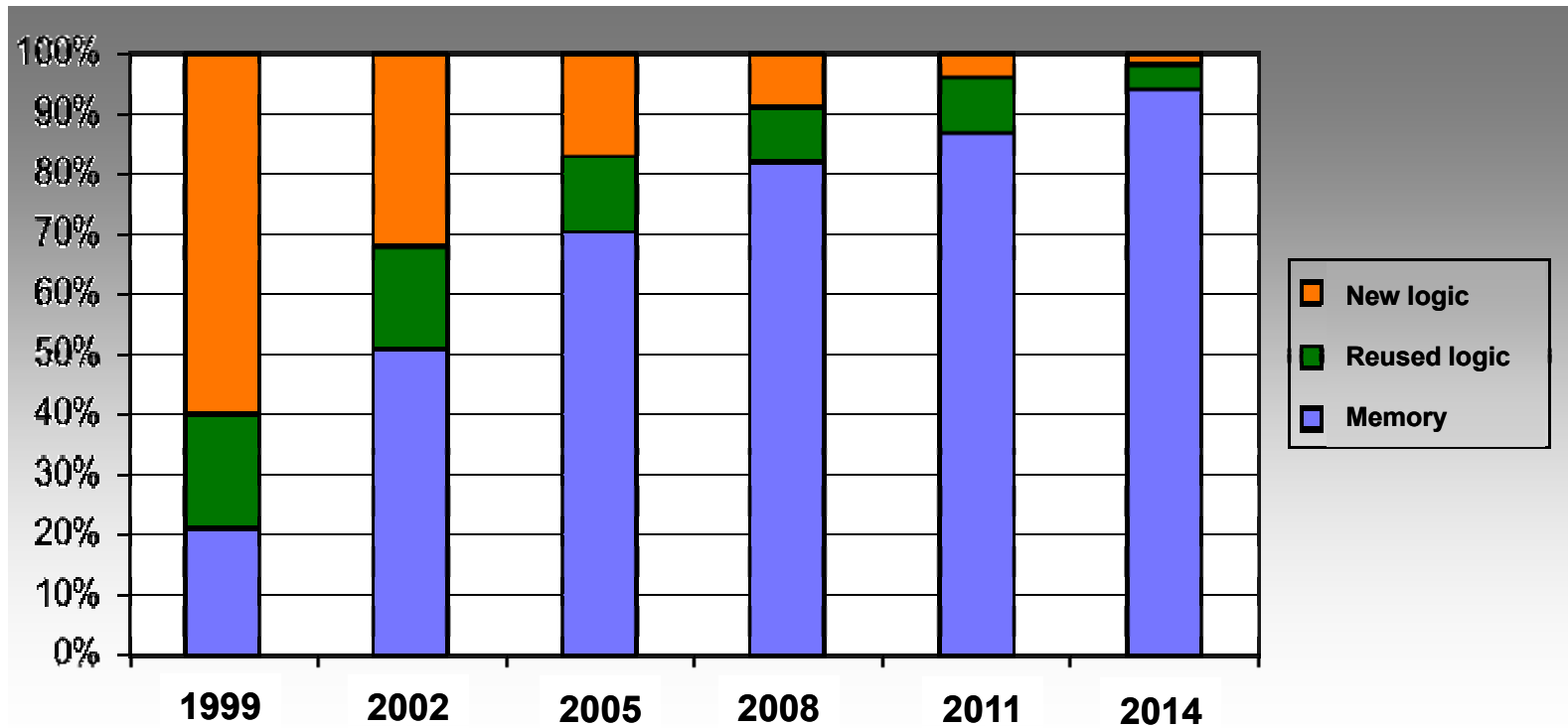


Mémoires

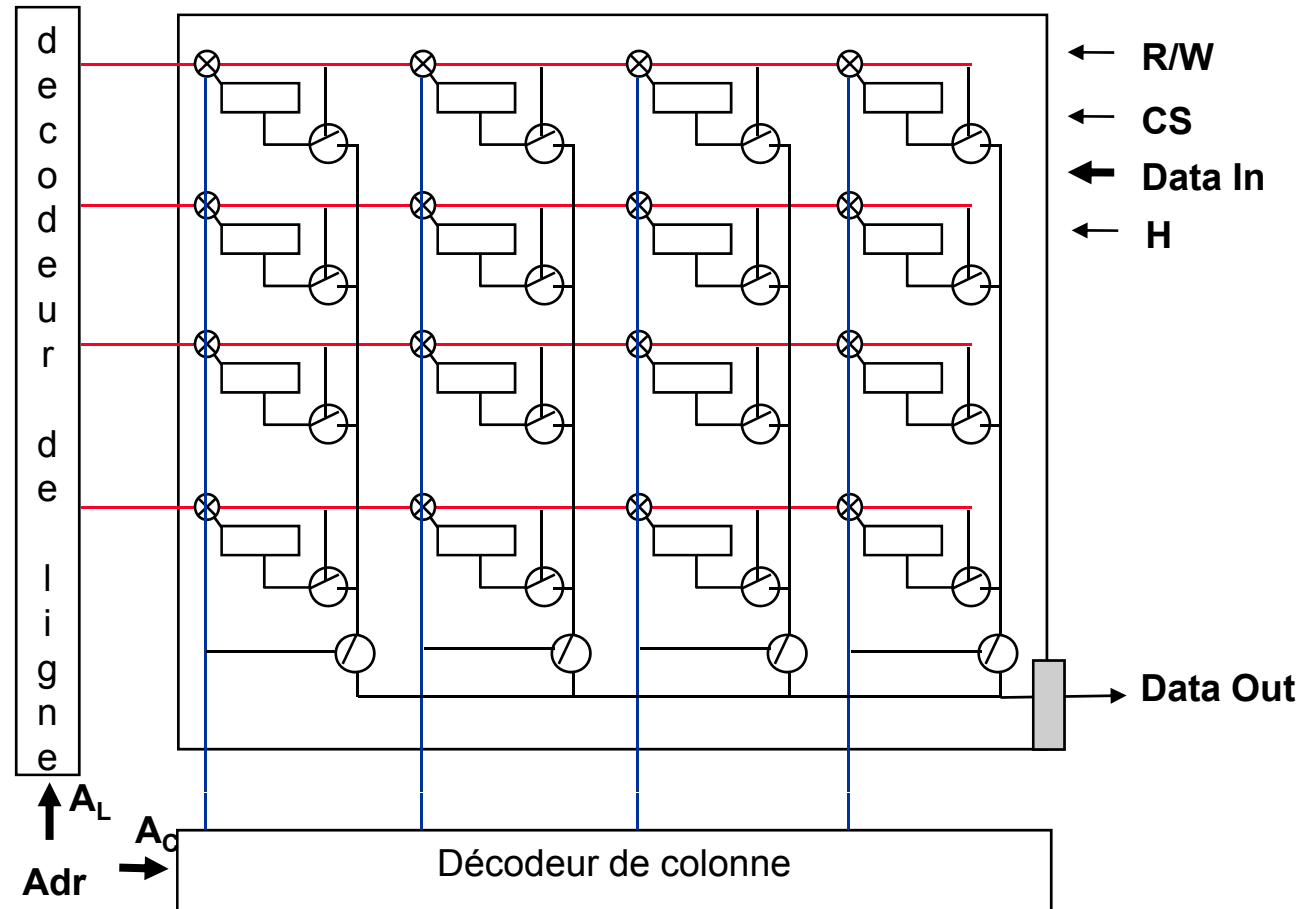


Mémoires

ITRS roadmap: International Technology Roadmap for Semiconductors

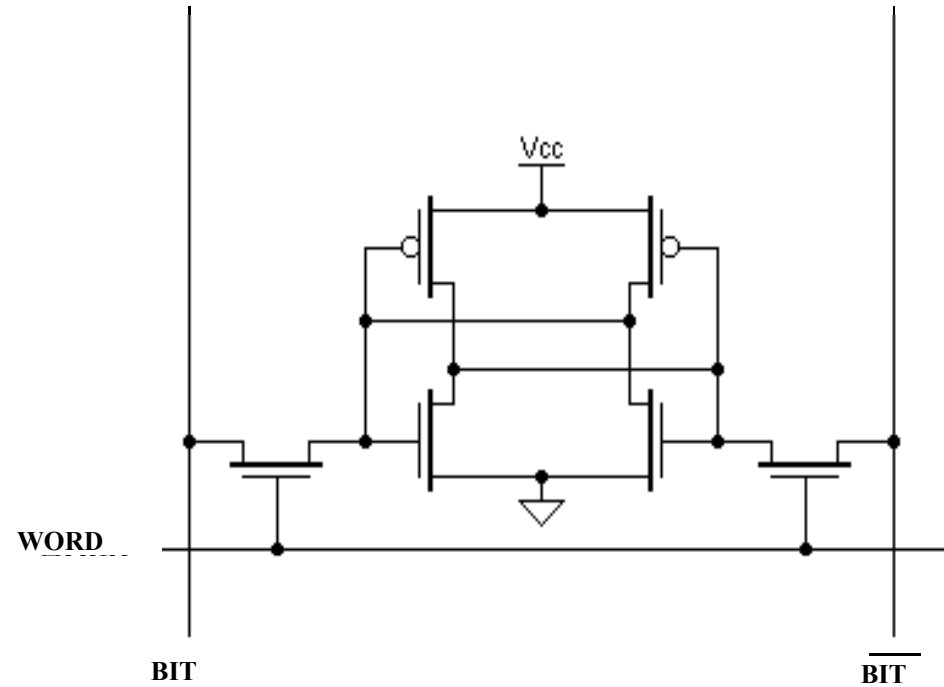
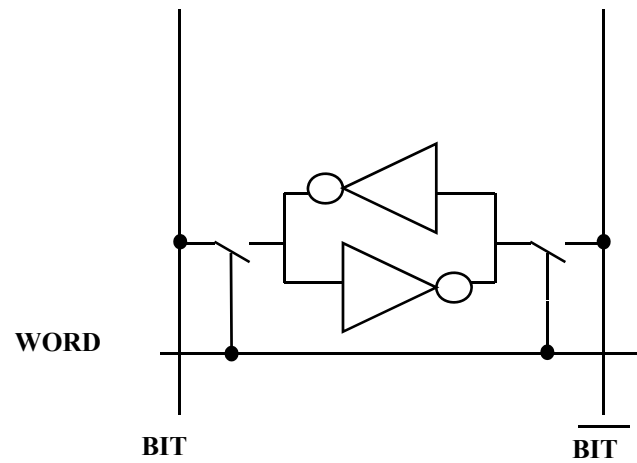


Mémoires - Principe

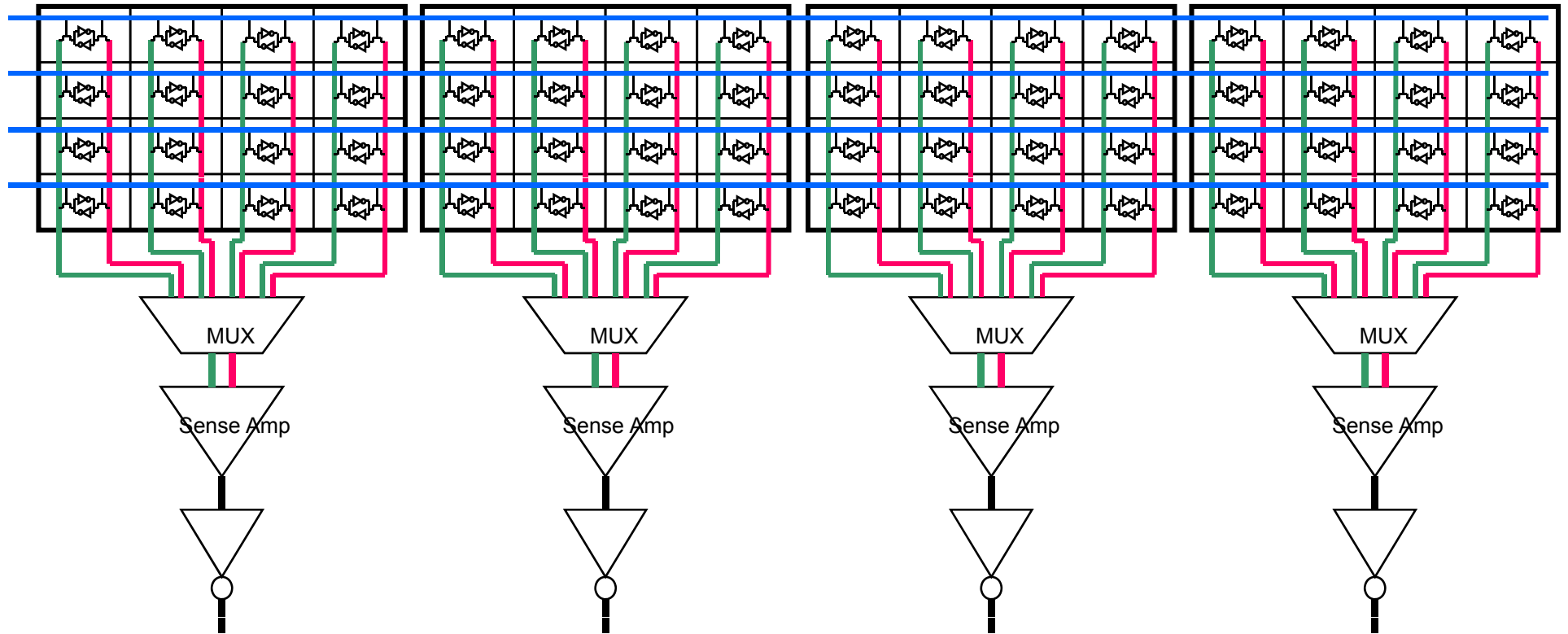


⊗ => Inhibition = $f(Cs \cdot R/W \cdot A_L \cdot A_C)$

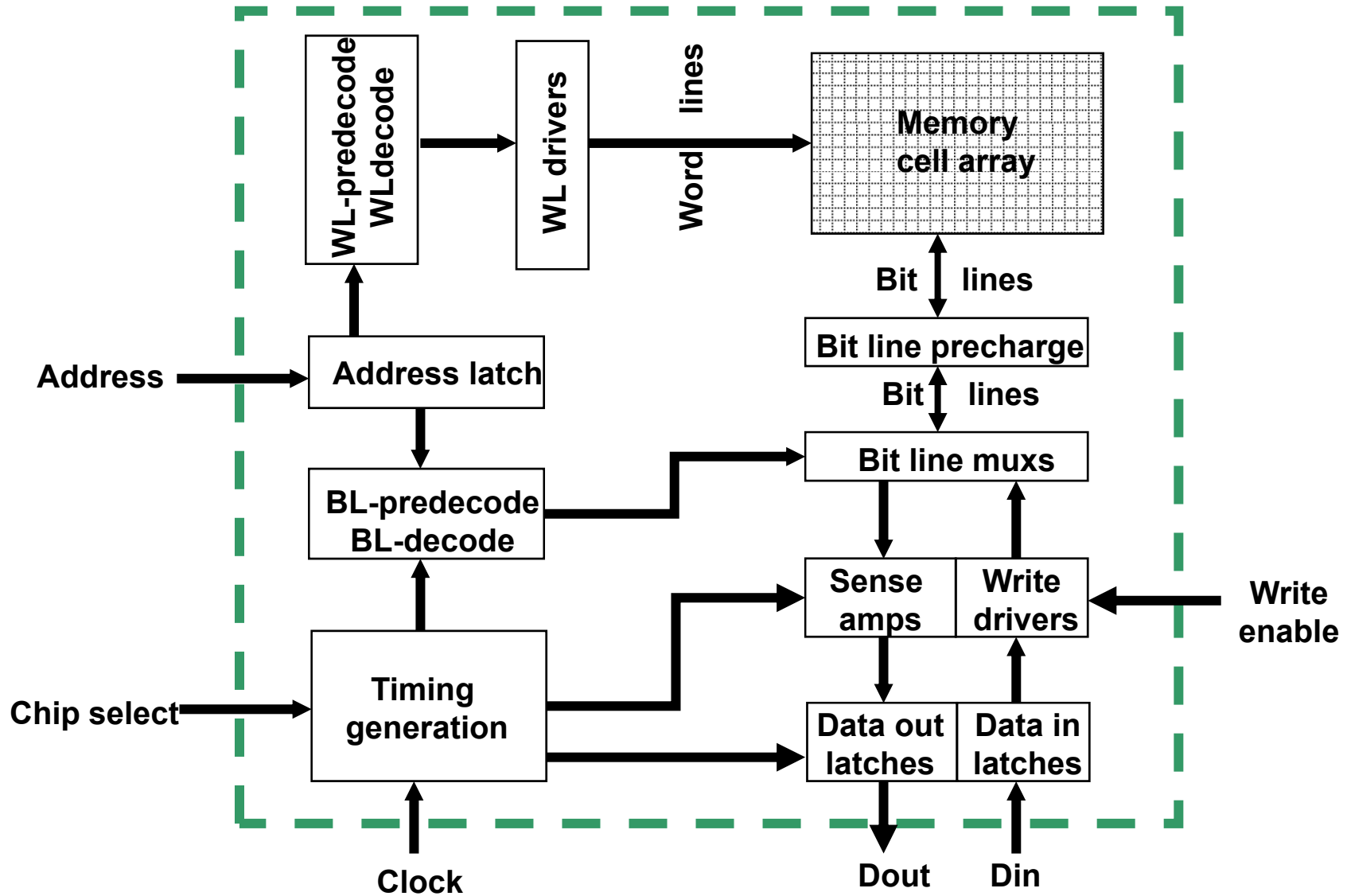
Cellule Mémoire SRAM



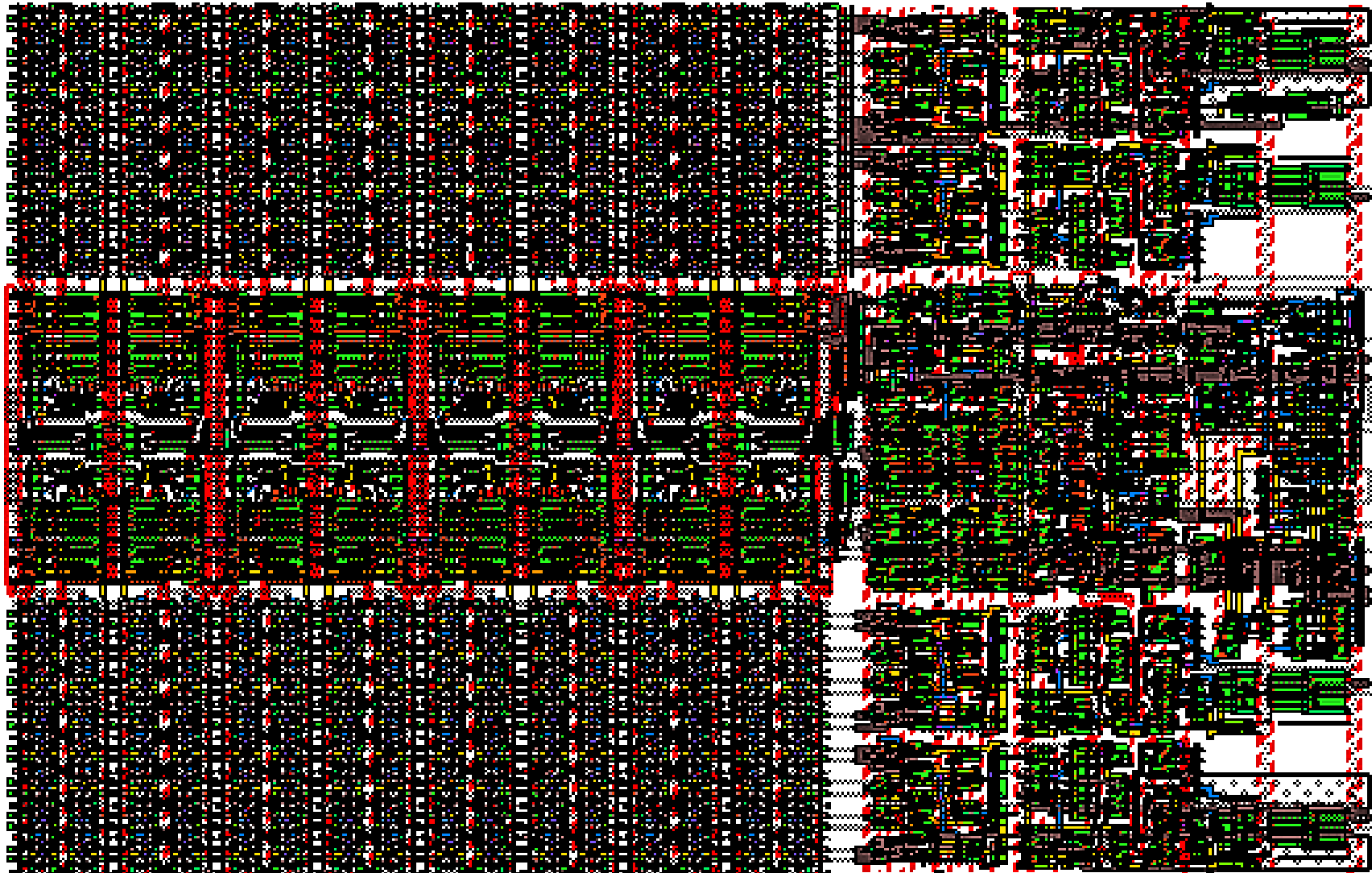
Plan Mémoire SRAM



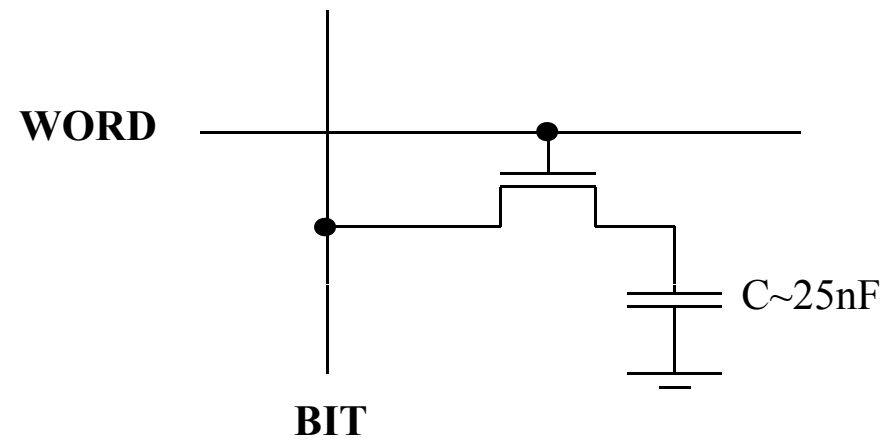
Modèle fonctionnel d'une mémoire SRAM



Exemple de Floorplan (RAM)

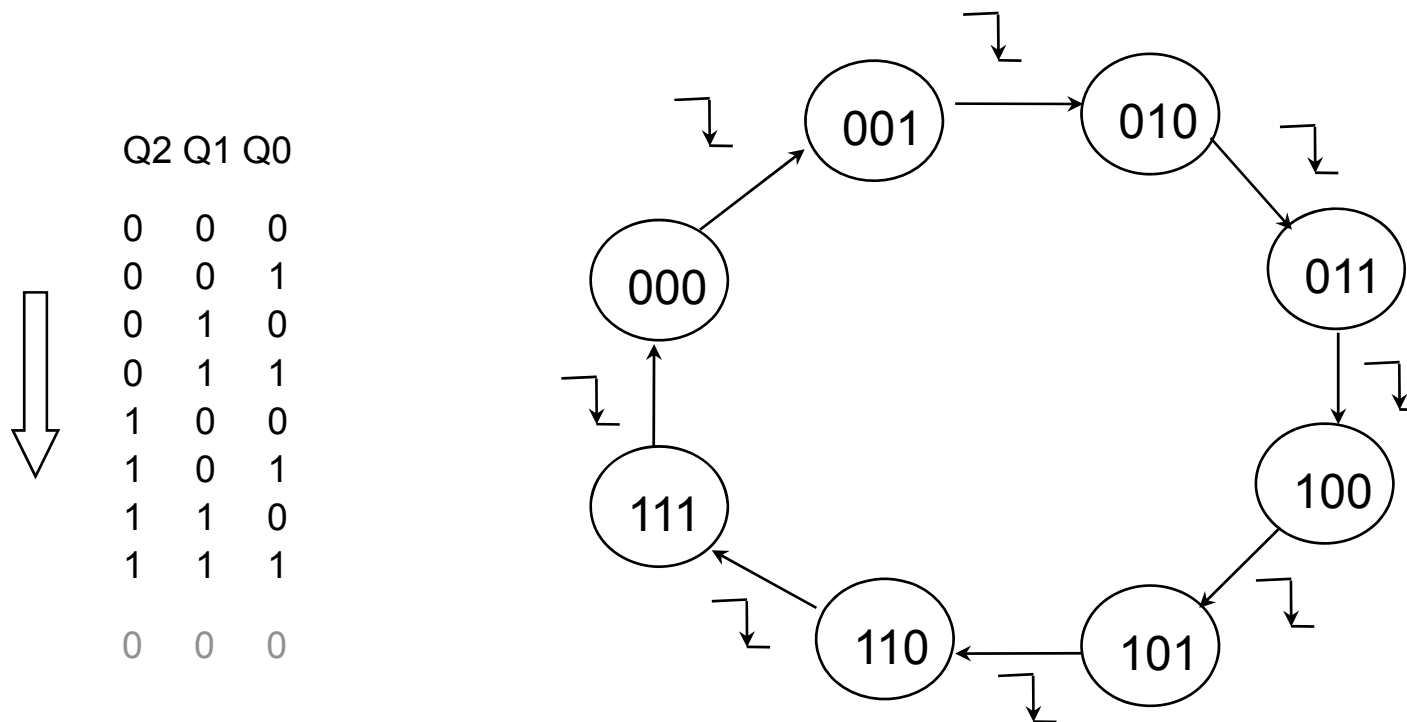


Cellule Mémoire DRAM



Compteur

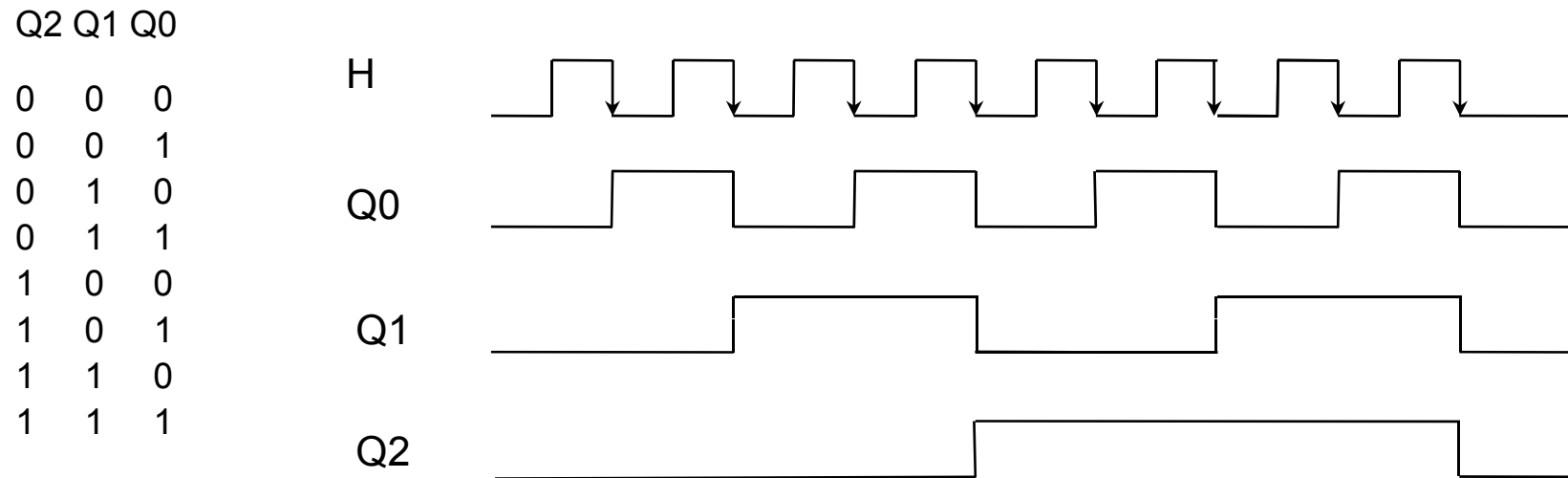
Un compteur est une association de n bascules permettant de décrire, au rythme d'une horloge, une séquence déterminée qui peut avoir au maximum 2^n combinaisons différentes.



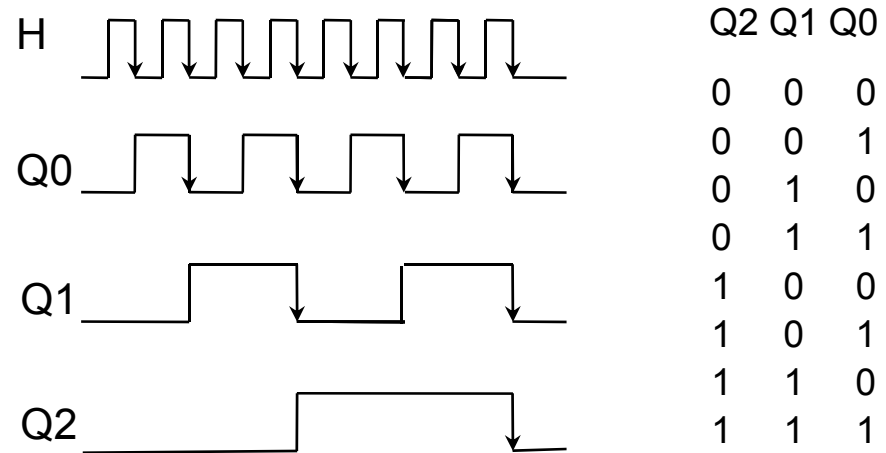
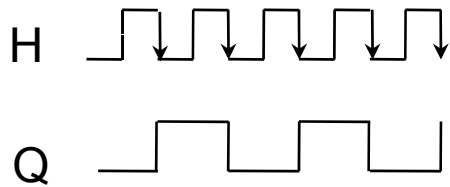
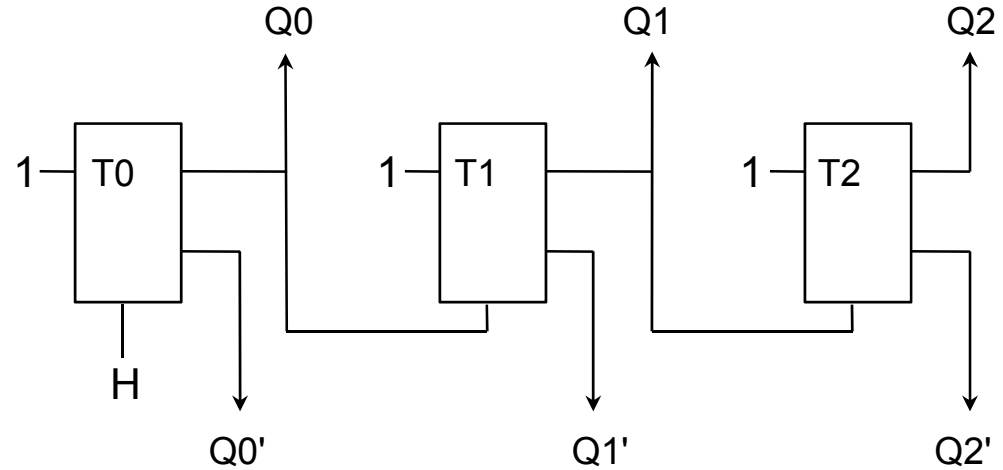
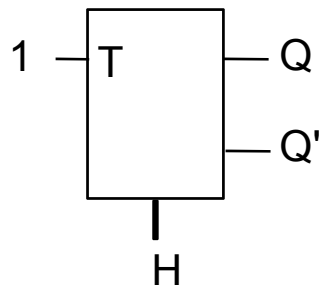
- **Définition:** Une combinaison de sortie d'un compteur est appelée *état*. Le nombre d'états différents pour un compteur est appelé le *modulo* \sim de ce compteur.

Compteur

Un compteur est une association de n bascules permettant de décrire, au rythme d'une horloge, une séquence déterminée qui peut avoir au maximum 2^n combinaisons différentes.

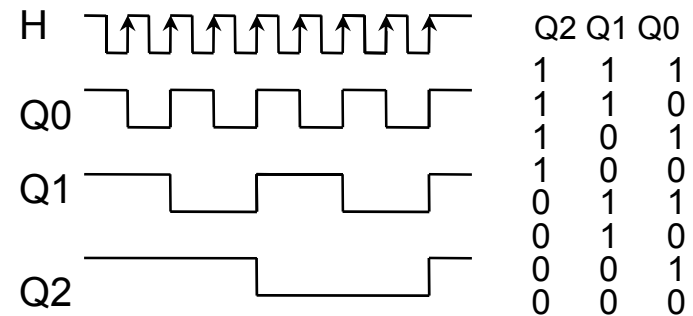
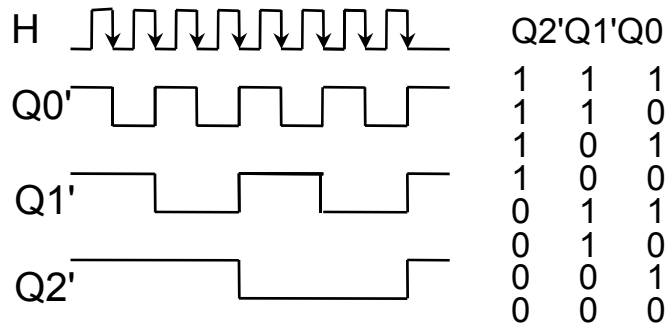
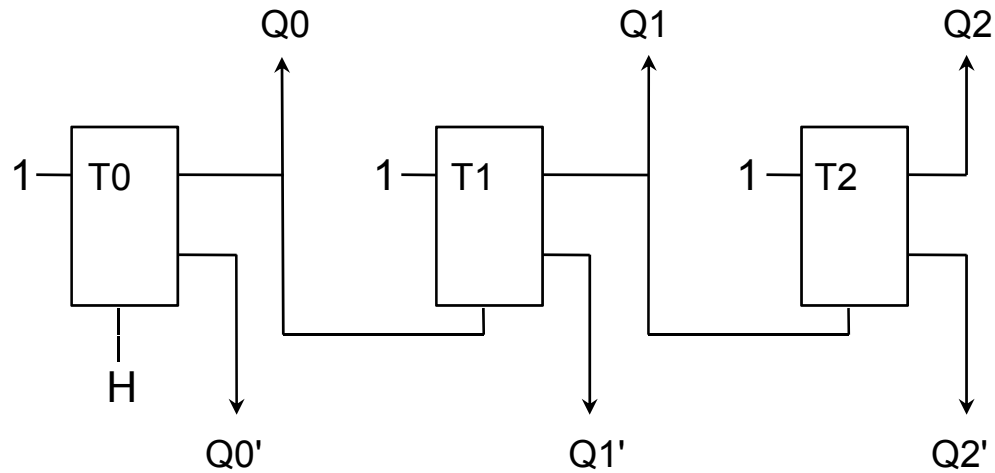


Compteur asynchrone



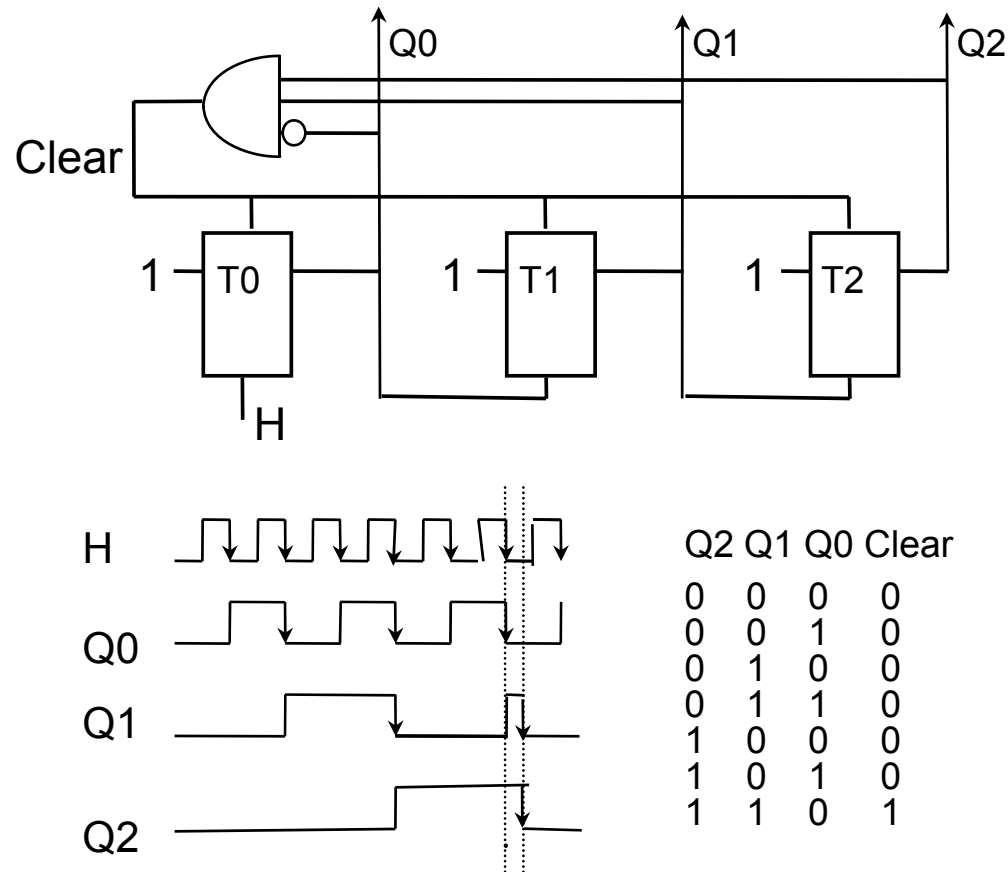
Décompteur asynchrone

Pour réaliser un décompteur il suffit de considérer sur les sorties Q' des bascules ou de réaliser le même montage avec des bascules fonctionnant sur front montant

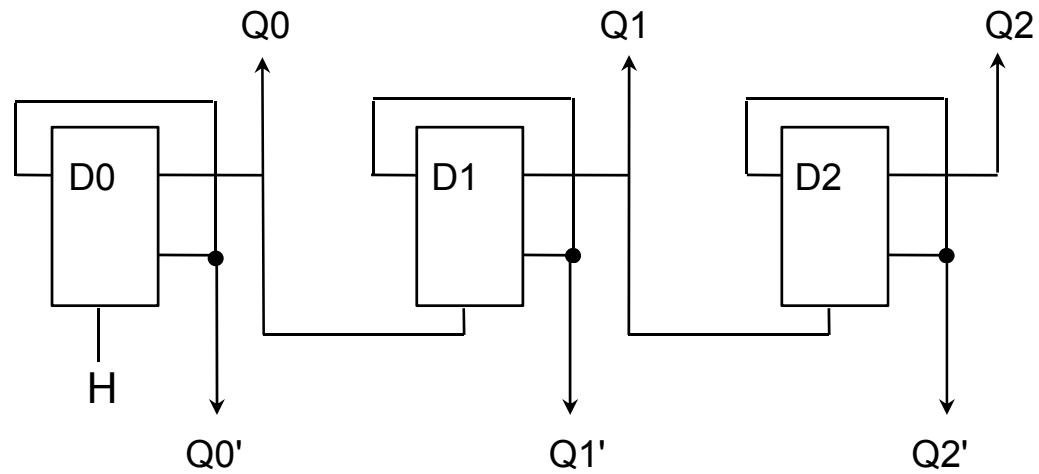
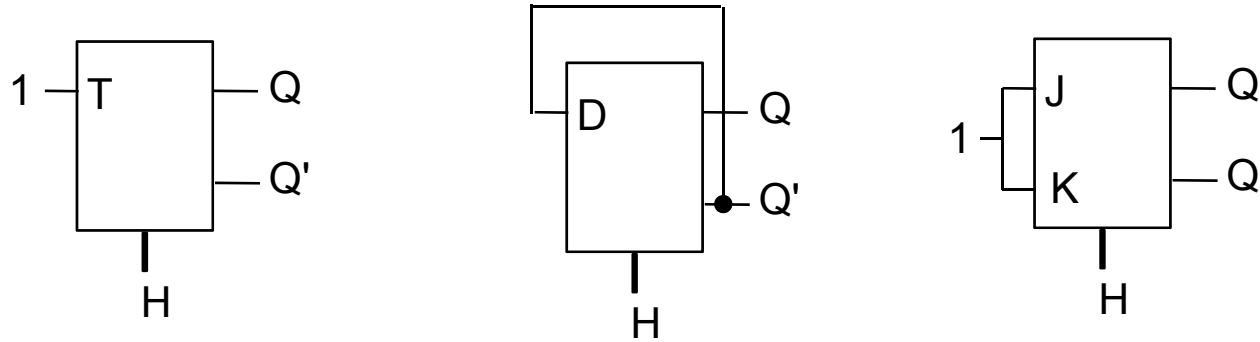


Compteur asynchrone par 6

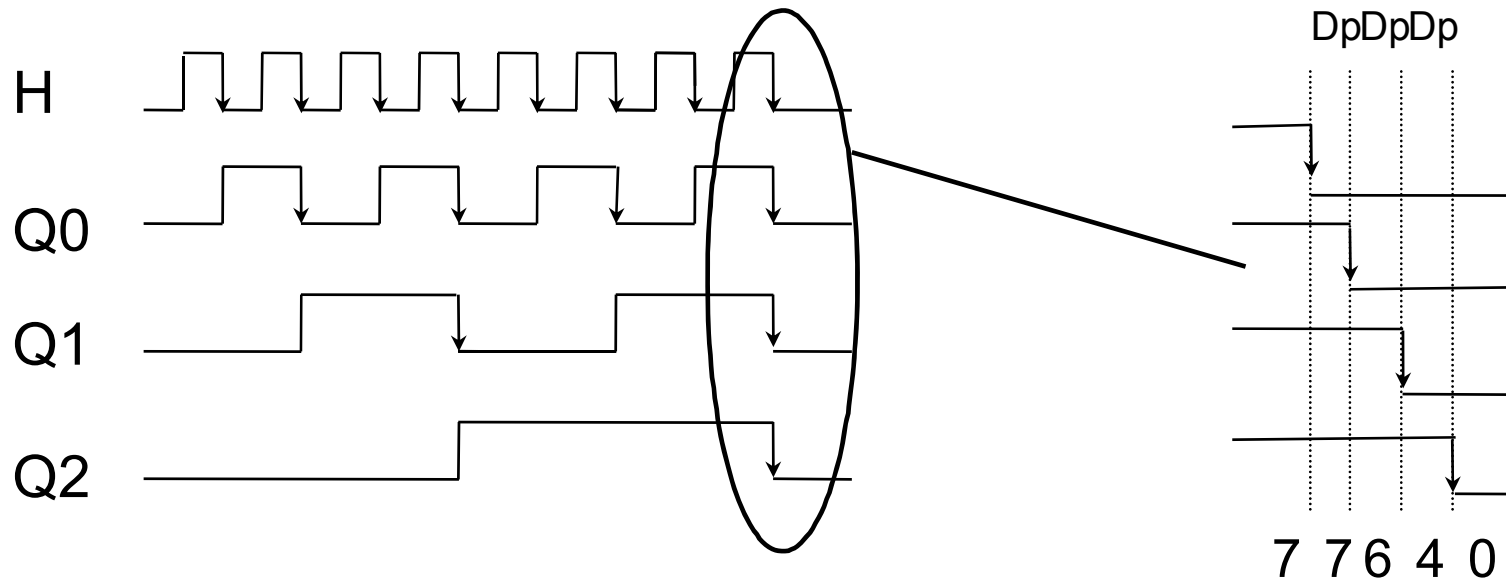
Pour réaliser un compteur ou un décompteur dont le cycle n'est pas une puissance de 2, la seule solution est d'agir sur l'entrée "Clear" lorsque la combinaison correspondant au modulo du compteur ce produit sur les sorties de celui ci.



Compteur asynchrone (D)



Inconvénients des compteurs asynchrones



$$T_m = D_p * n$$

$$T_H \geq T_m$$

$$F_H \leq 1/(T_m) = 1 / (n * D_p)$$

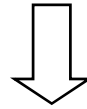
Délai de propagation du compteur

Période de l'horloge

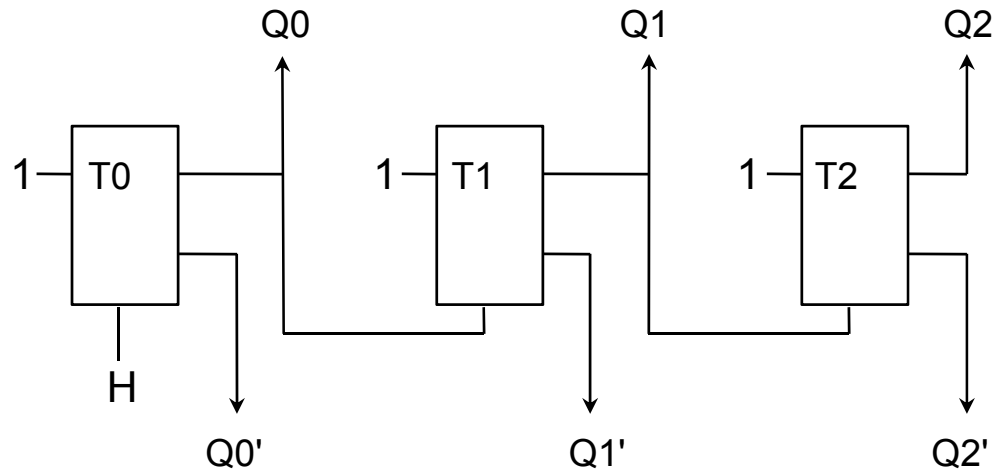
Fréquence de l'horloge

Inconvénients des compteurs asynchrones

Compteurs / Décompteur

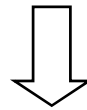


Modification de l'état

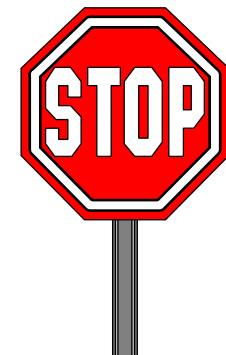
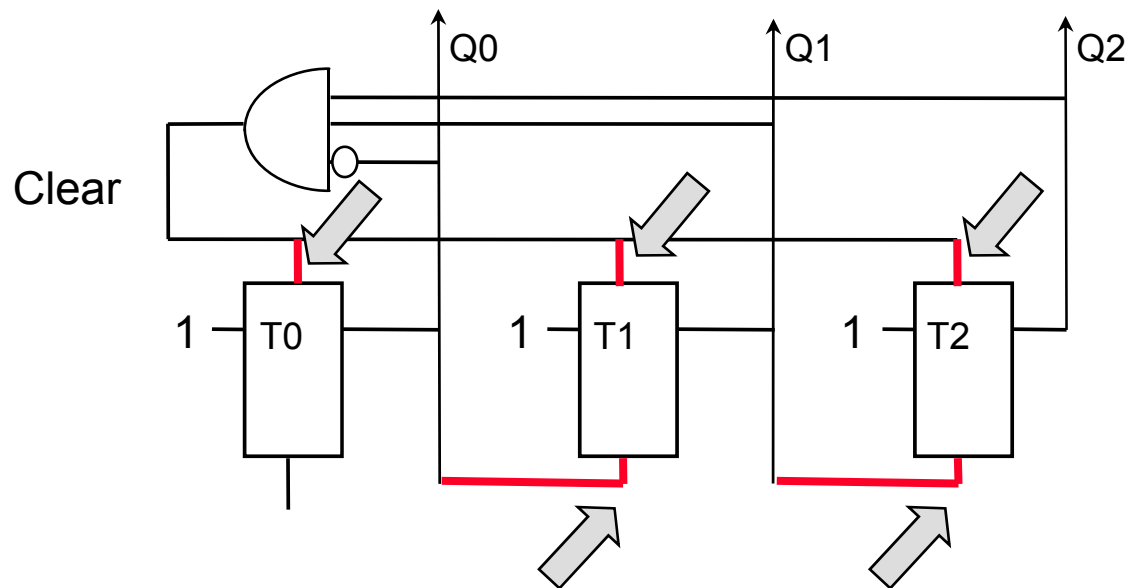


Inconvénients des compteurs asynchrones

Logique sur des signaux asynchrones (H, Clear)



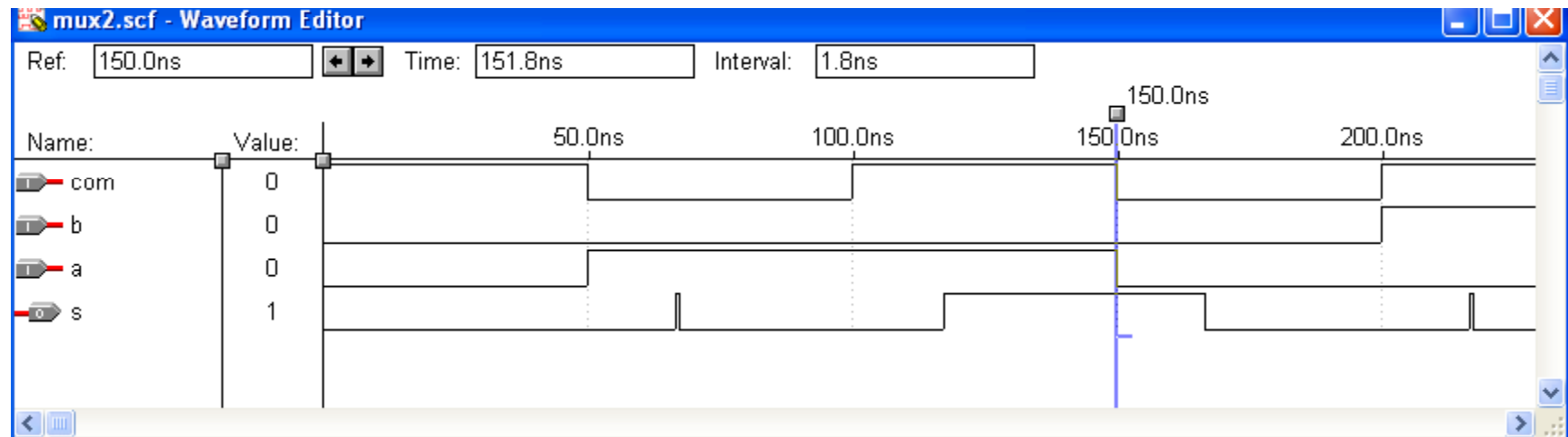
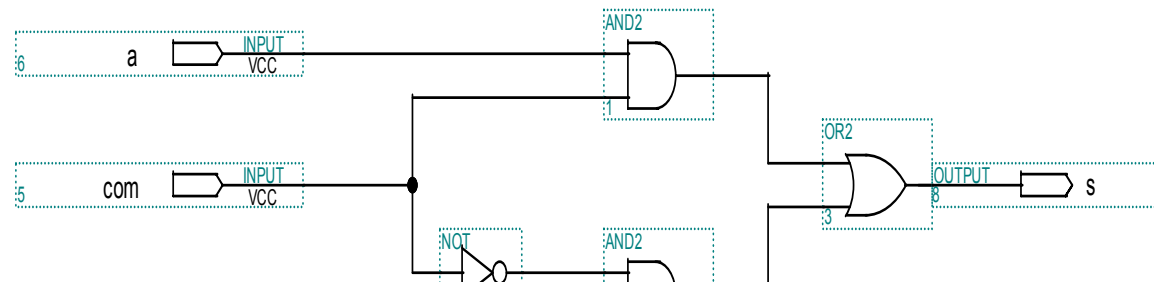
Risque de transitoires



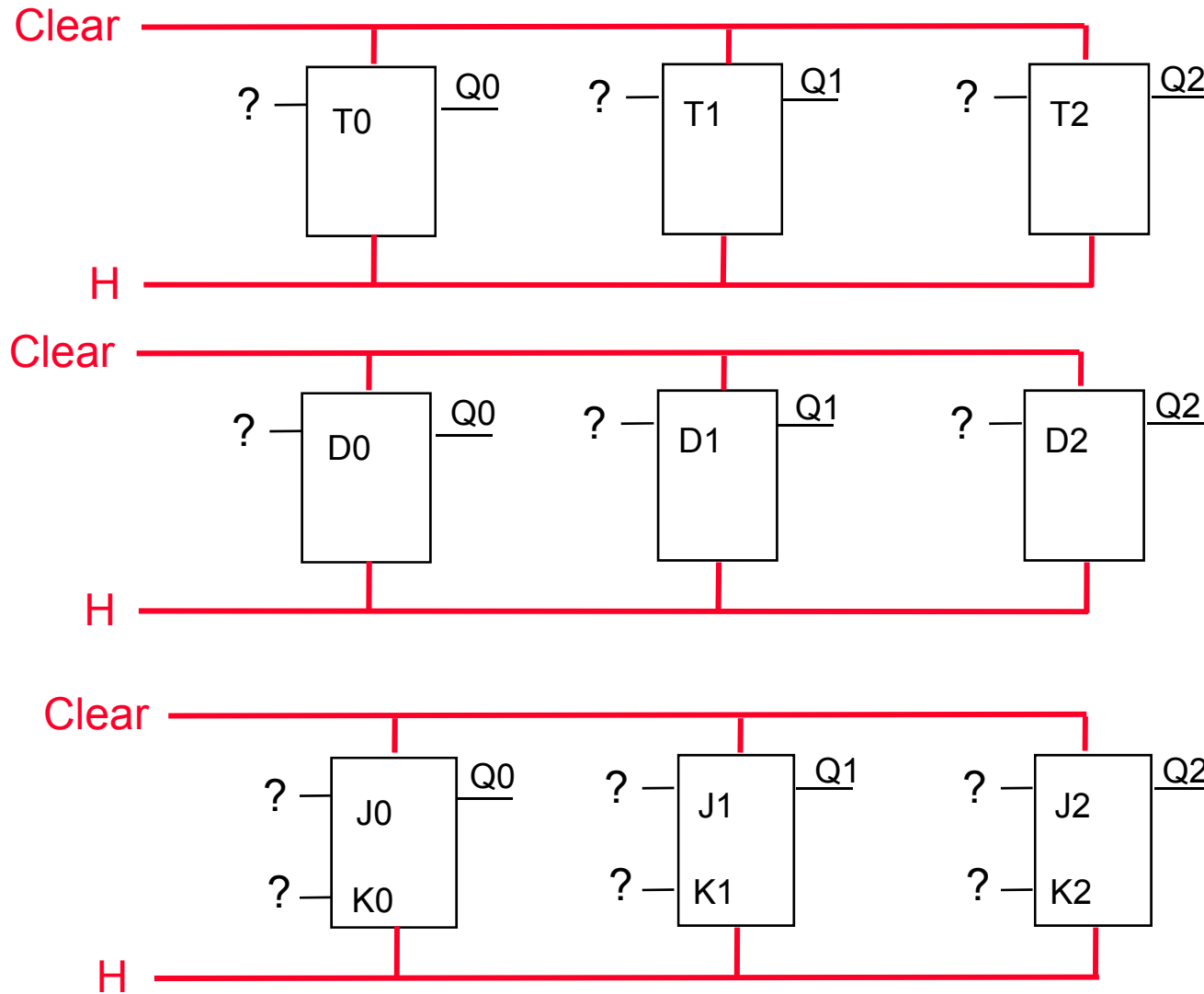
Règles élémentaires de conception

Pas de logique sur les signaux

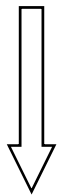
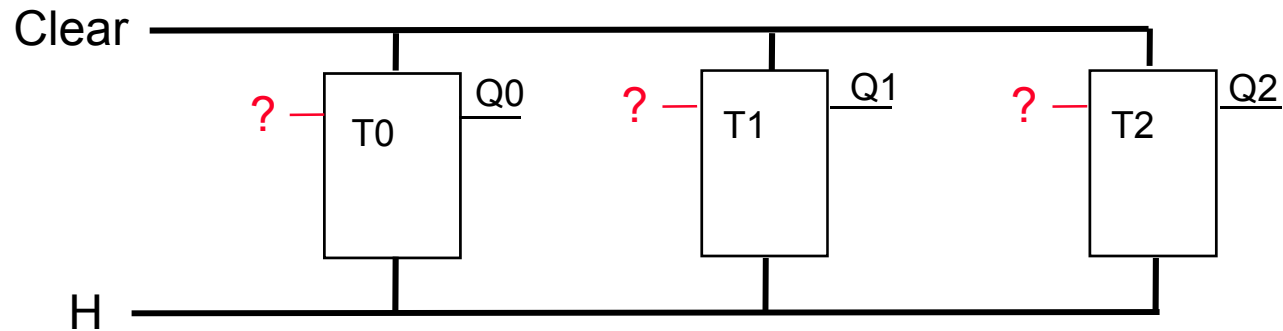
- d'horloge (H)
- de forçage (Clear, Preset)



Compteur synchrone



Compteur synchrone



Q2	Q1	Q0
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1
0	0	0

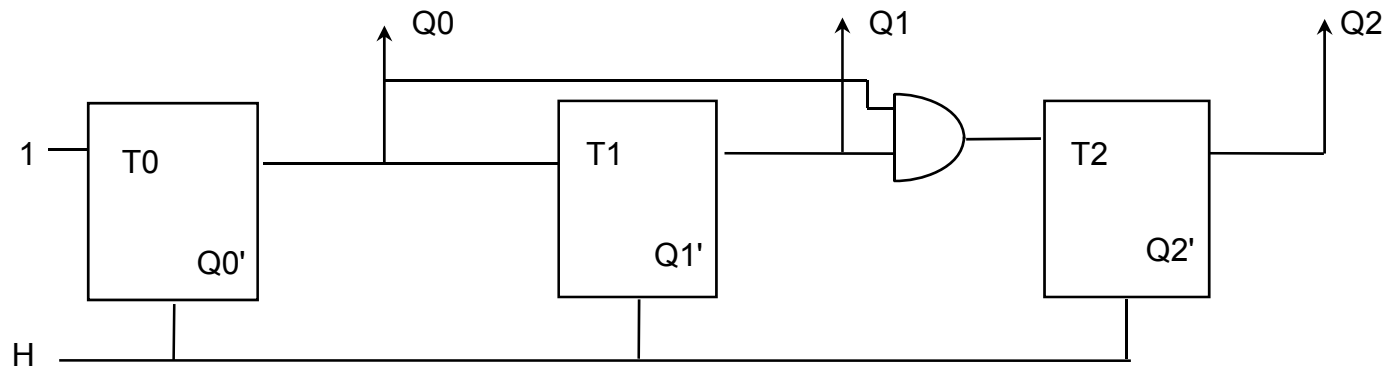
$$T0 = 1$$

$$T1 = Q0$$

$$T2 = Q0.Q1$$

$$Tn = Q0.Q1....Qn-1$$

Compteur synchrone



$$T_m = D_p$$

$$T_H \geq T_m$$

$$F_H \leq 1/(T_m) = 1 / D_p$$

Délai de propagation du compteur

Période de l'horloge

Fréquence de l'horloge

Décompteur synchrone

Un décompteur peut être obtenu en sortant sur les sortie Q' du compteur. On peut également réaliser un décompteur en remarquant sur la table de vérité que le bit de poids faible change à tous les coups d'horloge et qu'un bit quelconque change lorsque tous les bits de droite sont égaux à 0.

	Q2	Q1	Q0
	0	0	0
	0	0	1
	0	1	0
	0	1	1
	1	0	0
	1	0	1
	1	1	0
	1	1	1
	0	0	0

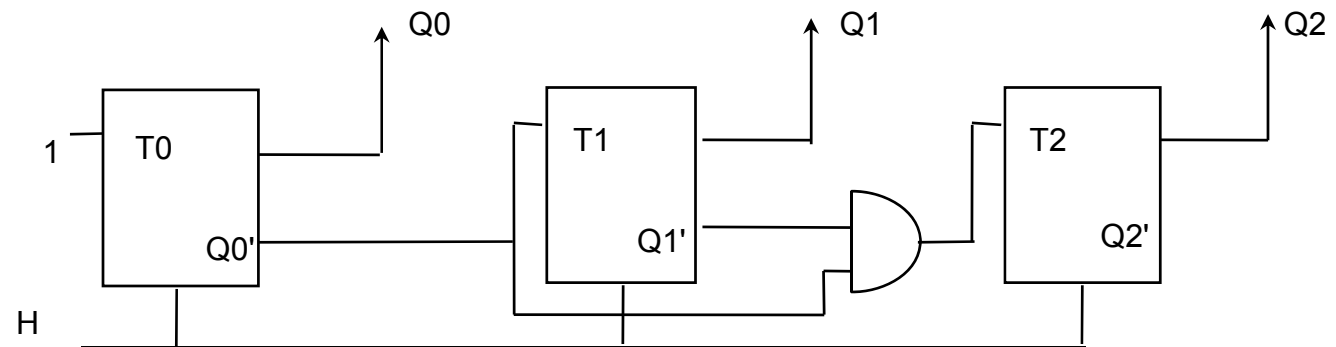
↑

$$T0 = 1$$

$$T1 = Q0'$$

$$T2 = Q0' \cdot Q1'$$

$$Tn = Q0' \cdot Q1' \cdot \dots \cdot Qn-1'$$



Compteur / décompteur synchrone

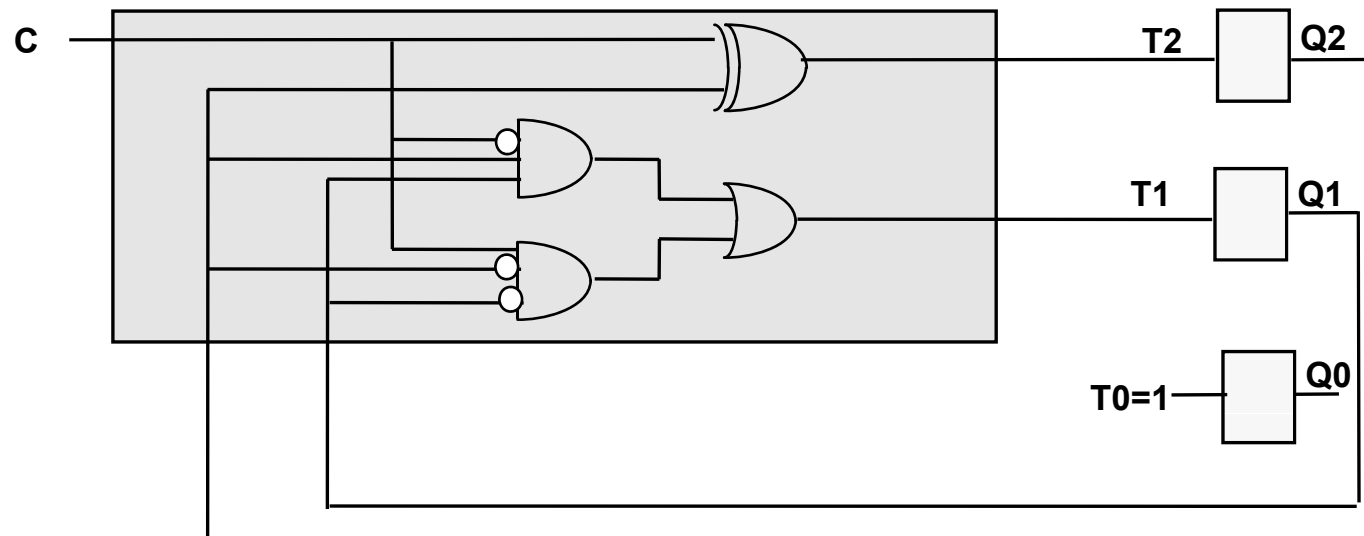
Par le même raisonnement, on peut déterminer la structure d'un compteur / décompteur synchrone dont le mode comptage ou décomptage est commandé par une commande C (C=0 => Comptage, C=1 => Décomptage).

$$T_0 = 1$$

$$T_1 = C'.Q_0 + C.Q_0' = C \oplus Q_0$$

$$T_2 = C'.Q_0.Q_1 + C.Q_0'.Q_1'$$

$$T_n = C'.Q_0.Q_1...Q_{n-1} + C.Q_0'.Q_1'....Q_{n-1}'$$



Compteur synchrone par 6

Pour réaliser un compteur, un décompteur ou un compteur / décompteur dont le cycle n'est pas une puissance de 2, il faut recalculer les fonctions d'entrée des bascules.

Q2	Q1	Q0
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1

Soit C5 un flag prévenant qu'on est sur la combinaison 5. $C5 = Q2.Q1'.Q0$

$T0 = 1$ (Même fonctionnement que C5 vaille 0 ou 1)

$T1 = C5'.Q0 + C5.0 = C5'.Q0$ (Conservation de la valeur de sortie lorsque C5=1)

$T2 = C5'.Q0.Q1 + C5.1 = C5'.Q0.Q1 + C5$ (Inv. de la valeur de sortie lorsque C5=1)

Compteur / Décompteur par 6 avec Inhibition

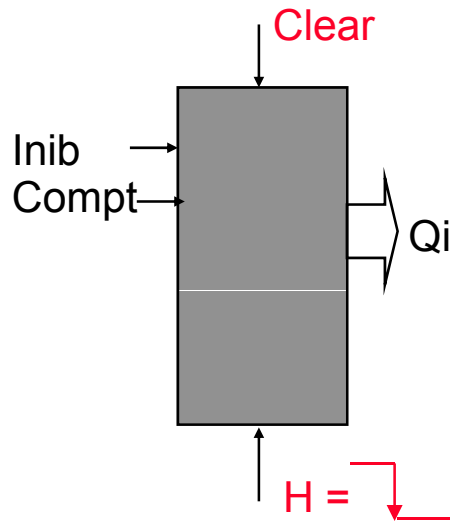
Q2	Q1	Q0
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1

Inib : Signal d'inhibition du compteur (actif sur niveau 1)
 Compt : Signal de comptage (1) / Décomptage (0)
 C0 : Détection de la combinaison 0
 C5 : Détection de la combinaison 5

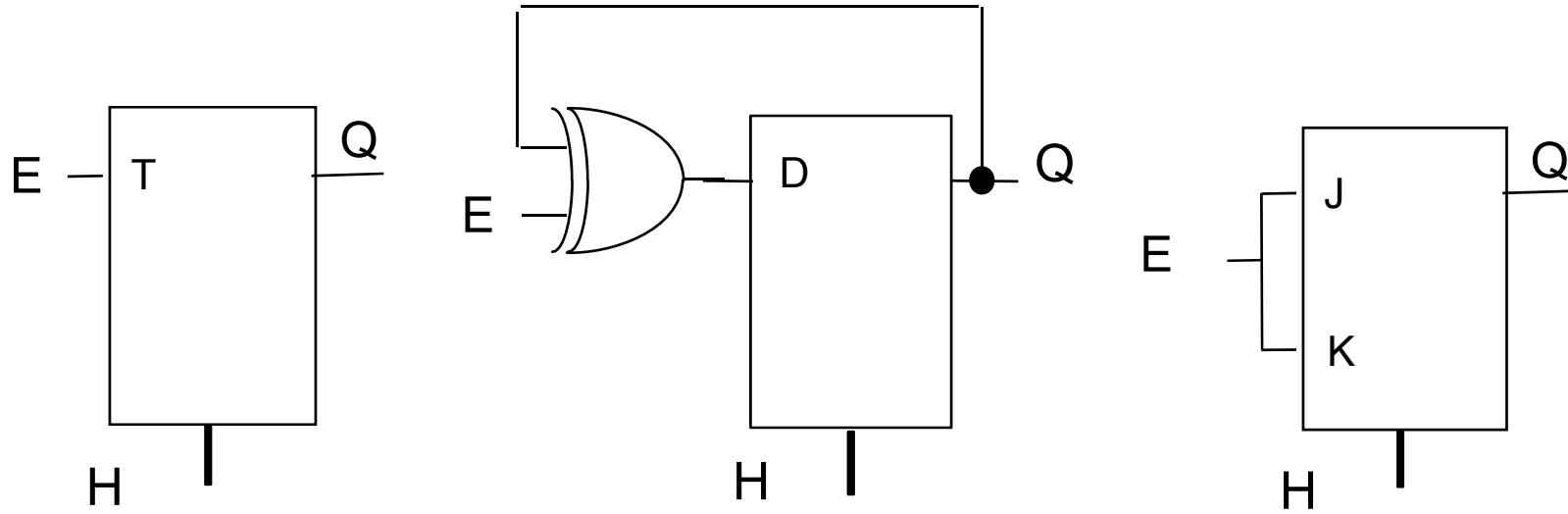
$$T0 = \text{Inib}'$$

$$T1 = \text{Inib}'[\text{Compt}\{C5'.Q0\} + \text{Compt}'\{C0'.Q0'\}]$$

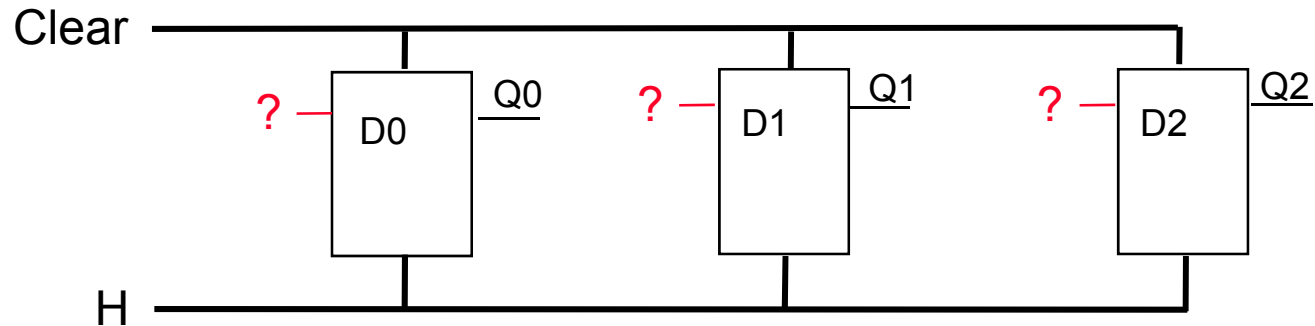
$$T2 = \text{Inib}'[\text{Compt}\{C5'.Q0.Q1 + C5\} + \text{Compt}'\{C0'.Q0'.Q1' + C0\}]$$



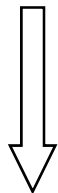
Bascules T, D et JK



Compteur synchrone (D)



Q2	Q1	Q0
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1



D	Q(n+1)
0	0
1	1

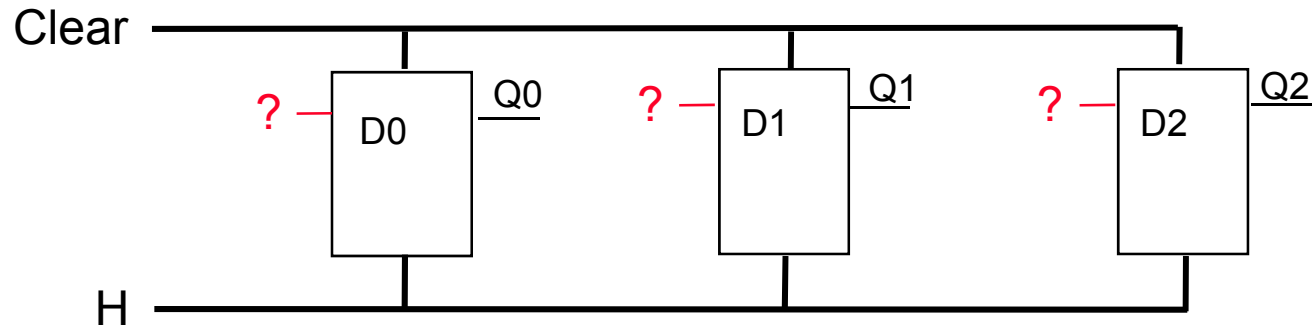
$$D_0 = Q_0'$$

$$D_1 = Q_0.Q_1' + Q_0'.Q_1 = Q_0 \oplus Q_1$$

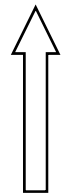
$$D_2 = Q_0.Q_1.Q_2' + (Q_0.Q_1)'.Q_2 = Q_0.Q_1 \oplus Q_2$$

$$D_n = \dots$$

Décompteur synchrone (D)



Q2	Q1	Q0
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1



D	Q(n+1)
0	0
1	1

$$D_0 = Q_0'$$

$$D_1 = Q_0 \cdot Q_1 + Q_0' \cdot Q_1' = (Q_0 \oplus Q_1)'$$

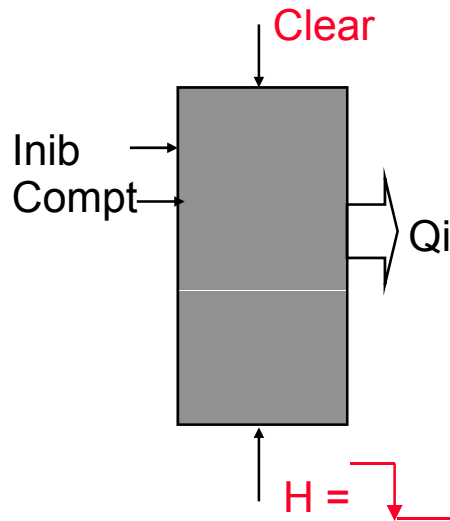
$$D_2 = (Q_0 + Q_1) \cdot Q_2 + (Q_0 + Q_1)' \cdot Q_2' = (Q_0 + Q_1) \oplus Q_2'$$

$$D_n = \dots$$

Compteur / Décompteur par 6 avec Inhibition

Q2	Q1	Q0
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1

Inib : Signal d'inhibition du compteur (actif sur niveau 1)
 Compt : Signal de comptage (1) / Décomptage (0)
 C0 : Détection de la combinaison 0
 C5 : Détection de la combinaison 5



$$D0 = [\text{Inib}'[\text{Compt}\{C5'.Q0' + C5.Q0'\} + \text{Compt}'\{C0'.Q0' + C0.Q0'\}] + \text{Inib}.Q0]$$

$$= [\text{Inib}'[Q0'] + \text{Inib}.Q0]$$

$$= \text{Inib} \oplus Q0'$$

$$D1 = [\text{Inib}'[\text{Compt}\{C5'.(Q0.Q1'+Q0'.Q1)+C5.0\} + \text{Compt}'\{C0'.(Q0'.Q1'+Q0.Q1) + C0.0\}] + \text{Inib}.Q0]$$

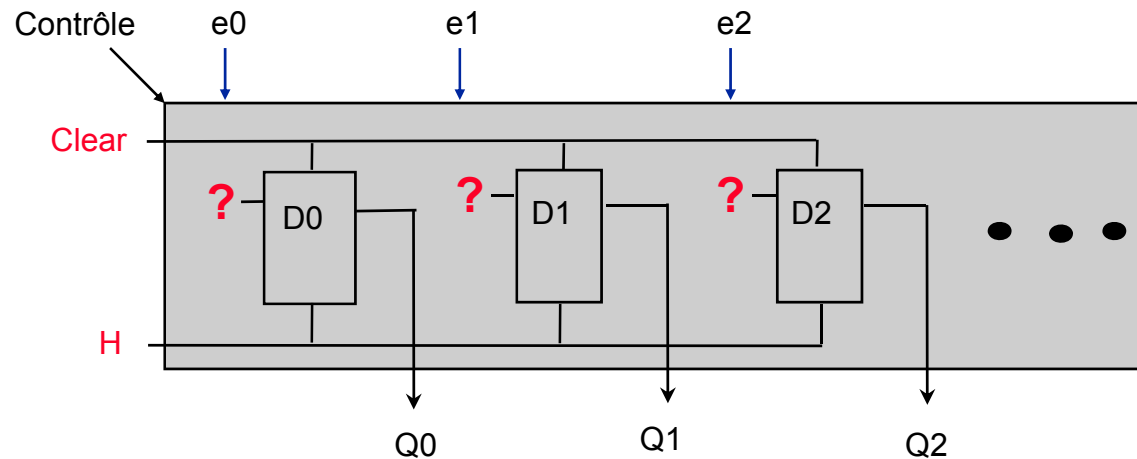
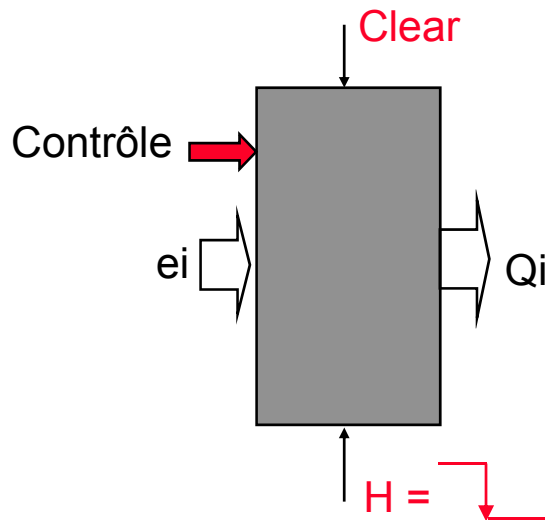
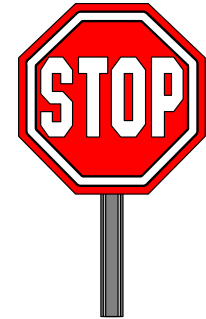
$$= [\text{Inib}'[\text{Compt}\{C5'.(Q0 \oplus Q1)\} + \text{Compt}'\{C0'.(Q0 \oplus Q1')\}] + \text{Inib}.Q0]$$

$$D2 = [\text{Inib}'[\text{Compt}\{C5'.(Q0.Q1 \oplus Q2)\} + \text{Compt}'\{C0'.(Q0+Q1 \oplus Q2')\}] + \text{Inib}.Q0]$$

Règles de conception (Registres, Compteurs, ...)

Pas de logique sur les signaux

- d'horloge (H)
- de forçage (Clear, Preset)



Règles de conception (Circuit)

Pas de logique sur les signaux

- d'horloge (H)
- de forçage (Clear, Preset)

