



LES TESTS DE CARTES ELECTRONIQUES

EVIAN

5-7 Novembre 2002

Plan

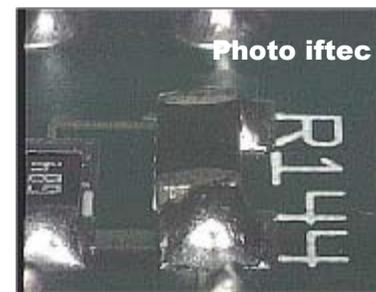
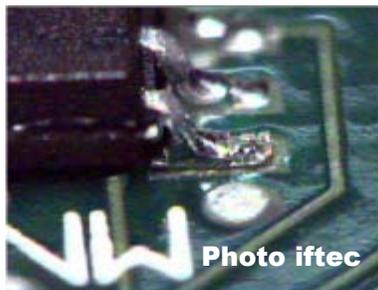


- **Les tests, à quoi servent ils?**
- **Types de tests:**
 - ✓ Fonctionnels
 - ✓ Structurels
 - A pointes
 - A sondes mobiles
 - Le Boundary scan
- **Le Boundary Scan au LAPP**

Les Tests de Cartes



- **Validation du développement.**
 - Permet de vérifier que la conception de votre carte est correcte et que votre carte réalise bien la fonction qui lui est demandée.
- **Vérification de l'intégrité après production.**
 - ✓ Pourquoi?
 - Pour s'assurer avant son utilisation que la carte produite fonctionne correctement: Quand vous achetez une radio vous voulez pouvoir écouter de la musique immédiatement.
 - Il y a de multiples raisons pour que des défauts apparaissent en cours de fabrication: Court circuits, mauvaises soudures, composants mal placés...



Tests Fonctionnels

- **On vérifie la fonctionnalité de la carte au cours du développement ou après production.**
- **On applique les stimuli à la carte et on vérifie sa réponse.**
- **Si la réponse n'est pas correcte il faut essayer d'identifier le défaut à l'intérieur de la carte à partir de sa réponse.**
- **Si ce n'est pas suffisant, il faut observer les signaux à l'intérieur de la carte.**
- **Nécessite des interfaces avec la carte et un spécialiste de la carte.**



Tests Structurels: Test A Pointes

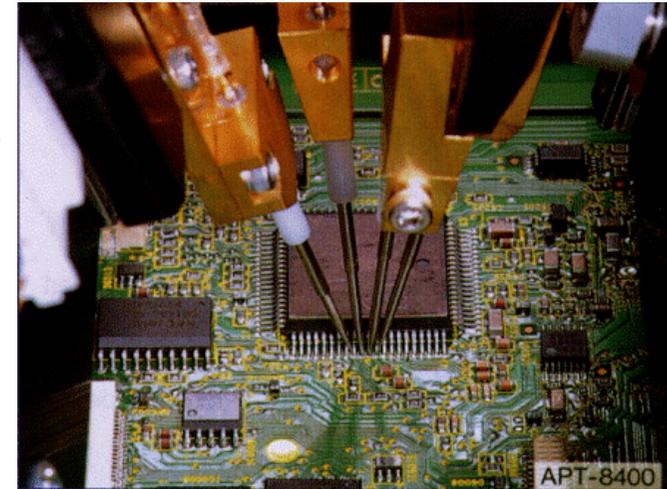


- **Apparition en 1975. Ils sont destinés aux tests de production.**
- **Des pointes de test viennent s'appliquer sur tous les noeuds de la carte.**
- **2 modes de fonctionnement:**
 - ✓ Générer des stimuli et observer les signaux tout le long de leur chemin dans la carte.
 - ✓ Vérifier la connexion de la patte du composant par mesure capacitive ou de diode de l'étage d'entrée/sortie.
- **Génération automatique des vecteurs de tests à partir de la CAO. Diagnostic précis des fautes.**
- **Plus besoin de spécialiste pour le test.**
- **Nécessite un nb très important de plages d'accès sur la carte. Il faut fabriquer une ou deux "planche à clous" pour chaque carte.**

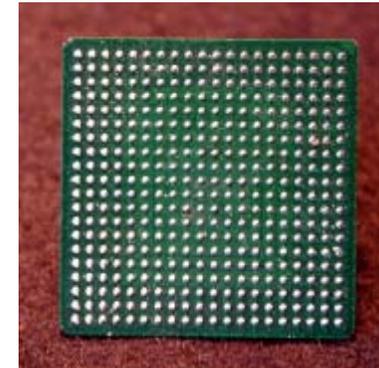
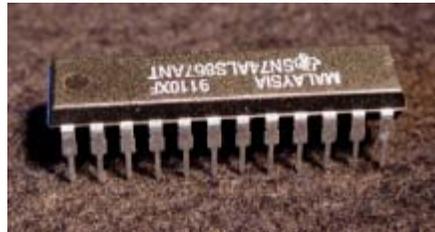


Test A Sondes Mobiles

- On remplace la “planche à clous” par quelques sondes mobiles (en général 4).
- Permet d’accéder des points très proches les uns des autres.
- Grande souplesse d’emploi: plus de matériel spécifique à la carte à tester.
- **Nécessite de prévoir des plages pour les sondes mobiles sur les noeuds qui ne sont pas accessibles.**
- **Temps de test plus long. Les noeuds sont testés les uns après les autres.**



L'évolution des Composants



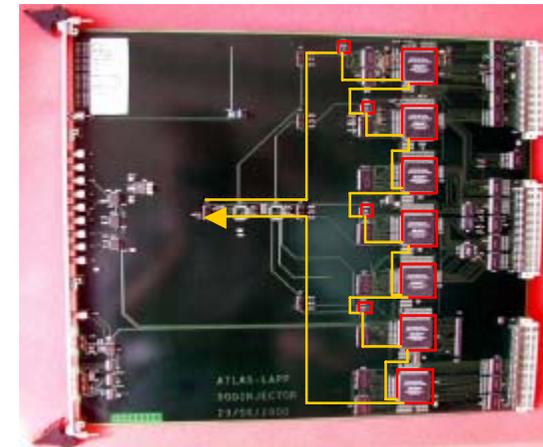
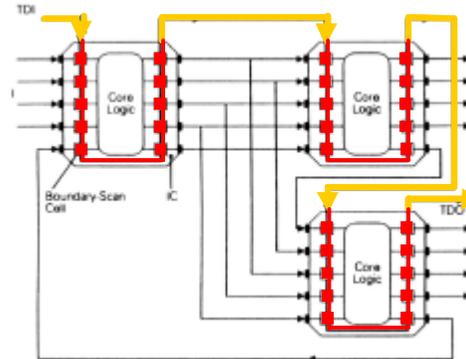
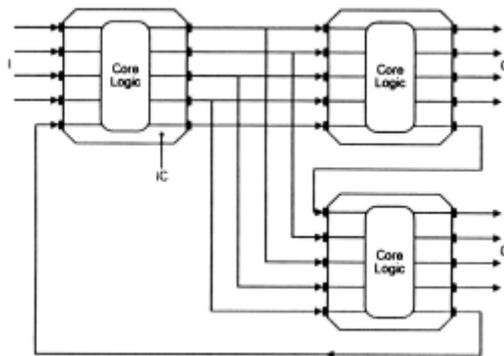
1990



2000



Le Test Boundary Scan (1)



- 1990 Apparition du Standard International IEEE 1149-1 (JTAG)

- Pourquoi?

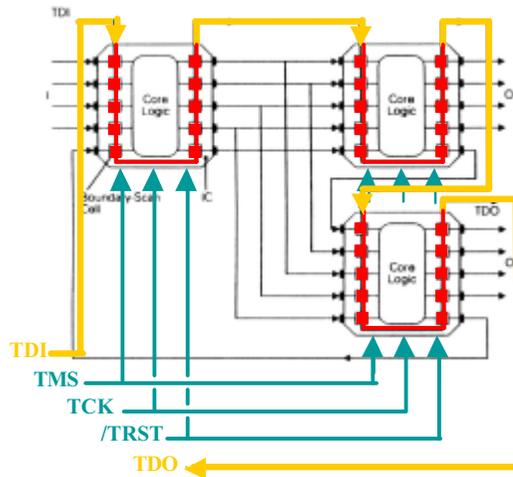
- ✓ Tester les interconnexions entre circuits intégrés sans accès physique au noeuds.

- Comment

- ✓ En introduisant dans les circuits une cellule de registre à décalage sur chaque entrée et sortie et en les chaînant.
- ✓ En mode TEST permet de mettre un état sur chaque sortie et de lire un état sur chaque entrée.

- Mise en oeuvre simple qui permet aussi l'utilisation en développement.
- Malheureusement, tous les composants ne sont pas Boundary Scan.

Le Test Boundary Scan (2)



- **L'accès à la carte se fait par un connecteur: Le TAP (Test Access Port)**
 - ✓ 5 signaux: TMS, TCK, TDI, TDO, /TRST (optionnel).
- **On retrouve ce TAP sur chaque composant BS.**
- **Le contrôleur de TAP de chaque composant détermine en fonction du signal TMS:**
 - ✓ Si le composant est en mode de fonctionnement normal.
 - ✓ Si le composant est en mode de test:
 - Si les données sont propagées à travers la chaîne TDI/TDO.
 - Si les données propagées sont appliquées sur les sorties.
 - Si les états d'entrées sont capturés avant d'être propagés.
- **Un logiciel génère automatiquement le test à partir de la CAO. Il est exécuté sur la carte par un contrôleur connecté à votre PC favori.**

Les Outils BS au LAPP

- La chaîne utilisée est composée d'un contrôleur sur le port parallèle d'un PC et de 2 logiciels: **TESTWAY** et **CASCON**

Analyse de la netlist de Cadence (schématique).

- Identification de la chaîne BS et de ses composants. Génération de modèles à partir des informations CAO (entrées-sorties) pour les autres composants.
- Vérification des règles de conceptions sur la schématique Cadence.
- Etablissement d'un bilan de testabilité.

Génération des tests.

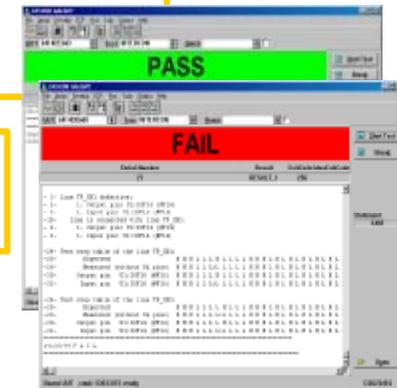
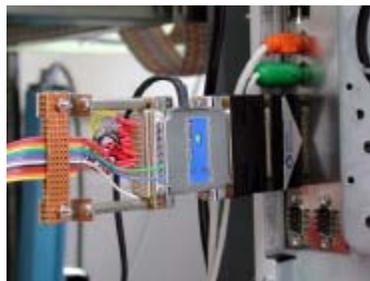
- Test d'infrastructure (vérification de la chaîne BS) et d'interconnexions (Stuck at 0, Stuck at 1, Counter tests).
- Tests de Cluster, RAM, FIFOs.
- Programmation de composants programmables, de Flash par BS.

Exécution des tests.

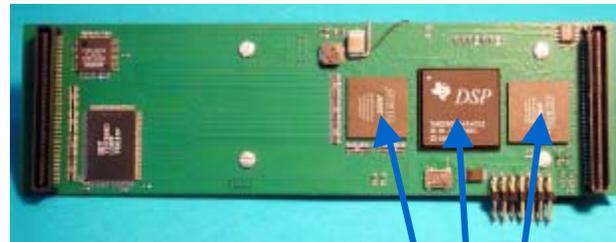
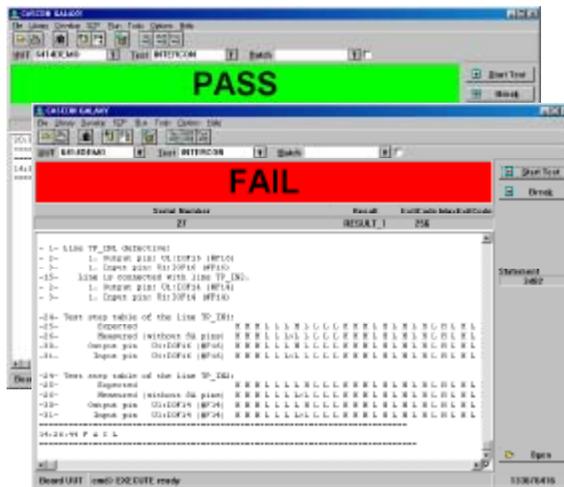
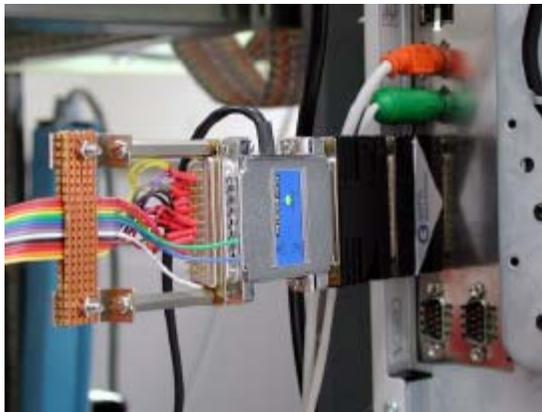
- Pilote branché sur le port parallèle du PC.

Fourniture d'un diagnostic détaillé.

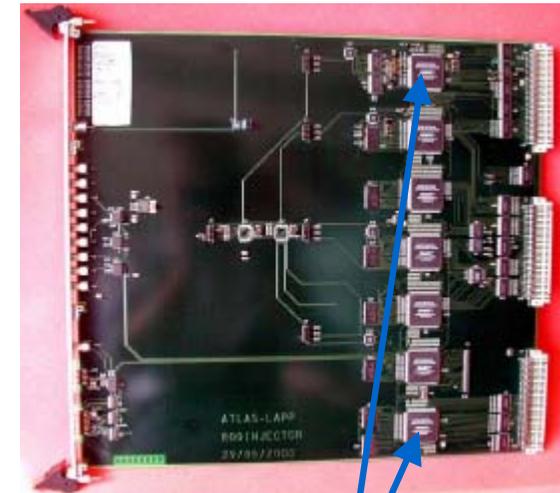
- Analyse des résultats et identification des défauts.



Exemples de Cartes Testées



- **1 DSP**
BGA 532 broches
Pas 0.8 mm
- **2 ALTERA**
BGA 256 broches
Pas 1 mm
- **282 équipotentiels (noeuds):**
 - ✓ 52% complètement testées
 - ✓ 26% partiellement testées.
 - ✓ 22% non testées.



- **7 ALTERA**
PQFP 208 broches
Pas 0.5 mm.
- **576 équipotentiels:**
 - ✓ 16% complètement testées.
 - ✓ 72% partiellement testées.
 - ✓ 12% non testées.