

Titre: Systèmes logiques programmables

Auteurs: Sébastien Ethier, Nicolas Laflamme, Jean-Luc Dekeyser

Ecole: [École Polytechnique de Montréal - Université de Lille 1](#)

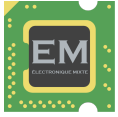
Résumé: Ce didacticiel effectue un survol des caractéristiques principales de la [carte FPGA Nexys3](#) à base de Spartan 6, de la suite de conception ISE, des [logiciels](#) de simulation et de synthèse disponibles dans les salles TP ainsi que du flow de conception FPGA en général.

Après ce didacticiel, vous posséderez les bases de deux approches de conception FPGA (conception par schéma et par langage HDL), vous serez en mesure d'utiliser les ressources principales de la carte Nexys3 et vous pourrez configurer la carte avec un projet. Ces connaissances vous permettront d'effectuer les travaux pratiques prévus lors de ce [cours](#). Différentes ressources de la carte Nexys3 seront utilisées lors de chaque projet et le niveau de difficulté augmentera à chaque fois.

Dans ce didacticiel, vous réaliserez un détecteur de séquence synchrone. Le détecteur à concevoir permet d'identifier une séquence entrée par un usager à l'aide de trois boutons poussoir. Les boutons sont activés à tour de rôle dans le bon ordre pour générer la séquence. Lorsque le système détermine que la bonne séquence a été entrée, il active une série de diodes électroluminescentes ([Led](#)).

Extrait du sommaire:

- 1 Description de la méthodologie de conception
- 2 Description du système à concevoir
- 3 Approche de conception par schéma
- 4 Approche de conception par langage HDL .
- 5 Simulation fonctionnelle avec Isim
- 6 Implémentation du projet
- 7 Simulation avec timings
- 8 Configuration de la carte Nexys2 avec ADEPT



[Formation_VHDL_FPGA_cours_8](#)

Télécharger le fichier PDF: [Systèmes logiques programmables](#)